

칸막이 구조를 이용한 단일 평면상의 38 GHz용 도파관 슬롯 배열 안테나

A Single-Layer Waveguide Slot Array Antenna using Diaphragms for 38 GHz Frequency Band

황 지 환 · 오 이 석*

Ji-Hwan Hwang · Yi-Sok Oh*

요 약

본 논문은 내부 칸막이(diaphragm)구조를 갖는 38 GHz용 도파관 슬롯 16×16 배열 안테나의 설계와 측정결과를 보여준다. 우선, 도파관 윗면에 전파 진행방향의 슬롯이 갖는 복사특성을 연구하고, 도파관 내부의 양쪽 벽면에 가로로 위치한 칸막이들을 이용하여 슬롯 배열 안테나의 임피던스를 조절함으로써 반사손실을 최소화시켰다. 이 칸막이들의 위치와 크기를 최적화하여 20 dB Chebyshev 16 배열 도파관 슬롯 안테나를 설계하였다. 다음에는, π -와 T-접합 전력 분배기로 구성된 직렬 급전구조를 이용하여 20 dB Chebyshev 16 포트 전력 분배기를 설계하였다. 38 GHz 대역의 광대역 무선 멀티미디어 서비스용으로 설계된 16×16 슬롯 배열 안테나를 컴퓨터 제어 밀링기술로 제작하고, 측정한 결과 31.2 dBi의 이득을 얻었고, 부엽준위는 -19 dB 이하이었으며, 740 MHz의 밴드 폭을 얻었다.

Abstract

This paper presents a waveguide slot 16×16 array antenna with diaphragms for 38 GHz frequency band. Diaphragms are used to control the impedance and to minimize the return loss of the structure. A 20 dB Chebyshev array of 16 waveguide slots has been designed by optimizing the positions and sizes of the diaphragms. A serial feeding system with π - and T-junction power dividers has also designed to get a 20 dB Chebyshev power distribution. A 16×16 slot array antenna was designed for a Fixed Wireless Access System at 38 GHz frequency band, manufactured using a computer controlled milling technique, and measured for the return loss and the antenna pattern. The slot array antenna gives an antenna gain of 31.2 dBi, the sidelobe level below -19 dB and the frequency band of 740 MHz.

Key words : Waveguide Slot Array Antenna, Diaphragms, π -/T-Junction Power Dividers

I. 서 론

초고속 무선 멀티미디어 서비스의 요구에 의해 밀리미터파를 이용한 광대역 무선접속 시스템에 대한 연구가 활발히 진행되고 있는 가운데, 광대역 무

선 접속 시스템의 구현을 위하여 38 GHz 대역의 주파수 이용에 대한 표준화가 진행되고 있으며, 본 논문에서는 광대역 무선 멀티미디어 서비스(BMWS: Broadband Multimedia Wireless Service)를 위한 38 GHz 대역 안테나의 설계를 목표로 하였다^[1].

「본 연구는 한국과학재단 목적기초연구(R01-2000-000-00261) 지원으로 수행되었음.」

LG전자(주)(LG Electronics Inc.)

*홍익대학교 전파통신공학과(Department of Radio Science and Communication Engineering, Hong-ik University)

· 논문 번호 : 20030324-049

· 수정완료일자 : 2003년 5월 13일

현재의 밀리미터 주파수 대역의 응용 분야는 고효율과 고이득의 안테나 성능이 요구되며, 전송로 손실을 최소화하는 구조의 급전 방식과 대량생산의 편의성을 강조하는 구조로 발전되는 과정에 있다 [2]-[6]. 기존의 3차원 배열 방식의 corporate 급전구조 [7]는 전송로 손실과 효율이 우수하여도 구조의 복잡성으로 대량 생산에 불리한 점을 갖는다. 따라서 단일 평면상의 급전구조와 고이득의 안테나 배열이 단일 평면에 위치할 수 있는 구조가 필연적이게 된다. 또한 도파관 슬롯 배열 안테나는 도파관 맨 끝 단락 면으로부터 반사손실이 크고, 단락된 도파관의 제일 끝에 위치한 슬롯의 반사손실은 직렬구조의 슬롯 배열 특성에 많은 영향을 미치게 되는 문제점이 있다. 따라서 본 논문의 밀리미터 주파수 대역의 도파관 슬롯 배열 안테나는 단락된 도파관 맨 끝에 위치한 슬롯의 반사손실과 제작에 유리한 크기로 고정시킨 각 슬롯의 복사전력비를 개선하여 전체 슬롯 배열 안테나의 특성을 안정화시키기 위하여 도파관 내부에 칸막이(diaphragm)를 삽입하는 구조를 제안하였으며, π/Γ -형 도파관 접합 구조를 이용한 단일 평면상의 급전구조를 설계하였다.

이 때, 도파관 내부의 칸막이구조는 전파 진행방향으로 도파관의 양쪽 벽면에 가로로 놓이고, 내부 칸막이 구조를 갖는 도파관 슬롯 배열 안테나는 각 슬롯의 위치와 아래에 놓이는 칸막이의 크기, 위치에 의해 복사량과 임피던스가 조절된다. 또한, 칸막이 구조의 삽입은 각 슬롯이 배열을 위한 공진 조건(resonance condition)을 통일된 슬롯 크기에서 구현 가능케 한다. 도파관 내부 칸막이 구조를 이용하여 보다 효율적으로 슬롯 배열의 반사손실을 최소화하였으며, 슬롯 간 복사전력비 유지를 위한 칸막이 구조의 특성분석과 단일 평면상의 도파관 슬롯 배열 안테나의 설계, 제작과 측정을 수행하였다.

II. 칸막이(Diaphragm) 구조를 갖는 슬롯 안테나

도파관 내부 칸막이 구조를 갖는 슬롯 배열 안테나의 구조는 그림 1과 같고 무선 멀티미디어 서비스를 위한 30 dBi 이상의 고이득을 얻기 위해 16×16 배열로 설계되었다.

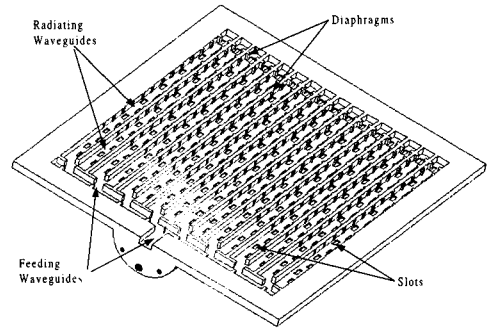


그림 1. 단일 평면상의 도파관 슬롯 배열 안테나 내부구조(뒤집어 놓은 상태)

Fig. 1. A single-layer waveguide slot array antenna structure with diaphragms.

슬롯이 위치한 배열안테나용 도파관과 전력분배를 위한 급전용 도파관의 각 벽 두께는 제작의 편의성을 위해 1 mm보다 조금 넓은 1.4 mm로 정하고 이에 맞추어 도파관의 넓이를 5 mm로 정하고, 넓이는 표준 도파관 높이인 2.8 mm로 설계하였다. 이때, 도파관내 파장(λ_g)은 12.86 mm로 슬롯 배열이 최적의 안테나 방사패턴을 이루기 위한 조건($\lambda_g/2 < \lambda_0/2 < \lambda_g$)에 부합된다. 이 설계에는 Ansoft Tool인 HFSS를 사용하였다.

2-1 한쪽이 단락된 슬롯 안테나

도파관 단락면에 위치한 슬롯은 단락면으로부터의 반사손실을 최소화하기 위해 일반적으로 단락면으로부터의 거리를 $\lambda_g/4$ 가 되게 슬롯을 위치시키며, 정확한 구조는 수치해석으로 설계하였다. 그림 2는 칸막이를 삽입한 구조를 보이고 있다. 단락면과 칸막이의 거리, 칸막이의 폭과 길이, 그리고 슬롯의 크기와 위치를 조정함으로써 최소화된 반사손실을 얻을 수 있다. 이때, 슬롯 배열을 위해 사용되어진 슬롯의 크기는 $3.2 \times 1.4 \text{ mm}^2$ 로 모두 동일한 크기가 적용되었으며, 칸막이의 폭은 1 mm를 고정값으로 하여 칸막이의 길이(D)를 조절하는 방법을 이용하였다.

그림 3은 칸막이 구조를 이용한 경우와 칸막이 없이 슬롯의 폭과 위치(So)를 변화시켜 얻은 최적화된 경우의 반사손실 계산 결과이다. 동일한 특성을 갖기 위해 칸막이를 사용한 경우 슬롯의 크기를 폭

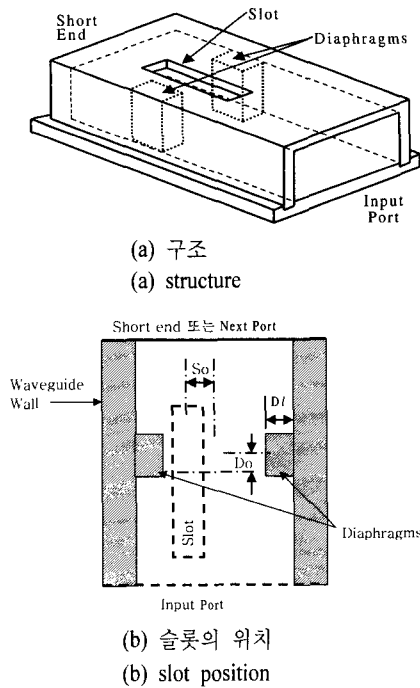


그림 2. 칸막이 구조를 갖는 슬롯 안테나
Fig. 2. A typical waveguide slot with diaphragm.

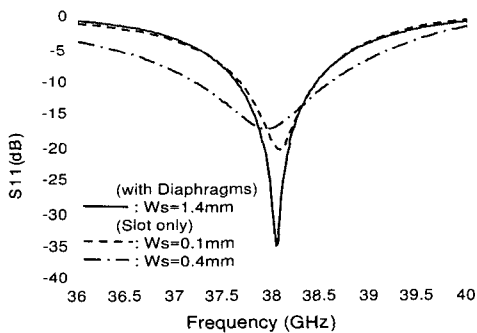


그림 3. 도파관 단락면에 위치한 슬롯의 반사손실
Fig. 3. Return-loss of slots at the short end.

1 mm 이상의 크기로 설계할 수 있어서 제작의 편의성을 제공하였고, 중심주파수(38 GHz)에서의 공진 특성도 개선됨을 알 수 있다.

그림 3의 최적화된 결과는 칸막이의 길이(D)가 0.9 mm이며, 단락된 도파관면으로부터 거리는 4.75 mm, 그리고 슬롯 중심과 칸막이 중심 간의 거리(D_0)는 -0.61 mm(‘-’부호는 그림 2(b)의 D_0 와 반대방향의 위치를 나타냄), 도파관 중심과의 거리(S_0)는 0.9 mm이었을 때 얻은 것이다.

2-2 단락되지 않은 슬롯 안테나

한쪽이 단락되지 않은 슬롯 배열용 단일 슬롯은 각 슬롯 간 복사량을 설계 기준치인 20 dB Chebyshev 배열의 복사전력비를 유지하도록 설계하였다. 각 단일 슬롯의 복사량은 입력단의 임피던스가 정합이 되도록 설계한 후, 출력단의 전력과 입력단의 반사전력을 이용하여 도체 손실은 무시하고 다음처럼 계산하였다.

$$\text{복사전력/입사전력} = 1 - |S_{11}|^2 - |S_{21}|^2 \quad (1)$$

이 단일 슬롯의 복사전력량들이 Chebyshev 배열을 이루도록 칸막이와 슬롯의 크기 및 위치를 조절하였다. 즉, 각 슬롯이 임피던스 정합이 되어 $|S_{11}|$ 이 -30 dB보다 작을 경우에 반사손실을 무시한다면 m 번째 슬롯에서의 전력비는 Chebyshev 배열 계수들을 이용하여 다음과 같이 계산할 수 있다.

$$|S_{21}|_m^2 = \frac{\sum_{n=m+1}^N a_n}{\sum_{n=m}^N a_n} \quad (2)$$

여기서 a_n 은 n 번째 슬롯의 Chebyshev 여기 계수이고, N 은 배열된 슬롯의 전체 개수이다. 한쪽 끝이 단락된 슬롯 안테나를 제외한 모든 단일 슬롯 안테나의 설계에서 배열 계수에 따른 단일 슬롯의 복사전력비 설계와 입력단의 임피던스 정합을 위하여 칸막이의 길이(D)와 위치(D_0), 그리고 슬롯의 위치(S_0)로 최적화시켜 설계하였다.

2-3 16×1 슬롯 배열 안테나

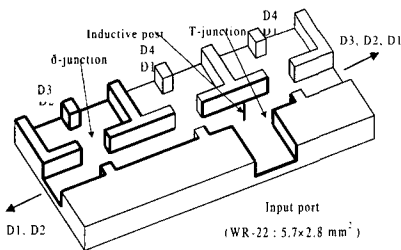
16×1 슬롯배열은 위의 단일 슬롯을 모두 연결하고, 이를 입력단 정합특성과 안테나 패턴을 고려하여 최적상태로 수정하는 과정을 거쳐 설계되었다. 입력단의 최적화된 정합조건에서 식 (1)과 (2)를 이용한 입/출력 전력비로써 초기 설계치를 위한 단일 슬롯 출력단의 전력비를 결정할 수 있었다. 최종 설계 치수는 각각의 단일 슬롯을 모두 연결한 16×1 슬롯배열의 최적화를 통해 얻었다. 이 때, 슬롯 배열의 특성을 최적화하기 위해서 사용된 방법은 입력단 정합특성을 보정하기 위하여 칸막이의 길이를 조절하였고, 안테나 복사패턴 보정을 위하여 슬롯의 위치를 수정해 주었다.

Ⅲ. 단일 평면상의 급전구조

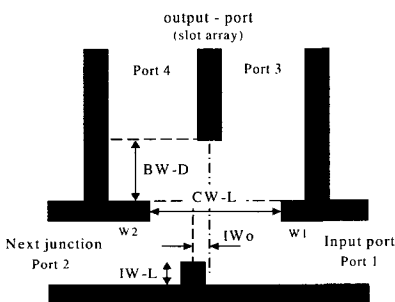
슬롯 배열을 위한 급전구조는 공간상의 효율성과 제작의 편리성을 극대화하기 위한 단일 평면상의 급전구조로 설계되었으며, 이때 π -T-접합 구조를 이용함으로써, 중앙에 T-접합 구조를 위치시키고 4개의 π -접합 구조(좌우 합하면 8개)를 대칭적으로 좌우에 배열하여 단일 평면상의 1×16 전력분배기를 구성하였다^[2]. 그림 4는 단일 평면상의 급전구조를 나타낸 것으로 16개의 출력단이 동위상을 유지하도록 coupling window와 bifurcation wall간 거리(BW-D)는 4.2 mm로 이격시켜 설계되었다(단, 단일 분배기 D1의 경우는 이격거리를 3.2 mm로 함).

3-1 π -접합 구조의 단일(section) 전력분배기

단일 평면상의 1×16 전력분배기를 구성하기 위한 π -접합 구조는 그림 4(b)와 같이 슬롯 배열과 연결되는 두개의 출력단(port 3과 4)과 다음 단의 단일 전력분배기와 연결되는 한 개의 출력단(port 2), 그리고 이전 단일 전력분배기의 출력단과 연결되는



(a) 급전구조
(a) structure



(b) π -접합 구조
(b) π -junction

그림 4. 단일 평면상
Fig. 4. A single-layer feed.

입력단(port 1)을 갖게 된다^[8].

π -접합 구조의 단일 전력분배기 설계에 있어서, 설계의 기준이 되기 위한 각 출력단의 전력비는 식 (2)와 같은 방법으로 입력단과 출력단의 여기계수들의 비로서 나타낼 수 있다. π -접합 구조의 내부에는 슬롯 배열과 연결되기 위한 두개의 출력단의 전력비는 coupling window의 크기와 위치로 조절 가능하며, 입력단의 정합 특성은 각 출력단의 전력비를 유지하기 위한 coupling window와 함께 inductive wall의 크기와 위치의 최적화를 통해 얻게 된다.

3-2 T-접합 구조의 전력분배기

T-접합 구조는 전력분배기의 중앙에 위치하여 좌우 대칭구조로 배열된 π -접합 구조의 전력분배기를 연결해 주는 삽입구조이며, 설계시 인접 π -접합 구조와의 특성을 고려하여 설계하였다. 이때, 주 입력단은 표준화된 WR-22(5.7×2.8 mm²) 도파관으로 설계하였다.

주 입력단의 정합특성을 개선하기 위하여 입구 중앙에 inductive post를 삽입하였으며, 최적화 되어 설계되어진 inductive post의 위치는 도파관 벽면으로부터 2.6 mm 떨어진 곳에 위치시켰으며, 지름은 제작 가능한 크기를 고려하여 0.3 mm의 철심을 사용하였다.

Ⅳ. 칸막이(Diaphragm) 구조를 갖는 슬롯 배열 안테나의 제작과 측정 결과

칸막이 구조를 갖는 16×16 슬롯 배열 안테나는 앞서 설계되어진 슬롯 배열과 전력 분배기를 연결함으로써 구성할 수 있으며, 제작된 안테나는 그림 1과 같은 슬롯과 칸막이 그리고 도파관 구조를 모두 포함하는 상면부와 상면부 구조 그리고 inductive post를 고정시키고 안테나를 지지하는 하면부로 제작되었다. 그림 5는 제작된 슬롯 배열 안테나의 실물 사진이다. 슬롯이 위치한 상면부의 급속 두께는 0.5 mm로 제작되었으며, 안테나 입력 포트는 WR-22와 같은 크기로 설계하였다. 제작된 안테나의 외관 치수는 137×120 mm²이며, 이 크기는 정밀한 제작을 위한 볼트 고정부분을 포함한 넓이다.

가공 후 상면부 구조의 변형을 최소화하기 위해

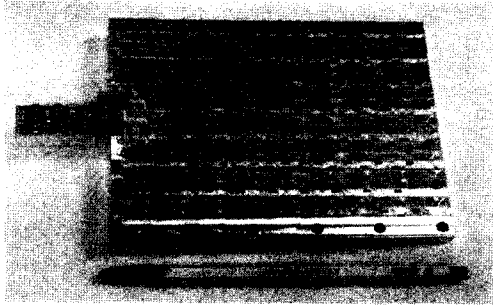


그림 5. 제작된 도파관 슬롯 배열 안테나
Fig. 5. Manufactured waveguide slot array antenna.

여 하면부의 금속 두께를 5 mm로 충분히 두껍게 하였다. 대개는 얇은 plate에 슬롯을 배열시키기 때문에 폭이 좁은 슬롯들을 제작할 수 있는 장점이 있는 대신에, 도파관 구조를 덮게 될 경우에 기계적 접촉에 문제가 있어서 spot welding 등으로 접촉을 보완해야 되는 단점이 있다. 이 연구에서는 milling 기술로 도파관과 slot을 함께 제작하였고, 하면부도 두꺼운 금속으로 제작하여 상부와 하부의 접촉은 볼트들을 이용한 집합으로도 충분한 접촉을 얻었으며, 다음과 같은 측정 결과를 얻을 수 있었다.

그림 6은 제작된 안테나의 반사손실을 측정하는 것으로 중심주파수 38.04 GHz에서 52 dB의 반사손실을 보여주며, 대역폭(VSWR<2)이 740 MHz (37.66 ~ 38.4 GHz)가 되는 것을 알 수 있다.

그림 7은 측정된 안테나 패턴이며, 각 그림에서 볼 수 있듯이 첫 번째 부엽 준위가 E-plane에서 좌우 각각 -20.6 dB와 -19.6 dB, H-plane에서는 -19.1

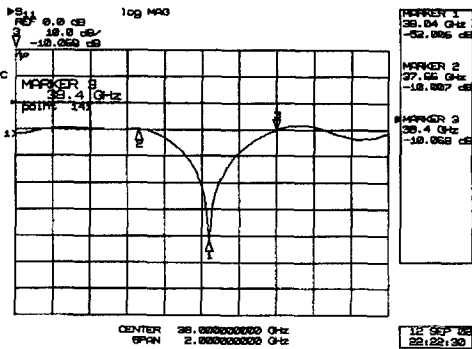
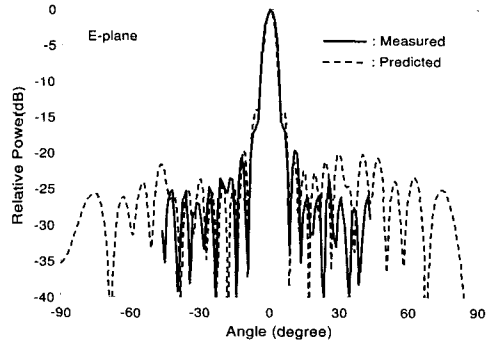
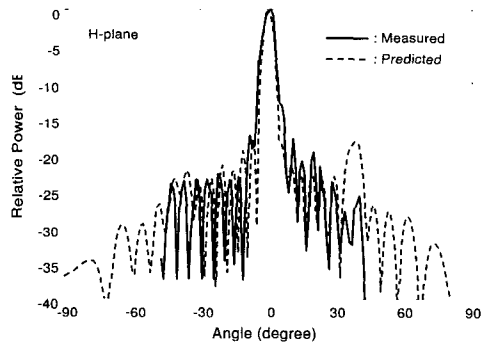


그림 6. 제작된 안테나의 반사손실 측정결과
Fig. 6. Measured return-loss of the manufactured antenna.



(a) E-면
(a) E-plane



(b) H-면
(b) H-plane

그림 7. 측정된 안테나 방사패턴
Fig. 7. Measured antenna patterns.

dB와 -19.5 dB로 설계 결과에 부합되며, 전체적인 부엽 준위는 Chebyshev 배열의 설계치(-20 dB)에 만족되는 값으로 나타났다. 슬롯배열 안테나의 이득은 31.2 dBi이었으며 설계 목표치(이득 >30 dBi)에 부합됨을 알 수 있다. 반전력 빔폭(HPBW)은 E-plane 과 H-plane 방향에서 각각 4.8°, 4.6° 이었다.

V. 결 론

본 논문에서는 제작에 용이한 슬롯 크기와 슬롯 간 복사전력비 유지를 위해 도파관 내부에 위치한 칸막이 구조를 제안하였고, 이를 이용한 반사손실과 구조적 최적화에 대해 알아보았다.

도파관 내부 칸막이는 슬롯의 아래에 놓여 슬롯과 도파관의 임피던스를 정합시킬 뿐만 아니라 복사량을 조절할 수 있는 역할을 하며, 도파관 π -형과 T-형 집합 구조의 전력분배기를 이용한 직/병

렬 급전 구조를 설계할 수 있었다. 제작된 안테나는 중심주파수 38 GHz에서 31.2 dBi의 안테나 이득을 얻을 수 있었으며, E-plane과 H-plane 방향에서 각각 4.8°, 4.6°의 반전력 빔폭을 얻었다. 그리고 대부분의 부엽준위가 20 dB Chebyshev 배열에 부합되는 수치를 얻을 수 있었다.

본 연구의 38 GHz 도파관 슬롯 배열 안테나는 부피가 작고, 도파관 내부 칸막이 구조를 이용하여 슬롯의 크기를 제작이 용이한 크기로 설계할 수 있었으며, 광대역 특성을 갖고 있어서 광대역 무선 통신 시스템에 적합할 것이다.

참 고 문 헌

[1] 김남일, 김응배, 오창열, 백승권, "B-WLL 및 BMWS 기술 및 표준화 동향", 한국통신학회지, 정보통신, 18(4), pp. 98-117, 2001년 4월.
 [2] 민경식, 김광욱, 김동철, 고지원, 임학규, "Design for a non-standard feeder waveguide array with inductive wall", 마이크로파 및 전파학술대회 논문집, 23(1), pp. 387-390, 2000년 5월.
 [3] R. S. Elliott, "An improved design procedure for small arrays of shunt slots", *IEEE Trans. Antennas*

Propag., vol. AP-31, no. 1, pp. 48-53, Jan. 1983.
 [4] M. Ando, J. Hirokawa, T. Yamamoto, K. Akiyama, Y. Kimura and N. Goto, "Novel single-layer waveguides for high-efficiency millimeter-wave arrays", *IEEE Trans. Microw. Theory Tech.*, vol. 46, no. 6, pp. 792-799, 1998.
 [5] K. Sakakibara, K. Akiyama and M. Ando, "Alternating phase-fed waveguide slot arrays with a single-layer multiple-way power divider", *IEE proc-Microw. Antennas Propag.*, vol. 144, no. 6, pp. 425-430, 1997.
 [6] J. C. Coetzee, J. Joubert and D. A. McNamara, "Off-center frequency analysis of a complete planner slotted-waveguide array consisting of subarrays", *IEEE Trans. Antennas Propag.*, vol. 48, no. 11, pp. 1746-1755, Nov. 2000.
 [7] J. S. Tanner, R. W. Lyon, "An integrated design process for slot array antennas", *IEE Colloquium on Flat Plate and Low Profile Mobile Antennas*, pp. 211-215, 1990.
 [8] Z. Ma, E. Yamashita, "Efficient analysis of a waveguide π -junction with an inductive post", *IEEE MTT-S, Digest*, pp. 761-764, 1995.

황 지 환



2001년 2월: 홍익대학교 전파공학과 (공학사)
 2003년 2월: 홍익대학교 전파통신공학과 (공학석사)
 2003년 4월~현재: LG전자(주) LG GSM 단말 연구소 연구원
 [주 관심분야] 안테나 설계

오 이 석



1982년 2월: 연세대학교 전기공학과 (공학사)
 1988년 12월: Univ. of Missouri-Rolla (MS)
 1993년 12월: Univ. of Michigan, Ann Arbor (Ph. D)
 1994년 3월~현재: 홍익대학교 전

파통신공학과 부교수
 [주 관심분야] 마이크로파 산란(원격탐사), 안테나