

論文 2003-40SD-6-8

저전압 DRAMs을 위한 2-단계 2-위상 VPP 전하 펌프 발생기

(A Two-Stage Two-Phase Boosted Voltage Generator for Low-Voltage DRAMs)

趙成翊*, 兪聖澣**, 朴茂勳**, 金榮熙**

(Seong-Ik Cho, Seong-Han Yu, Mu-Hun Park, and Young-Hee Kim)

요약

본 논문에서는 몸체효과와 문턱전압 손실이 제거된 새로운 2-단계 2-위상 VPP 전하펌프 발생기를 제안하였다. 새롭게 제안된 회로의 동작을 검증하기 위하여 0.18 μ m Triple-Well CMOS 공정을 사용하였으며, VPP의 전압 레벨은 VDD가 문턱전압 이상일 때 3VDD가 공급되는 결과를 얻었다.

Abstract

This paper proposes a new two-stage two-phase VPP charge pump configured in such a manner that body effect and the threshold voltage loss are eliminated. The newly proposed circuit is fabricated using 0.18 μ m triple-well CMOS process and the measurement result shows that the VPP level tracks 3VDD when VDD is above the threshold voltage.

Keyword : Boosted Voltage Generator, Low-Voltage DRAMs

I. 서론

저전압 DRAM 동작은 소형화된 반도체 소자의 신뢰성을 유지하고 대용량, 고속 모바일 DRAM에서 전력

소모를 줄이기 위해서는 필수적이다. 현재 저전압 DRAM의 공급전압(supply voltage)인 VDD는 1.8V가 사용되고 있으며, 향후 1.5V 이하의 전압이 사용될 것으로 예상된다^[1]. 공급전압이 1.8V 이하로 줄어드는 반면 DRAM 셀 트랜지스터의 문턱전압은 문턱전압이하의 누설전류를 그전 수준으로 유지하기 위해서 줄이는데 한계가 있다. 한편 DRAM 칩에서 VPP (boosted voltage) 전압발생기는 DRAM 셀과 주변회로에서 NMOS 문턱 전압(V_{TN}) 손실을 제거하기 위해 사용된다^[1-2]. 1.8V이하의 저전압으로 가면서 DRAM 셀의 문턱 전압(V_{TN}) 손실을 제거하면서 문턱전압이하의 누설 전류를 그대로 유지하기 위해서 VPP 전압 레벨은 거의 2VDD의 높은 전압을 필요로 한다. 반면 최대 공급

* 正會員, 現代電子 메모리開發研究所
(Hynix Semiconductor)

** 正會員, 昌原大學校 電子工學科
(Dept. of EE, Changwon National University)

※ 이 논문은 과학재단의 Basic Research 프로그램(승인번호: R05-2002-000-00726-0(2003))으로부터 지원을 받았으며, 하드웨어/소프트웨어를 지원해 준 IDEC(IC Design Education Center)에 감사로 표합니다.

接受日字: 2003年1月27日, 수정완료일: 2003年5月21日

전압이 2VDD정도인 기존의 1단(1-stage) VPP 전하 (Charge) 펌프(Pump)는 원하는 전압 레벨을 공급할 수 없고 VPP 전압이 떨어져 DRAM 셀에 VINT (내부 공급전압:Internal Supply Voltage) 전압을 저장하는데 한계가 있어 리프레쉬(refresh) 특성이 나빠진다. 그래서 1.8V 이하의 저전압 DRAM에서는 3VDD까지 공급할 수 있는 2단 VPP 전하펌프를 필요로 한다. 2단 이상의 다단 전하펌프는 EEPROM같은 비휘발성(Non-volatile) 메모리에 프로그램 전압을 공급하기 위해 사용되고 있으며, 대부분 다이오드 형식(Diode-Configured)의 스위치와 펌핑 커패시터(Capacitor)로 구성된 Dickson에 의해 제안된 회로를 기반으로 한다^[3]. 그러나 전압 펌핑 이득은 VDD가 감소함에 따라 현저히 줄어들기 때문에 저전압 동작을 위한 개선된 Dickson 전하펌프가 제안되었다^[4]. <그림 1>은 개선된 Dickson 전하펌프 회로를 보여준다. 펌핑 전압손실을 제거하기 위해 고전압으로 구동되는 전하전달(High-Voltage Driven Charge Transfer) 스위치를 사용하는 개선된 Dickson 전하펌프는 출력단(Output Stage)에 다이오드 Configuration으로 인한 문턱전압 손실이 존재하고, 펌핑 단계가 증가하면서 NMOS 전압전달스위치의 문턱전압이 몸체효과(Body Effect)로 인해 증가하여 저전압 동작에서 전압 펌핑 이득을 떨어뜨린다. 그리고 NMOS 전하전달 스위치 MS2가 ON되기 위해 게이트 전압은 4VDD-V_{TN,MD3}가 되므로 게이트산화막(Gate Oxide)의 전기적인 스트레스(Electrical Stress)가 증가하여 소자 신뢰성이 문제될 수 있다.

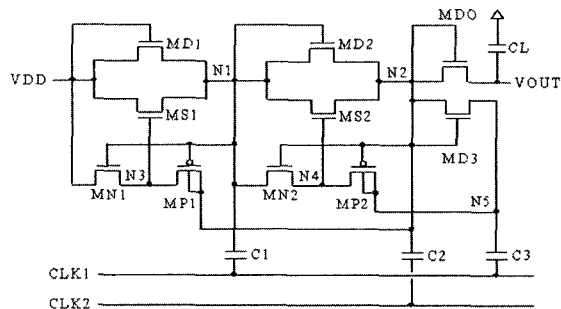


그림 1. 개선된 Dickson 전하 펌프 회로
Fig. 1. Modified Dickson charge pump circuit.

이 논문에서는 다이오드 형식의 NMOS 스위치대신 PMOS Cross-Coupled 전하전달 스위치를 사용하여 출력 단에서의 문턱전압 손실을 제거하였고, 전하 펌프에

걸리는 최대 전압은 VPP로 억제하여 게이트 산화막의 신뢰성을 개선할 수 있다. 그리고 전하 전달 스위치의 몸체를 MOS 스위치의 소오스 노드에 연결하므로 펌핑 단의 증가에 따른 문턱전압의 증가를 방지하였다.

II. 회로 설계

<그림 2>에서 보는 바와 같이 전하 펌프는 레벨 검출기(level detector), 링발진기(ring oscillator)와 전하펌프로 구성되어 있으며, 피드백 메커니즘(feedback mechanism)을 사용하여 VPP전압이 목표전압을 유지하도록 한다. VPP전압이 목표전압보다 작을 때 VPP 레벨검출기의 출력 전압인 VLD는 VDD이고 링발진기는 발진을 계속하여 전압저장 커패시터 CVPP로 전압 펌핑을 계속한다. 그래서 VPP전압은 목표전압을 향하여 양의방향으로 증가한다. VPP전압이 목표전압을 능가하면 VLD는 0이되고 링발진기는 발진을 멈추어 전압 펌핑은 일어나지 않는다.

<그림 3(a)>는 새롭게 제안된 2-단 2-위상(Two-Stage Two-Phase) VPP 전하펌프 회로를 보여준다. VD 왼쪽에 있는 펌프회로는 VD를 2VDD로 만들어 주고 VD와 VPP 사이에 있는 펌프회로는 VD를 입력 전압으로 하여 VPP를 3VDD로 만들어 주어 2-단 펌핑 방식이 된다. VPP 전하 펌프는 2개의 Precharging 제어회로 (MP1, MP2, MP3, MP4, MN5 및 MN6), 2개의 Cross-Coupled PMOS 전하전달 스위치 (MP5, MP6, MP7 및 MP8), Cross-Coupled NMOS 전하전달 스위치(MN7 및 MN8)과 Bulk-Potential 바이어싱 회로 (MP11, MP12, MP13, MP14, MP15, MP16, MP17, MP18, MN11, MN12, MN13 및 MN14)와 전하 펌핑 커패시터 (MN1, MN2, MN3 및 MN4)로 구성되어 있다.

MOS 트랜지스터에서 소오스와 벌크(Bulk) 전압의 차이가 크면 몸체효과에 의해 문턱 전압이 증가하여 저전압으로 가면서 펌핑단의 증가에 따른 펌핑 효율이 떨어지는 문제가 있다. 이 문제를 해결하기 위해 전하 전달 스위치의 몸체를 소오스 노드에 연결하도록 하였다. 예를 들어 PMOS 전하전달 스위치인 MP8의 Bulk-Potential은 PMOS Bulk-Potential 바이어싱 회로 (MP17 및 MP18)의 동작에 의해 소오스와 드레인 노드 중 높은 전압으로 바이어스 된다. PMOS 전하전달 스위치인 MP5, MP6과 MP7은 동일하게 동작한다. 그리

고 NMOS 전하전달 스위치인 MN8은 NMOS Bulk-Potential 바이어싱 회로 (MN13 및 MN14)의 동작에 의해 소오스와 드레인 노드 중 낮은 전압으로 바이어스 된다. NMOS 전하전달 스위치인 MN7도 동일하게 동작한다. 그래서 전하전달 스위치의 몸체효과에 의한 문턱 전압증가 현상은 없어 저전압 동작에 유리하다. 그리고 새롭게 제안된 VPP 전하 펌프 회로에서 정상 상태에서의 최대 전압은 VPP이다. 또한 출력 단에 MOS 다이오드 대신 PMOS Cross-Coupled 전하전달 스위치를 사용하여 문턱전압손실을 제거하였다

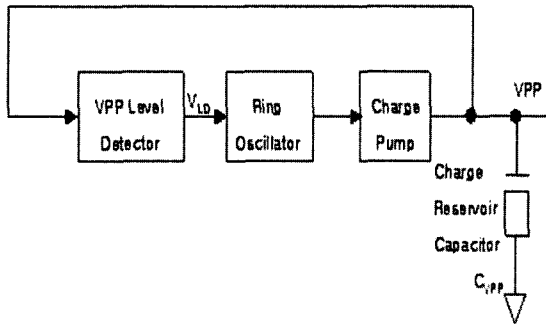
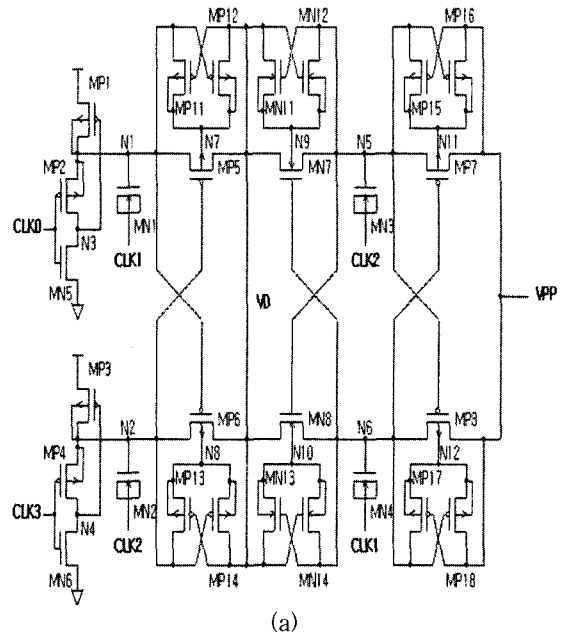
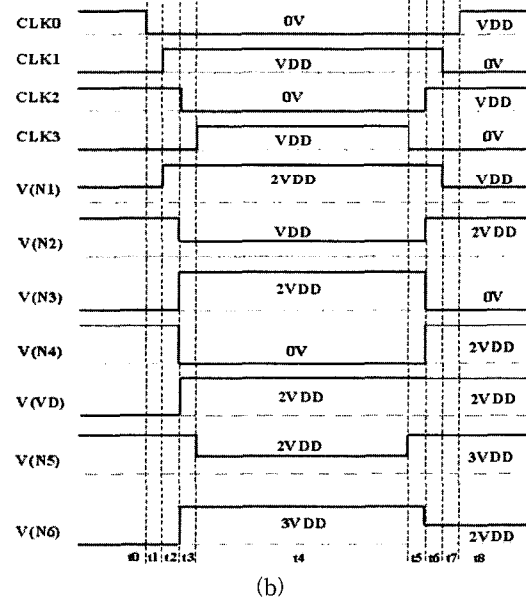


그림 2. VPP 전압발생기의 블록 선도
Fig. 2. Block diagram of the VPP generator.

4개의 클럭 신호(CLK0, CLK1, CLK2 and CLK3)는 non-overlapping 신호이다. CLK0와 CLK2는 non-overlap 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK1과 CLK3는 기본적으로 같은 위상을 가진다. 정상상태에서 각 노드 전압은 <표 1>에 나타나 있으며, 그들의 상세한 파형은 <그림 3(b)>에 나타나 있다. 노드1과 노드2의 정상상태 전압은 Precharging 제어 회로와 NMOS 펌핑 커패시터 (MN1 및 MN2)에 의해 VDD와 2VDD 사이에서 스윙한다. <그림 3(b)>에 보이는 t7의 시간 구간동안 CLK0, CLK1, CLK2와 CLK3는 각각 0, VDD, 0와 VDD가 된다. N1, N2, N3와 N4의 전압은 각각 2VDD, VDD, 2VDD와 0이므로 VD는 ON된 MP5를 통해 2VDD가 된다. <그림 3(b)>의 t1으로 표시된 시간 구간동안 VD는 ON된 MP6를 통해 2VDD가 된다. 그래서 VD 전압은 2VDD를 유지한다. VD 노드의 2VDD 전압은 t7의 시간 구간동안 N5와 N6의 전압이 2VDD와 3VDD가 되면서 MN8은 OFF되고 MN7은 ON되어 N5의 노드 전압은 VD의 전압인 2VDD로 Precharge된다. 그리고 3VDD로 Boosting된 N6의 Positive 전압은 MP8을 통



(a)



(b)

그림 3. (a) 2-단 2-위상 VPP 전하 펌프 회로 (b) 타이밍 다이어그램

Fig. 3. (a) Two-stage two-phase VPP charge pump circuit (b) Timing diagram.

해 VPP 노드로 완전히 전달된다. 한편 <그림 3(b)>의 t1으로 표시된 시간 구간동안 N5의 Positive 펌핑 전압은 MP7를 통하여 VPP 노드로 전달된다. 그러므로 전하 펌핑은 한 사이클에 2번 (Two-Phase Charge Pumping) 일어난다.

표 1. 2-단 2-위상 VPP 전하 펌프 회로의 노드 전압

Table 1. Node voltage of two-stage two-phase VPP charge pump circuit.

CLK0 and CLK2	0	VDD
CLK1 and CLK3	VDD	0
N1	2VDD	VDD
N2	VDD	2VDD
N3	2VDD	0
N4	0	2VDD
VD	2VDD	2VDD
N5	2VDD	3VDD
N6	3VDD	2VDD

III. 실험 결과

2-단 2-위상 VPP 전하 펌프 회로의 동작을 검증하기 위해 0.18μm Triple-Well CMOS 공정을 사용하여 테스터 칩을 제작하였다. 사용된 CMOS 공정에서 NMOS 트랜지스터의 문턱 전압인 V_{TN} 은 0.45V이고 PMOS 트랜지스터의 문턱 전압인 V_{TP} 는 -0.53V이다. <그림 4>는 부하전류 (Load Current)가 없는 경우 클럭 주파수가 10MHz에서 측정된 VPP 전압을 보여준다. 전하전달 스위치의 몸체효과에 의한 문턱전압 증가 현상을 없애고, 출력단에 MOS 다이오드 대신 PMOS Cross-Coupled 전하전달 스위치를 사용하여 문턱전압 손실을 제거하므로 공급전압(VDD)이 0.7V에서도 정상적으로 동작하고, 모의실험 결과와 측정 결과가 일치하는 것을 볼 수 있다. 그리고 <그림 5>에서는 단계 (stage)에 따라 VPP 전압레벨을 모의 실험한 결과로 전하 전달 스위치의 몸체(body)를 MOS 스위치의 소오

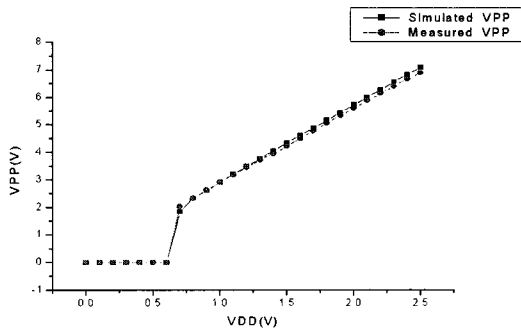


그림 4. 부하전류가 없는 경우 VPP 전하 펌프 회로의 VPP 전압레벨

Fig. 4. VPP Level of VPP charge pump circuit without load current.

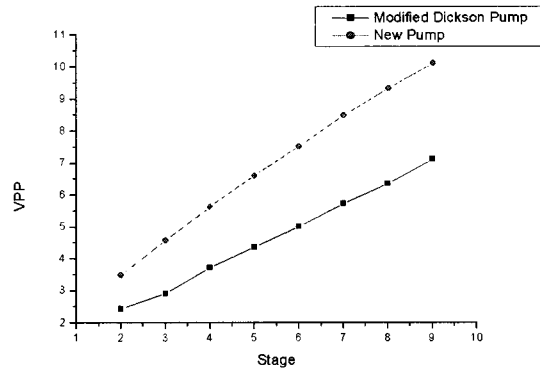


그림 5. VDD=1.2V일때 단계(stage)에 따른 VPP 전압 레벨

Fig. 5. VPP level vs. number of pumping stages at VDD=1.2V.

스 노드에 연결하므로 펌핑 단의 증가에 따른 문턱전압의 증가를 방지하므로 개선된 Dickson 펌프보다는 새로운 전하 펌프의 펌핑 효율이 우수하다는 것을 확인할 수 있다. <표 2>는 개선된 Dickson 펌프와 새롭게 제안된 펌핑 방식을 비교하고 있다. 새롭게 제안된 전하 펌핑 방식은 기존의 펌핑 방식보다 전기적인 특성에서는 장점이 있는 반면, triple-well CMOS 공정에 서만 구현이 가능하다.

표 2. 개선된 디슨펌프와 새롭게 제안된 펌프와의 방식비교

Table 2. Comparison between modified Dickson pump and newly proposed pump.

항 목	Modified Dickson Pump	New Pump
출력단에서의 문턱전압 손실	있음	없음
최대 게이트 산화막에 걸리는 전압	$4VDD - V_{TN,PMOS}$	$VPP (< 3VDD)$
펌핑 단계 수 증가에 따른 몸체효과(Body Effect)	있음	없음
CMOS 공정	Twin-well / Triple-well	Triple-well



그림 6. 제작된 VPP 전하펌프 테스터 칩

Fig. 6. VPP charge pump chip.

한편 부하 전류가 펌핑 전류보다 크면 VPP 전압이 떨어져 DRAM cell의 storage 노드에 쓰는 전압이 떨어져 refresh 특성이 나빠진다. 그래서 DRAM에서는 펌핑 전류가 부하 전류보다 크도록 펌핑 주기와 펌핑 커패시턴스를 정하므로 feedback mechanism에 의해 VPP 목표 전압을 유지한다. 마지막으로 <그림 6>은 0.18 μ m triple-well CMOS 공정을 이용해서 제작된 테스트 칩을 보여준다.

IV. 결 론

본 논문에서는 몸체효과와 문턱전압 손실이 제거된 새로운 2-단 2-위상 VPP 전하펌프가 구현되었다. 모의 시험결과와 측정실험결과를 볼 때, 새로 고안된 회로는 VDD가 0.7V 이상에서 안정적으로 동작하므로 저전압 DRAM에서 안정적으로 동작할 것으로 예상된다.

참 고 문 헌

[1] Y. Nagagome et al., "An Experimental 1.5-V 64-Mb DRAM," IEEE J. Solid-State Circuits, vol. 26, pp. 465~472, April 1991.

[2] Y. H. Kim et al., "Two-Phase Boosted Voltage Generator for Low-Voltage Giga-bit DRAMs," IEICE Transactions on Electron., vol.E83-C, pp. 266~269, Feb. 2000.

[3] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE J. Solid-State Circuits, vol. 11, pp. 374~378, June 1976.

[4] J. T. Wu and K. L. Chang, "MOS charge pump for low-voltage operation," IEEE J. Solid-State Circuits, vol. 33, pp. 592~597, Apr. 1998.

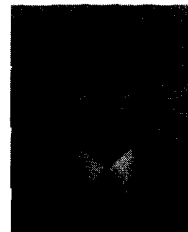
저 자 소 개



趙成翊(正會員)

1987년 : 전북대학교 전기공학과(공학사). 1989년 2월 : 전북대학교 전기공학과(공학석사). 1994년 2월 : 전북대학교 전기공학과(공학박사). 1994년~현재 : Hynix 반도체 제품개발센터 설계부 책임연구원, <주

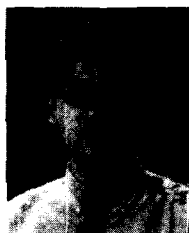
관심분야 : 저전압/ 고속 혼성모드 집적회로 설계, ADC/DAC설계, PLL/DLL 설계 등>



朴茂勳(正會員)

1990년 : 경북대학교 전자공학과(공학사). 1993년 2월 : 일본 동북대학교 전기통신공학과(공학석사). 1996년 2월 : 일본 동북대학교 전기통신공학과(공학박사). 1996년~현재 : 창원대학교 전자공학과 조교수. <주관심분야 : 신호해석, MPACS, SOC 등>

<주관심분야 : 신호해석, MPACS, SOC 등>



俞聖淵(學生會員)

2002년 2월 : 국립 창원대학교 전자공학과(공학사). 2002년 3월~현재 : 창원대학교 전자공학과 석사과정 재학중. <주관심분야 : 저전압/고속 CMOS Image Sensor 설계, DC-DC 변환기 설계 등>

<주관심분야 : 저전압/고속 CMOS Image Sensor 설계, DC-DC 변환기 설계 등>



金榮熙(正會員)

1989년 : 경북대학교 전자공학과(공학사). 1997년 2월 : 포항공과대학교 전자전기공학과(공학석사). 2000년 8월 : 포항공과대학교 전자전기공학과(공학박사). 1989년 1월~2001년 2월 : 현대전자 메모리 개발연구소 책임 연구원. 현재 : 창원대학교 전자공학과 조교수. <주관심분야 : 저전압/저전력/고속 DRAM 설계, CMOS Image Sensor 설계, DC-DC 변환기 설계 등>

<주관심분야 : 저전압/저전력/고속 DRAM 설계, CMOS Image Sensor 설계, DC-DC 변환기 설계 등>