

論文2003-40SD-6-6

## 저 전압동작을 위한 내장형 EPROM 회로설계

## (Design of the Embedded EPROM Circuits Aiming at Low Voltage Operation)

崔 相 信 \* , 金 聖 植 \* , 趙 慶 錄 \* \*

(Sang-Shin Choi, Sung-Sik Kim, and Kyoung-Rok Cho)

## 요 약

본 논문에서는 MCU에 내장된 EPROM의 저 전압 동작을 위한 새로운 회로구조를 제안하였다. MCU에 내장된 EPROM은 일반적으로 마스크 롬에 비해 저 전압 특성이 떨어지며, 배터리를 사용하여 전원전압이 시간이 경과할수록 감소하는 응용분야에서는 마스크 롬을 내장한 MCU와 대체가 되지 않는 문제가 발생한다. 본 논문에서는 EPROM의 저 전압 동작을 위해 전원전압이 특정전압이하로 낮아지면 이를 검출하여 EPROM의 워드라인의 전압을 승압시키는 회로와 기준 셀을 사용하지 않고 전류를 감지하는 센스앰프를 제안하여 저 전압 특성이 30%이상 개선된 1.5V에서 동작하는 EPROM 내장 MCU를 설계, 구현, 검증하였다.

## Abstract

In the embedded system, EPROM is difficult to replace a mask ROM for the applications using battery, because the low voltage characteristic of an EPROM is inferior to that of a mask ROM. In this paper, the new circuits such as a word line voltage booster scheme and a sense amplifier without reference input for an embedded EPROM in MCU are proposed. The circuits can detect bit line voltage a predetermined level, which is caused by the degradation of the battery. We fabricated a MCU embedded 32Kbytes EPROM. The proposed circuits well operated at 1.5V supply voltage and thus the low voltage performance was improved by about 30%.

**Keyword** : EPROM, 워드라인 승압회로, 전원전압레벨 검출, 센스앰프

## I. 서 론

전원전압으로 배터리를 사용하는 시스템의 응용분야가 증가하여 저 전압 동작의 MCU가 많이 요구되고 있다. 그러나 MCU에 있어서 저 전압 동작에 큰 제약이 되는 부분이 메모리로 EPROM을 내장한 경우이다. 일반적으로 MCU제품은 프로그램 개발 단계에서 EPROM을 내장한 MCU를 사용하여 프로그램을 검증하고 실장세트 상에서 특성을 확인 후 확인된 프로그램을 마스크 롬 내장 MCU에 적용한다<sup>1)</sup>. 그러나 요즘은 마스크 롬 내장 MCU을 대신해 EPROM 내장 MCU가 양산제품에 바로 적용하는 경우가 많으나 EPROM의 저 전압 특성이 마스크 롬에 비해 떨어짐으로 인해 대

\* 正會員, 하이닉스 반도체 MCU설계  
(Hynix Semiconductor)

\*\* 正會員, 忠北大學校 情報通信工學科  
(Chung buk Nat'l Univ.)

接受日字:2002年10月7日, 수정완료일:2003年5月24日

체가 되지 않는 문제가 발생한다. EPROM의 저 전압 동작특성이 떨어지는 원인은 프로그램 되지않은 EPROM 셀의 문턱전압이 마스크 롬 셀에 비해 훨씬 높으므로 인해 전원전압이 낮아질수록 전류구동 능력이 떨어지기 때문이다<sup>[2]</sup>. 현재까지는 센스앰프의 회로 개선으로 저 전압 동작의 문제를 해결해 왔다<sup>[3,4]</sup>. 그러나 칩의 소형화와 메모리 용량의 대형화에 따른 비트라인의 부하 정전용량의 증가와는 달리 EPROM 셀의 전류 구동 능력이 저하되어 <그림 1>과 같은 기존의 개발된 차동 센스 앰프와 데이터 읽기 회로 적용이 더 이상 저 전압 동작을 위한 해결방법이 되지 않는다<sup>[5]</sup>.

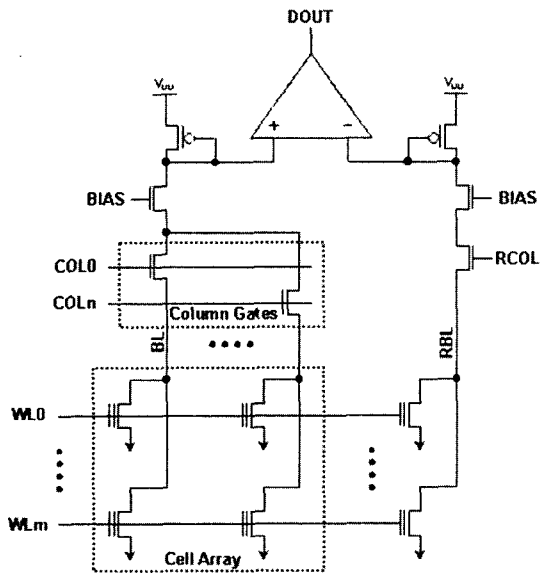


그림 1. 기존의 EPROM 읽기회로  
Fig. 1. Block diagram of the conventional EPROM read circuit

본 논문에서는 저 전압에서 프로그램 되지않은 EPROM 셀의 전류 구동능력을 증가 시키기 위해 전원 전압이 특정전압이하로 감소하면 이를 검출하고 EPROM 셀의 읽기 신호가 활성화 되면 승압회로가 동작되어 EPROM 셀의 워드라인에 승압된 전압을 공급하도록 하였다. 이로 인해 셀의 전류구동 능력이 증가되어 시켜 저 전압 동작이 가능하도록 하였으며, EPROM 셀의 전류구동 능력이 셀의 데이터를 읽는데 충분한 전원 전압에서는 워드라인을 승압하지 않는 회로를 제안한다.

본 논문은 제II장에서는 저 전압동작을 위해 제안한 워드라인 승압회로에 대해 기술하며, 제III장에서는 제안된 회로에 대한 회로 시뮬레이션 결과와 이를 적용

하여 제작한 칩의 측정 결과를 제시한다. 마지막으로 제IV장에서 본 논문의 결론을 언급한다.

## II. 저 전압 동작 주요 회로설계

### 1. 저 전압 동작을 위한 EPROM 회로블럭 설계

<그림 2>는 저 전압 동작을 위한 EPROM 읽기 회로의 블럭도이다. 제안된 회로의 구성은 전원전압의 레벨을 감지하여 특정전압 이하가 되면 승압 ON 신호를 발생시키는 승압 인에이블 회로, EPROM 읽기신호 발생시 워드라인에 승압된 전압을 공급하는 워드라인 승압회로, 승압된 전압을 워드라인에 공급하는 레벨 쉬프트 회로, 워드라인 버퍼회로, 어드레스 버퍼회로, 전류의 흐름의 양을 감지하여 데이터를 판별하는 센스앰프로 구성된다. 제안된 회로의 동작은 전원전압이 특정전압 이하가 될 때까지는 워드라인을 승압하지 않은 일반적인 읽기 회로로 동작하다가 승압 인에이블 회로에 의해 승압 ON 신호가 발생하면 워드라인 승압회로에서 생성된 승압전압을 워드라인에 공급하여 준다. 워드라인의 승압된 전압은 낮은 전원전압 레벨에서 EPROM 셀의 전류구동 능력을 증가시킨다. 전원전압 절약 모드일 경우 워드라인 승압회로 및 승압 인에이블 회로는 동작을 멈추어 전력소모에 영향을 주지 않는다. 또한 승압 회로가 기존의 워드라인 승압 회로와

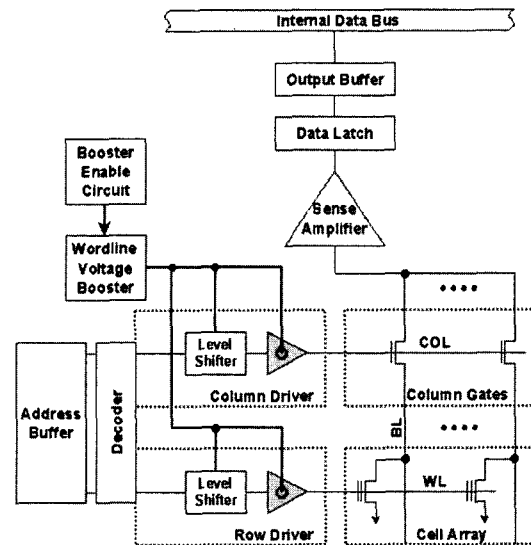


그림 2. 제안된EPROM 읽기회로  
Fig. 2. Block diagram of the proposed EPROM read circuit.

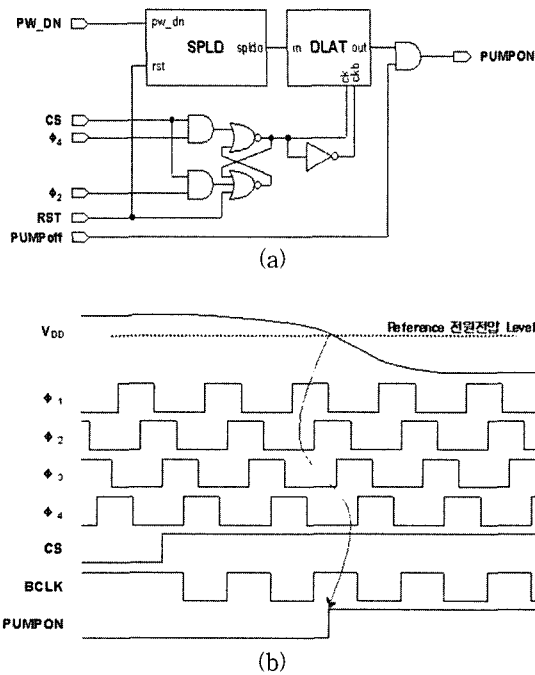


그림 3. (a) 워드라인 승압 인에이블 회로의 블록도 (b) 타이밍도  
 Fig. 3. (a) Block diagram of wordline booster enable (b) Timing diagram.

달리 셀의 전류구동 능력이 현저하게 떨어지는 특정전압 이하에서만 승압을 하므로 전류소모를 많이 줄일 수 있는 장점이 있다.

2. 승압 인에이블 회로

<그림 3(a), (b)>는 워드라인 승압 인에이블 회로의 블록도와 동작 타이밍을 나타낸다. 전원전압 레벨 검출 회로를 나타내는 SPLD블럭에 의해 전원전압의 레벨이 특정전압 이하로 떨어질 경우 이를 감지하여 신호를 발생시키고 이때 EPROM 읽기 신호인 CS 신호가 인에이블 되고 클럭  $\phi_2$ 가 "1" 일 때 워드라인 승압회로가 인에이블 신호를 발생시키고 클럭  $\phi_2$ 가 "0" 일 때 발생된 인에이블 신호는 DLAT회로에 의해 래치된다. <그림 3(b)>에서 전원전압이 기준전압 레벨이하로 떨어지면 PUMPON 신호가 인에이블 되는 것을 알 수 있다. EPROM 셀의 읽기 구간인 클럭  $\phi_4$ 가 "1" 인 동안은 승압 인에이블 신호는 전원전압의 변화에 영향을 받지 않는다. 이것은 EPROM 셀을 읽는 동안 승압 인에이블 신호의 변화가 없게 되어 승압 인에이블 신호에 의해 발생될 수 있는 비정상적인 데이터를 읽는 것을 방지한다. <그림 4(a)>는 전원전압 레벨 검출회로를 나타내

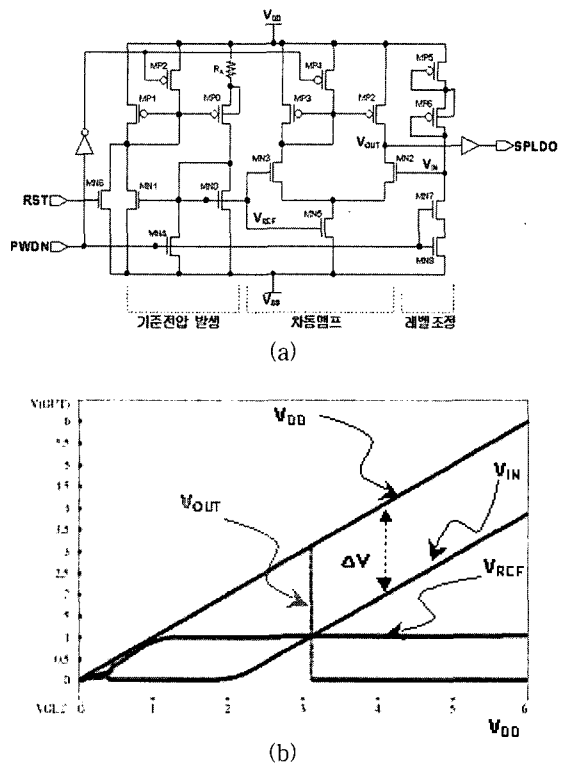


그림 4. 전원전압 레벨 검출기 (a)회로도 (b)전압파형  
 Fig. 4. Supply power level detector (a) Circuit diagram (b) Voltage waveform

며, 이는 전원전압의 변화를 감지하여 특정전압 이하가 될 때 "1" 신호를 발생시킨다. 먼저 회로의 구성은 크게 세가지로 구성된다. 기준전압을 생성하는 기준전압 발생회로와  $V_{DD}-\Delta V$  전압을 생성하는 전원전압 레벨 조정회로, 두 신호의 차를 검출하는 차동 앰프로 구성된다. 시뮬레이션 파형을 나타낸 <그림 4(b)>에서 보듯이 기준전압 발생회로<sup>(6)</sup>는 전원전압의 변화와 상관없이 항상 일정한 전압레벨  $V_{REF}$ 을 출력하는 반면, 전원전압 레벨 조정 회로의 출력  $V_{IN}$ 은 전원전압의  $\Delta V$ 만큼의 차를 갖으며 전원전압의 변화를 따라간다. 이때 차동앰프로 인해 레벨 조정 회로의 출력전압  $V_{IN}$ 이 기준전압  $V_{REF}$  보다 작아져 승압이 필요할 때 차동앰프의 출력 전압  $V_{OUT}$ 은 "1" 신호를 발생시키고, 그렇지 않을 경우  $V_{OUT}$ 은 "0" 신호를 발생시킨다. <그림 4(b)>에서  $V_{OUT}$  전압이 "0"에서 "1"로 인에이블 되는 시점이 전원전압 검출 레벨이 된다. <그림 5>는 <그림 4>의 회로를 온도변화에 따른 동작 특성을 시뮬레이션한 결과를 나타낸 것이다. 전원전압 레벨검출 회로는 검출레벨이 3.1V에 설정되어 있고, 온도 변화(-40°C ~ 80°C)에

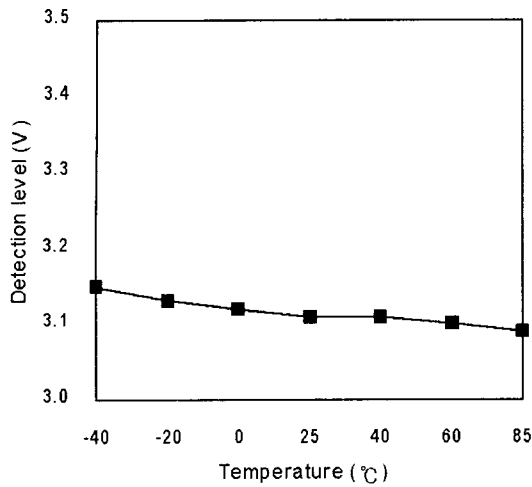


그림 5. 온도 변화에 따른 SPLD 동작 특성  
 Fig. 5. Characteristic of SPLD as to variation of temperature.

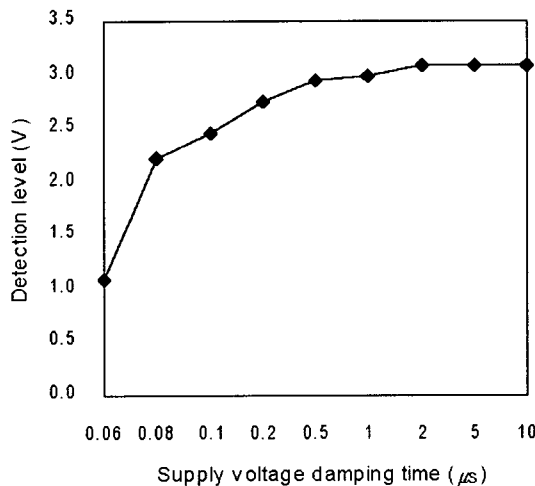


그림 6. VDD 감쇠 기울기에 따른 응답속도  
 Fig. 6. Response speed of SPLD as to VDD damping time.

따른 검출레벨의 변화가 3.1V±10mV로 안정적인 동작을 나타낸다. <그림 6>은 전원 전압의 감쇠 기울기에 따른 전원전압 레벨 검출회로의 응답속도를 시뮬레이션한 결과이다. 응답속도는 전원전압이 5.0V에서 2.0V로 감쇠 되는 시간이 100ns이상에서 정상적인 검출레벨이 출력된다. 배터리를 전원전압으로 사용할 경우 전원전압의 감쇠 기울기가 이 보다 훨씬 크므로 충분한 응답 속도 마진을 갖는다.

3. 워드라인 승압 회로

<그림 7>은 워드라인 승압회로 및 동작 타이밍을 나

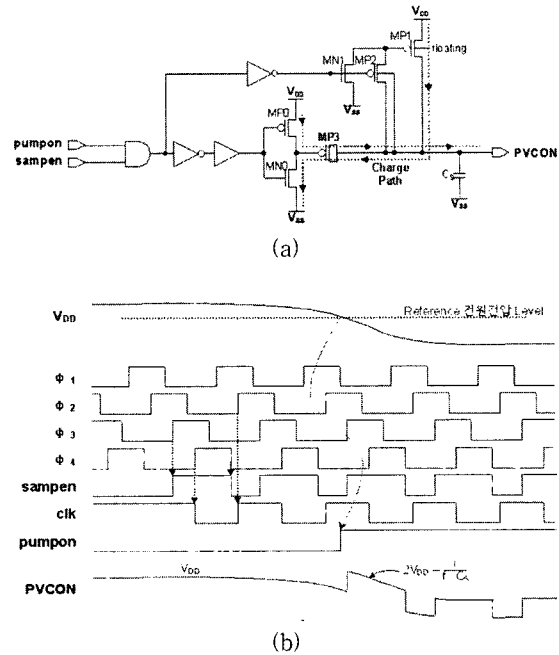


그림 7. (a) 워드라인 승압회로 (b) 타이밍도  
 Fig. 7. (a)Wordline booster circuit (b)Timing diagram.

타낸다. 워드라인 승압회로는 EPROM 셀을 읽을 때 워드라인에 승압된 전압을 공급하여 EPROM 셀의 전류 구동 능력을 증가 시키는 회로이다. 기본동작을 살펴보면 우선 승압 인에이블 회로로부터 워드라인 승압 여부를 결정하는 pumpon신호가 "0" 이거나 EPROM 읽기 신호인 sampen이 "0" 일 때 MP1과 MN0 Tr에 의해 전원전압(V<sub>DD</sub>)을 MOS 커패시터인 MP3에 충전시킨다. MP3에 충전된 전압은 승압 인에이블 신호인 pumpon과 EPROM 읽기 신호인 sampen이 "1" 이 되면 MP3에 저장된 전압은 MP0 에 의해 공급되는 전원 전압과 더해진 전압의 합으로 승압된 전압이 EPROM 셀의 워드라인에 공급된다. 승압된 전압(V<sub>BW</sub>)레벨은 식 (1)과 같다.

$$V_{BW} = V_{DD} + V_{CAP} - I/(f \cdot C_s) \tag{1}$$

V<sub>CAP</sub>은 커패시터 MP3에 충전된 전압, I는 다이내믹 스위치 회로인 레벨 쉬프트 회로와 워드라인 게이트 드라이버에 승압된 전압이 공급되어질 때 순간적으로 흐르는 누수전류, C<sub>s</sub>는 워드라인의 기생 커패시터, f은 동작 주파수를 나타낸다. 식 (1)을 통해 승압 전압 레벨은 다이내믹 스위치 회로의 누수전류를 최소화 함으로써 최대의 승압 레벨을 얻을 수 있다. 워드라인 승압

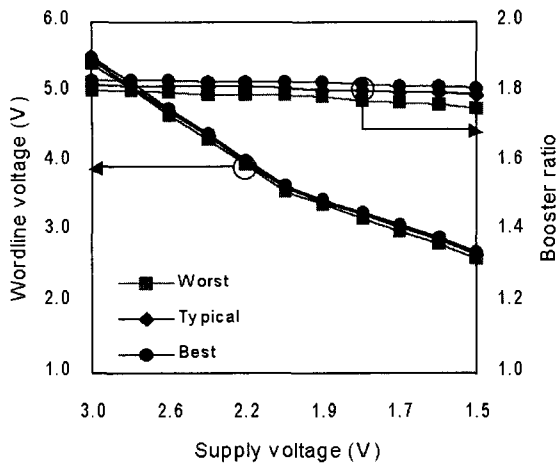


그림 8. 전원전압 변화에 따른 승압 레벨  
Fig. 8. Booster level on variation of supply voltage.

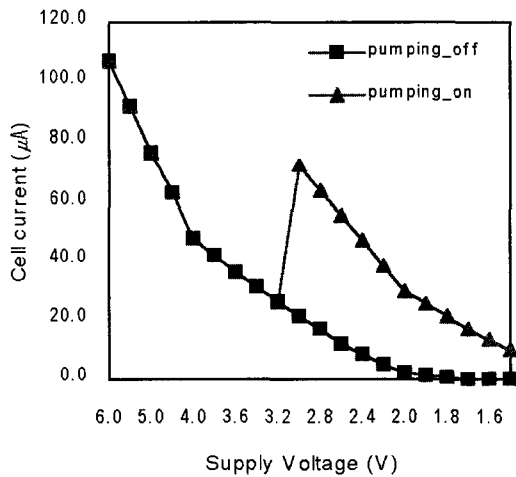


그림 9. 승압 유무에 따른 EPROM 셀의 전류 구동 능력  
Fig. 9. Current capability of EPROM cell.

을 위한 전원전압 검출레벨을 설정시 승압된 전압이 프로그램 된 셀의 문턱전압( $V_T$ ) 보다 낮게 되도록 주의하여 결정해야 한다. 그렇지 않을 경우 프로그램 된 셀의 문턱전압 보다 높은 워드라인 전압이 공급되어 프로그램 된 셀이 마치 프로그램 되지 않은 셀처럼 인식되는 오 동작이 발생할 수 있기 때문이다. <그림 8>은 공정 파라미터 변화에 따른 워드라인 승압 레벨을 전원전압의 각 레벨에서 시뮬레이션한 결과이다. 승압 레벨 및 승압율은 공정 파라미터 변화에 크게 영향을 받지 않음을 확인하였으며, 승압된 전압 레벨은 전원전압이 3.0V에서 5.5V이며 1.5V에서 2.8V의 워드라인 전압을 출력하며 승압율은 전원전압의 변화에 크게 영향

을 받지 않고 1.8의 특성을 확인하였다. 또한 <그림 9>는 워드라인을 승압할 때와 그렇지 않을 때의 EPROM 셀의 전류구동 능력을 시뮬레이션 한 결과이다. 워드라인이 승압하지 않을 때는 전원전압이 2.4V이하에서 EPROM 셀 전류가  $10\mu A$ 이하로 급격히 감소하는 것을 확인할 수 있다. 이러한 특성은 기존의 센스앰프만을 사용한 EPROM 읽기 회로에서는 프로그램 된 셀과 프로그램 되지 않은 셀을 판별하기 어려워져 저 전압에서의 동작특성을 떨어지게 한다. 반면 워드라인을 승압한 경우 셀 전류는 전원전압이 1.5V까지는  $10\mu A$ 이상의 전류구동 능력을 갖게 되며 1.4V이하에서  $10\mu A$ 이하로 감소함을 보이고 있다. 이러한 워드라인 승압회로의 사용으로 승압된 전압을 EPROM 셀의 게이트에 공급함으로써 셀의 전류구동 능력을 기존보다 훨씬 증가시켜 저 전압 동작이 가능하도록 하였다

#### 4. 센스앰프 회로

<그림 10>은 기준 셀이 필요 없는 센스 앰프 회로이다. 본 센스 앰프는 EPROM 셀에 흐르는 전류의 양을 감지하여, 감지된 양을 풀다운 트랜지스터에 의해 전압으로 변환하여 셀의 데이터를 판별하는 특성을 갖고 있으며 또한 EPROM 셀의 soft write 현상을 방지하기 위해 셀 드레인의 전압이 특정전압 이상이 되지 않도록 비트라인에 전압 클램프 회로가 구성되어 있다. 비트라인의 전압클램프 회로는 MP4, MN4, MN5, MN6로 구성되어있다. MN4와 MN5는 서로 네거티브 피드백을 형성하여 데이터를 읽을 때 BL(Bit Line) 노드에 전압이 일정전압이하가 걸리도록 구성하였다. 센스 앰프의 동작을 살펴보면 데이터를 읽기 전에는 SEN

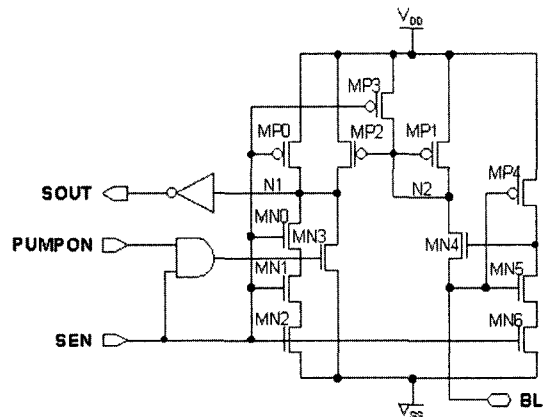
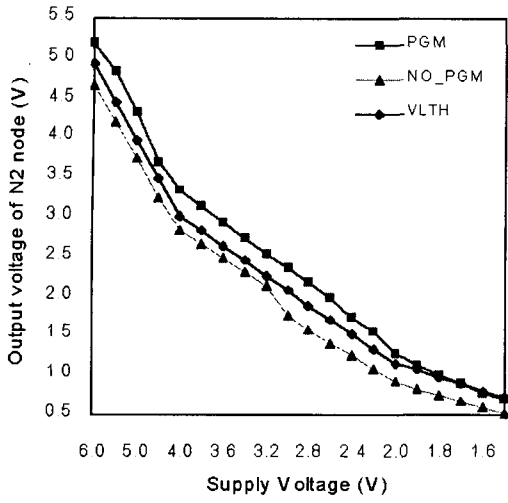
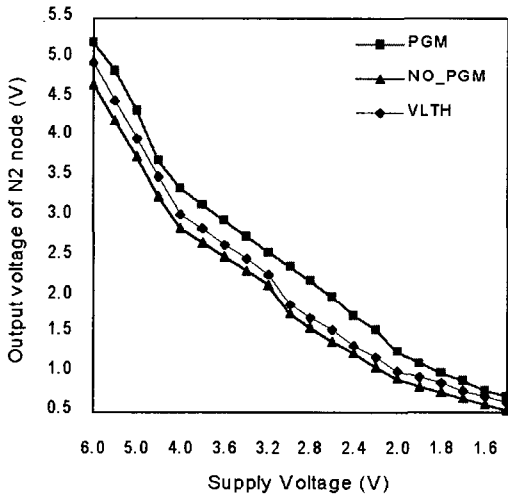


그림 10. 제안된 센스앰프  
Fig. 10. Proposed the sense amplifier.



(a)



(b)

그림 11. 제안된 센스앰프의 동작특성. (a) MN3 추가하지 않은 경우 (b) MN3 추가한 경우

Fig. 11. Characteristics of the proposed sense amplifier. (a) without MN3 (b) with MN3

신호가 “0”이 되고 MP0의 드레인 노드(N1)는  $V_{DD}$ 로 pre-charge 되어진다. 데이터 읽기 동작 시 SEN 신호가 “1”이 되며 MP0는 OFF 되고, MP1에 의해 비트라인을 경유하여 EPROM 셀에 전류가 공급된다. 이때 셀이 프로그램 되었는지 유무에 따라 흐르는 전류의 양이 전류 미러를 구성하는 MP1과 MP2에 의해 MP2에 동일한 MP1의 전류가 흐르게 되며 이 전류는 MN0, MN1, MN2, MN3로 구성된 직렬 풀다운 트랜지스터에 전달되어진다. 프로그램 된 셀의 경우 MP2에 전류가 거의 흐르지 않아 N1 노드는 MP0에 의해 precharge된

값이 풀다운 트랜지스터에 의해 LOW 레벨로 출력되어 최종 출력 SOUT은 “1”가 출력된다. 반면, 프로그램 되지 않은 셀의 경우 프로그램 된 셀과 반대로 EPROM 셀을 통해 흐르는 전류가 MP2에 전달되어 채널저항이 큰 풀다운 트랜지스터에 전류가 흐름으로 인해 N1 노드는 pre-charge 전압 HIGH를 유지하고 최종 출력 SOUT은 “0”이 된다. MN1, MN2, MN3 트랜지스터는 게이트가  $V_{DD}$ 에 연결되어 있어  $V_{DD}$  전압이 감소할수록 채널저항 값이 증가하게 된다. 채널저항의 증가는 프로그램 된 EPROM 셀의 경우 N1 노드의 pre-charge 전압을 LOW 레벨로 낮추는데 전원전압이 낮아질수록 긴 시간을 필요로 하여 데이터 액세스 시간이 짧아질수록 올바른 데이터를 읽어 낼 수 없게 된다. 따라서 이를 개선하기 위해 MN3 트랜지스터를 추가하여 전원전압이 특정전압 이하가 될 때 데이터 읽기 구간에서 PUMPON 신호가 “1”이 되면 기존의 MN0, MN1, MN2의 풀다운 트랜지스터를 MN3으로 변경하여 트랜지스터의 채널저항을 감소시키는 기법을 사용하였다. <그림 11>은 MN3의 풀다운 트랜지스터가 사용될 때와 그렇지 않을 때 프로그램 된 셀과 프로그램 되지 않은 셀의 센싱 레벨을 회로 시뮬레이션을 통해 비교한 것이다. <그림 11>에서 VLTH는 EPROM 셀의 데이터를 판별하는 센스 앰프의 로직 문턱전압을 나타내며 PGM은 프로그램된 EPROM 셀을 읽을 때 N2 노드의 출력전압을 나타내며, NO\_PGM은 프로그램 되지 않은 EPROM 셀을 읽을 때 N2 노드의 출력전압 특성을 나타낸 것이다. <그림 11(a)>의 결과에서 MN0, MN1, MN2만으로 구성된 풀다운 트랜지스터를 사용할 경우 전원전압이 2.0V이하에서는 프로그램 된 셀의 출력전압이 센스 앰프의 로직 문턱전압 대비 마진이 작아져 프로그램 되지않은 셀로 읽혀지는 문제점이 있다. 그러나 MN3 트랜지스터를 추가한 <그림 11(b)>는 전원전압이 1.5V까지 떨어져도 센스앰프의 로직 문턱전압 대비 충분한 마진을 갖고 있음을 보여준다.

### III. 시뮬레이션 및 측정결과

#### 1. 회로 시뮬레이션 결과

<그림 12>는 0.5 $\mu$ m SPICE 모델을 사용하여 전원전압이 1.5V, 온도가 25 $^{\circ}$ C 일 때 제안된 읽기회로를 EPROM 32K-byte에 적용하여 시뮬레이션 한 결과를 나타낸다. 각 그림의  $\Phi$ 1,  $\Phi$ 2,  $\Phi$ 3,  $\Phi$ 4는 시스템 클럭을 나

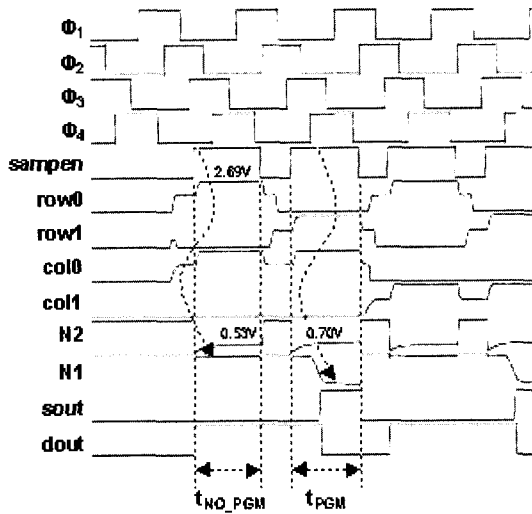


그림 12. EPROM 32Kbytes 회로 시뮬레이션 결과  
Fig. 12. Simulation results of EPROM 32Kbytes.

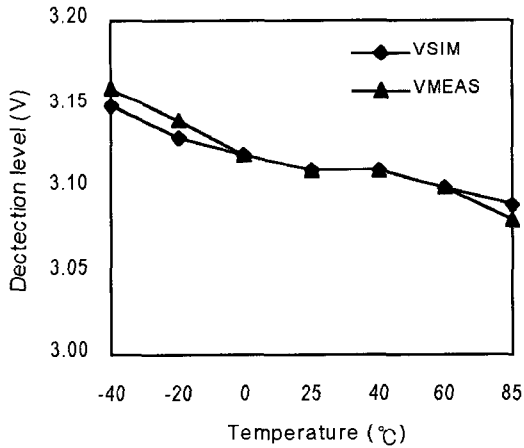


그림 13. 전원전압 레벨검출 회로 측정결과  
Fig. 13 Measured results of SPLD.

타내며 이 클럭에 동기 되어 센스 앰프 인에이블 신호와 각 블록의 신호를 발생시킨다. *row0*, *row1*은 EPROM 셀의 워드라인 각각에 인가되는 전압파형을 나타내며, *col0*, *col1*은 비트라인 디코더 트랜지스터의 게이트에 인가되는 전압파형을 나타낸다. 이때 공급되는 승압전압 레벨은 2.69V이며 승압율은 1.79 이다. *sout* 출력은 센스앰프를 통해 EPROM 셀을 읽은 결과를 출력한다. 프로그램 된 셀(*tPGM*)의 경우 "0"이 출력되고, 프로그램 되지 않은 셀(*tNO\_PGM*)의 경우 "1"을 출력한다. *dout*은 *sout* 출력의 역을 취한 결과이다. 본 논문에서 제시한 회로를 적용하여 시뮬레이션한 결과 전원전압이 1.5V에서도 프로그램 된 셀과 그렇지 않는 셀

을 정확하게 읽어냄을 확인하였다.

2. 측정결과

본 논문에서 제시된 읽기 회로를 적용하여 0.5um EPROM 내장 로직 공정을 사용하여 32Kbyte EPROM 내장 MCU을 제작하였다. 제작된 칩의 EPROM 셀의 문턱전압은 1.2V이다. <그림 13>은 전원전압 레벨 검출회로의 온도특성을 측정한 결과를 시뮬레이션 결과와 비교한 그래프이다. VSIM은 회로 시뮬레이션 결과이며 VMEAS는 측정결과를 나타낸다. 검출레벨은 25°C에서 3.12V로 시뮬레이션 결과와 동일하게 측정되었으며 -40°C, -20°C에서 시뮬레이션 결과보다 0.1V 높게, 85°C에서 0.1V 낮게 측정되었다. 본 논문에서 제시한 레벨검출 회로의 온도특성은 시뮬레이션 결과와

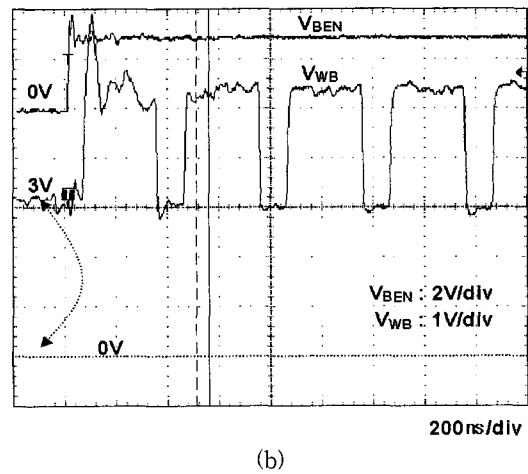
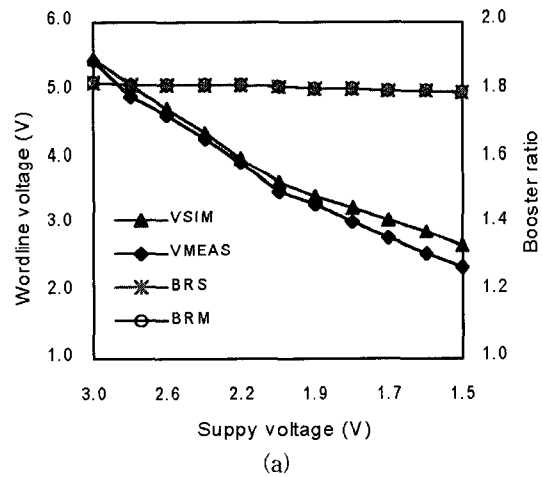
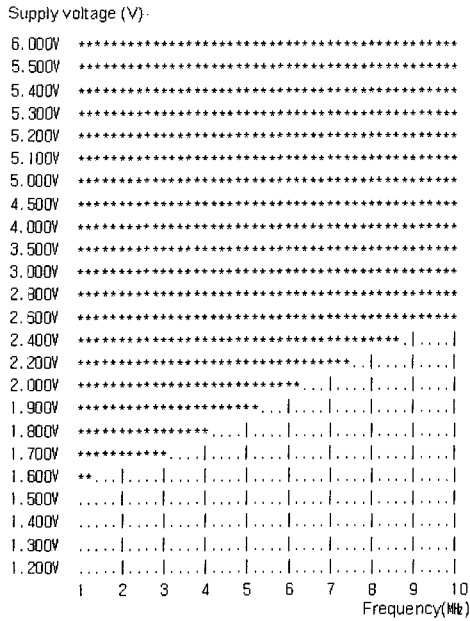
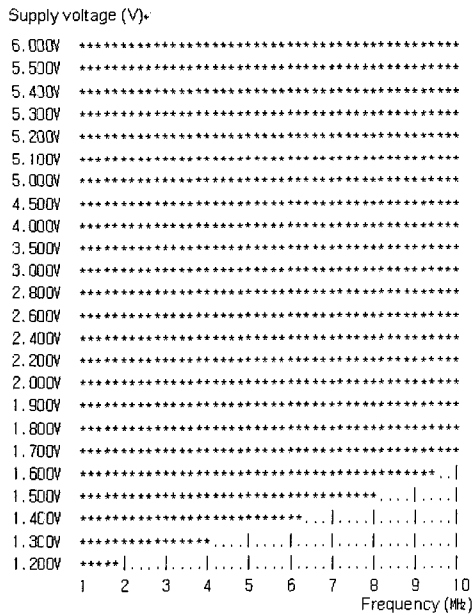


그림 14. 워드라인 승압회로의 측정결과  
Fig. 14. Measured result of wordline booster.



(a)



(b)

그림 15. Shmoo 특성 (a) 기존의 scheme (b) 제안된 scheme

Fig. 15. Shmoo characteristics. (a) Conventional scheme (b) Proposed scheme

큰 차이가 없음을 확인하였다. <그림 14>는 워드라인 승압회로의 출력전압 레벨과 출력파형을 측정된 결과이다. <그림 14(a)>에서 VSIM은 워드라인 승압회로의

승압전압 레벨, BRS는 승압율을 시뮬레이션 결과이며 VMEAS와 BRM은 측정결과를 나타낸다. 승압레 벨은 시뮬레이션 결과와 비교하여 전원전압이 1.5V 일 때 0.23V 낮은 2.35V로 측정되었으나 EPROM 데이터를 읽는데 문제가 없었다. 전원전압의 변화에 따른 승압율 변화는 시뮬레이션 결과와 큰 차이가 없음을 확인하였다. <그림 14(b)>는 전원전압이 3.0V 일 때 EPROM 읽기 동작 시 워드라인의 승압 전압 파형을 측정된 것이며,  $V_{WB}$  는 워드라인 승압 신호,  $V_{BEN}$ 는 워드라인 승압 인에이블 신호를 나타낸다. EPROM 읽기 신호가 발생할 때마다 워드라인에 승압된 전압을 공급해 주는 것을 볼 수 있다. <그림 15>는 EPROM의 읽기 동작특성을 측정된 Shmoo 그래프이다. X축은 MCU의 동작 주파수를 나타내며 Y축은 전원전압 레벨을 나타낸다. <그림 15(a)>는 워드라인 승압회로를 사용하지 않는 기존 회로의 동작특성을 측정된 결과이며 <그림 15(b)>는 본 논문에서 제안된 워드라인 승압회로를 사용한 경우 동작특성을 측정된 것이다. 기존 회로를 사용한 경우 동작 주파수가 7.0MHz일 때 동작 전원전압 레벨이 2.2V까지 동작하는 반면, 본 논문에서 제안된 워드라인 승압회로를 사용한 경우 동작 전원전압 레벨이 1.5V까지 떨어져도 정상적으로 동작함을 확인하였다. 또한 주파수가 10.0MHz 에서 기존회로의 경우 동작 전원 레벨이 2.6V까지 동작하는 반면, 제안된 회로는 1.7V까

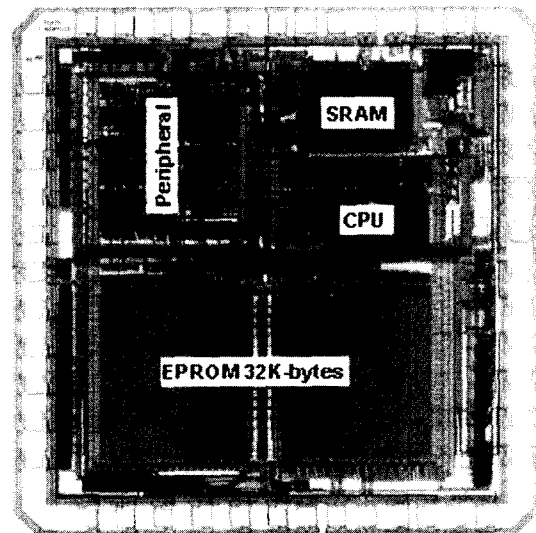


그림 16. EPROM 내장 MCU 칩 사진

Fig. 16. Photography of an embedded EPROM in MCU



지 동작함을 확인하였다.

<그림 16>는 제안된 워드라인 승압회로를 적용하여 제작된 32Kbyte EPROM 메모리 내장 MCU를 나타낸 것이다. 공정은 2-metal, 3-poly를 사용한 0.5 $\mu$ m CMOS 공정을 적용하여 설계하였으며 칩면적은 3200 $\mu$ m × 3600 $\mu$ m이다.

#### IV 결 론

EPROM 메모리의 저 전압 동작에 문제가 되는 것은 EPROM 셀의 높은 문턱전압으로 인해 전류구동 능력이 저 전압에서 급격히 감소하기 때문이다. 따라서 본 논문에서는 이러한 문제해결을 위하여 EPROM 셀의 전류구동 능력이 떨어지는 전원전압 레벨에서 워드라인 전압을 승압하여 EPROM 셀의 게이트에 공급하여 셀의 전류구동 능력을 증가 시키는 회로구조를 제안하였다. 이렇게 설계된 저 전압 동작회로의 특성을 검증한 결과 저 전압에서의 EPROM 읽기동작 특성이 기존 대비 동작주파수가 10.0MHz 에서34%, 7.0MHz 에서 30% 개선되었음을 확인하였다.

#### 참 고 문 헌

[1] C. Melear, "Integrate memory elements on micro-controller devices, WESCON/94. Idea/Microelectronics. Conference Record, pp. 507~514, 1994.

[2] S. T. Wang, "On the I-V characteristics of floating-gate MOS transistors, IEEE Trans. Elector Devices, vol. ED-26, pp. 1292~1294, Sep. 1979.

[3] T. Tanzawa, et al, "Design of sense circuit for low-voltage flash memories, IEEE J. Solid State Circuits, vol. 35, pp. 1415~1421, Oct. 2000.

[4] N. Otsuka and M. Horowitz, "Circuit techniques for 1.5-V power-supply flash memory," IEEE J. Solid State Circuits, vol. 34, pp. 1091~1098, Aug. 1999.

[5] K. Yoshikawa, et al., "0.6um EPROM cell design based on a new scaling scenario," IEDM Tech, Dig., pp. 587~590, 1989.

[6] K. E. Kuijk, "A precision reference voltage source," IEEE J. Solid-State Circuits., vol. SC-8, pp. 222~226, Jun. 1973.

[7] K. Imamiya, et al, "A 68-ns 4-Mb CMOS EPROM with high-noise-immunity design," IEEE J. Solid State Circuits, vol. 25, pp. 72~78 Feb. 1990.

[8] K. Ishibashi, et al., "A 1-V TFT-load SRAM using two-step word-voltage method," IEEE J. Solid-State Circuits, vol. 27, no. 11. pp. 1519~1524, November 1992.

[9] T. Tanzawa, et al, "Wordline voltage generation system for low-voltage flash memories," IEEE J. Solid-State Circuits, vol. 36, no. 1. pp. 55~63, January 2001.

[10] T. Tanzawa and S. Atsumi, "Optimization of wordline booster circuits for low-voltage flash memories," IEEE J. Solid-State Circuits, vol. 34, pp. 1091~1098, Aug. 1999.

[11] M. Kuriyama, et al., "A 16-ns 1-Mb CMOS EPROM," IEEE J. Solid-State Circuits., vol. 25, pp. 1141~1146, Oct. 1990.

#### 저 자 소 개



崔相信(正會員)

1995년 2월 : 동아대 전자공학과(학사). 2003년 2월 : 충북대 정보통신공학과(석사). 1995년~현재 : 하이닉스 반도체 MCU설계. <주관심분야 : Embedded MCU 설계 저전압 동작 MCU 설계 LCD/VFD Con-

troller 내장 MCU>

趙慶錄(正會員)

1977년 2월 : 경북대학교 전자공학과 공학사. 1989년 3월 : 일본 동경대학교 전자공학과 공학석사. 1992년 3월 : 일본 동경대학교 전자공학과 공학박사. 1979년 7월~1985년 6월 : LG전자TV연구소 선임연구원. 1991년 1월~2000년 1월 : Oregon State University 객원교수. 1992년~현재 : 충북대학교 정보통신공학과 교수. <주관심분야 : 저 전압 고속회로 설계, 통신시스템 용 LSI개발, 고속 마이크로프로세서 설계>



金 聖 植(正會員)

1988년 : 경북대 전자공학과(학사).

1999년 : 충북대 정보통신공학과(석사).

2002년 : 충북대 정보통신공학과(박사수료).

1988년~현재 : Hynix

반도체 MCU설계. <주관심분야 :

Embedded MCU설계>