

論文2003-40SD-6-2

포아송 방정식의 해를 이용한 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘

(The Algorithm for Calculating the Base-Collector Breakdown Voltage of NPN BJT Using the Solution of the Poisson's Equation)

李恩九*, 金泰漢*, 金鐵城*

(Eun Gu Lee, Tae Han Kim, and Cheol Seong Kim)

요약

집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘을 제시한다. 모의실험 시간을 최소화할 수 있는 3차원 메쉬 생성 방법을 제시하고 포아송 방정식의 해를 이용하여 역방향 항복전압을 구하는 방법을 제시한다. 제시된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압을 실측치와 비교한 결과 20V 공정을 이용한 NPN BJT는 8.0%의 평균상대오차를 보였으며 30V 공정을 이용한 NPN BJT는 4.3%의 평균 상대오차를 보였다.

Abstract

The algorithm for calculating the base-collector breakdown voltage of NPN BJT for integrated circuits is proposed. The method of three-dimensional mesh generation to minimize the time required for device simulation is presented and the method for calculating the breakdown voltage using solutions of the Poisson's equation is presented. To verify the proposed method, the breakdown voltage between base and collector of NPN BJT using 20V process and 30V process is compared with the measured data. The breakdown voltage from the proposed method of NPN BJT using 20V process shows an averaged relative error of 8.0% compared with the measured data and the breakdown voltage of NPN BJT using 30V process shows an averaged relative error of 4.3% compared with the measured data.

Keyword : 항복전압, breakdown, 3차원 구조, 이온화 계수, 폭울반경

I. 서론

컴퓨터의 하드디스크, CD-ROM, VCR 그리고 CPU

에 부착된 Fan등의 각종 모터를 제어하기 위한 구동 드라이버 IC는 집적회로용 BJT가 널리 사용되고 있으며 점차 높은 rpm을 유지하기 위해 고출력 동작이 요구되는 추세인 반면, 인가 바이어스에 따라 안정된 동작이 가능하도록 소자의 설계와 공정의 중요성이 대두되고 있다.

* 正會員, 仁荷大學校 電子工學科

(Department of Electronics Engineering, Inha University)

接受日字:2002年8月23日, 수정완료일:2003年5月24日

현재 사용중인 바이폴라 공정은 CMOS 공정으로는 다루기 힘든 고온과 대전류영역에서 동작한다. 또한 전 원전압이 12V와 20V에서 동작하므로 이에 알맞은 20V 및 40V 공정이 주류를 이루고 있으며, 40V 공정의 경우는 점차 30V 공정으로 변화되는 추세에 있다.

30V 이상의 높은 전원전압이 컬렉터에 인가되면 베이스-컬렉터간 공핍영역 내에 높은 전계가 유기되어 역방향 항복 현상이 발생된다. 이러한 역방향 항복특성은 설계규칙(design rule)을 결정짓는 소자 설계상의 기준을 제시하므로 반드시 고려해야 하는 요소이나 초기 공정 개발단계에서는 실측치를 구할 수 없기 때문에 근사적인 계산식과 소자 설계자의 경험을 토대로 결정한다. 그러나 역방향 항복 전압을 정확히 예측하지 못하면 최적의 베이스-컬렉터간 간격을 구할 수 없으므로 칩 면적이 증가하여 단가상승의 원인이 된다.

역방향 항복 전압을 정교하게 구하기 위해 실험에만 의존하면 많은 개발비용과 시간이 요구되므로 소자 모델링 기법과 소자 및 공정 모의실험을 병행하고 있으나 3차원 구조를 갖는 NPN BJT에 대해 효과적인 해석방법은 찾지 못하는 상황이다. 소자 모델링 기법을 사용한 기존의 해석방법으로 Baliga^[1]는 3차원 구조에 대한 역방향 항복전압 모델을 제시하였다. 전계 crowding 현상을 고려하여 곡률 반경에 따른 전위 및 전계와 역방향 항복전압을 구하였으나 불순물 분포를 상수로 가정하기 때문에 접합근처에서 전계를 효과적으로 구할 수 없고 곡률반경에 따라 결과가 달라지므로 역방향 항복특성이 일어나는 금속학적 접합 면의 곡률반경을 정교하게 예측할 수 있어야 한다. 또한 소자 모의실험을 병행하여 사용하고 있으나 3차원 구조를 갖는 NPN BJT에 대해 효과적인 해석방법은 찾지 못하는 상황이다. 기존에 사용되는 3차원 소자 시뮬레이터로는 DAVINCI^[2]가 있으나 모의실험시 주 메모리 용량의 부족으로 회소 LU법을 사용할 수 없으며 메모리 소비량을 감소시키기 위해 ILUCGS법^[3]을 사용하나 방대한 양의 계산 시간을 필요^[4]로 하여 BJT 해석용 소자 시뮬레이터로는 부적합한 실정이다.

본 논문에서는 3차원 포아송 방정식의 해^[5]를 이용하여 베이스-컬렉터간 역방향 항복특성을 정교하게 예측하는 방법을 제안한다. 3차원 모의실험이 가능하도록 소자의 크기를 최소화하고 이온화계수의 적분값을 이용하여 역방향 항복현상의 발생 여부를 판단한다. 제안한 방법의 효율성을 검증하기 위해 20V 공정과 30V

공정을 기반으로 제작된 NPN BJT의 베이스-컬렉터간 역방향 항복전압을 실측치와 비교한다. 본 논문의 2장에서는 3차원 NPN BJT의 메쉬 생성방법을 설명하고 3장에서는 역방향 항복전압 추출 알고리즘을 설명한다. 4장에서는 제안한 방법의 정확도를 실측치와 비교한다.

II. 3차원 NPN BJT의 메쉬 생성 방법

집적회로용 바이폴라 접합 트랜지스터의 전원전압으로 컬렉터 전극에 30V 이상이 인가되면 컬렉터와 베이스간 공핍영역과 전계의 크기가 증가한다. 전계의 크기가 임계치를 넘으면 자유전자가 충분한 에너지를 얻어 격자와 충돌하여 새로운 자유전자와 정공쌍이 생성되고 이러한 과정이 반복되면 역방향 항복현상이 발생된다. 이때 전계의 임계치는 E_{cn} 과 E_{cp} 으로 정의되고, 각각 $1.231 \times 10^6 [V/cm]$ 와 $2.036 \times 10^6 [V/cm]$ 이다^[2]. 식 (1)과 식 (2)는 이온화계수이며 역방향 항복에 의해 증가한 정공 전류와 전자 전류의 비율^[6]을 나타낸다.

$$a_n = A_n e^{-\frac{E_{cn}}{|\bar{E}|}} \quad (1)$$

$$a_p = A_p e^{-\frac{E_{cp}}{|\bar{E}|}} \quad (2)$$

여기서 A_n 과 A_p 는 임계전계에서의 이온화 계수이고 각각 $7.03 \times 10^5 [cm^{-1}]$ 과 $1.528 \times 10^6 [cm^{-1}]$ 이다^[2]. 식 (1)과 식 (2)에서 \bar{E} 는 수평 전계이고 전류 방향과 동일한 전계 성분이다. 역 바이어스가 인가된 조건에서 공핍영역 내부의 수평전계는 전위의 공간에 대한 벡터 방향과 일치한다.

식 (1)과 식 (2)에서 이온화 계수는 전계와 지수함수 관계를 갖으므로 전계 모델에 따라 역방향 항복전압의 정확도가 달라진다. NPN BJT는 3차원 구조를 갖고 있으며, 특히 에피 영역으로부터 금속학적 접합면으로 전계의 집중 현상^[1]이 발생하는 베이스 모서리 영역은 전계의 최대 값을 보이므로 항복전압 계산시 반드시 고려해야 한다. 3차원 구조를 갖는 BJT에서 전계를 정교하게 구하기 위해서는 소자 모의실험이 수행되어야 하나 3차원 소자는 2차원 소자에 비해 크기가 최소 10배 이상 증가하고 100배 이상의 행렬 계산시간과 메모리 공간이 필요하므로 극히 제한적으로 사용된다.

본 논문에서는 임의의 구조에 대해 3차원 모의실험이 가능하도록 소자의 크기를 작게 제작하며, 행렬 풀

이에 필요한 메모리 크기를 최소로 유지할 수 있도록 전진해법^[7]을 사용한다. <그림 1>은 베이스와 컬렉터간 역방향 항복특성을 모의실험하기 위한 3차원 구조이다. 베이스-에피간 항복특성에 직접적인 영향이 없는 에미터 영역은 제외하며 곡률반경이 최소인 영역 A가 포함 되도록 제작한다.

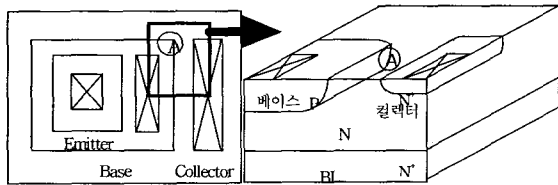


그림 1. 베이스-컬렉터간 역방향 항복특성 분석용 3차원 소자

Fig. 1. The three dimensional device for the analysis of the base-collector breakdown.

사용자에 의해 NPN BJT의 해석영역이 결정되면 모의실험 조건과 불순물 분포를 고려하여 요소^[5]를 세분화한다. 그러나 요소를 과도하게 세분화하면 모의실험 시간이 급증하고 요소 세분화 방법만으로는 일정 수준 이상으로 수렴특성을 향상시키기는 것은 불가능하므로 모의실험 결과에는 영향을 없도록 수렴특성을 유지하면서 시료의 크기를 가능한 최소로 제작하는 방법이 효과적이다.

본 논문에서는 노드간 내부 전위와 불순물의 변화가 열 전압의 2배와 7.4배 이하가 되도록 요소를 세분화하고, 노드간격의 최소 값과 최대 값을 사용자가 입력한 값으로 정의한다. 또한 역바이어스가 인가된 조건에서 소자 내부의 전압강하가 열전압의 2배 이하가 되도록 요소를 세분화한다.

III. 역방향 항복전압 추출 알고리즘

증배인자는 역방향 항복에 의해 전류가 증가하는 비율^[8]을 나타낸다. 식 (3)은 증배인자이고 분모항의 이온화 계수는 식 (1)과 식 (2)이다. 본 논문에서는 이온화 계수의 선 적분이 1이 되는 조건에서 증배인자가 무한대가 되므로 역방향 항복현상이 시작된다고 가정한다. 이때 인가전위를 역방향 항복전압으로 판단한다.

$$M = \frac{1}{1 - \int_{x_n}^{x_p} (a_n + a_p)dL} \quad (3)$$

여기서 L은 이온화 계수의 적분 경로이고 x_n, x_p 는 컬렉터와 베이스의 공핍영역이다.

<그림 2>는 초기 적분영역과 베이스-에피에서 공핍영역 내부의 적분경로를 나타낸다. 역방향 항복현상이 나타나는 베이스와 에피 영역의 금속학적 접합면은 점선으로 표시하고 공핍영역은 실선으로 나타낸다. 영역 A에서 전계의 크기가 최대이고 점 B와 점 C는 영역 A와 이웃하는 요소와 적분경로 상의 교점이다. 영역 A에서 전계의 방향에 따라 이웃하는 요소와의 교점 B와 C를 결정한다. 이웃하는 요소에서도 같은 방법으로 적분경로를 설정하고 공핍영역을 벗어나면 이온화 계수의 적분 값에 영향이 없으므로 이온화 계수의 적분을 중단한다.

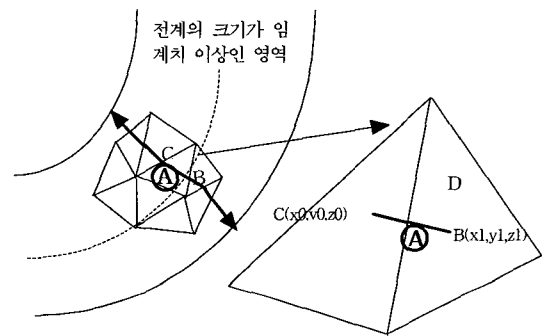


그림 2. 베이스-에피 공핍영역 내부의 적분 경로
Fig. 2. The integrating path in the depletion region between the base and the epi-layer.

<그림 2>에서 적분경로 상의 요소는 4개의 노드로 구성된다. 식 (4)는 요소 내 수평 전계 벡터이다^[5].

$$\begin{aligned} \vec{E} &= -\phi_1 \nabla N_1 - \phi_2 \nabla N_2 - \phi_3 \nabla N_3 - \phi_4 \nabla N_4 \\ &= E_x \vec{a}_x + E_y \vec{a}_y + E_z \vec{a}_z \end{aligned} \quad (4)$$

여기서 $N_i(i=1, 2, 3, 4)$ 는 형상함수이고 ∇N_i 는 형상함수의 공간에 대한 미분벡터이다. 또한 ϕ_i 는 적분 경로 상에 위치한 요소에서 4개 노드의 전위이다. 영역 A 내부의 적분경로는 점 C에서 출발하며 식 (4)에서 구한 수평 전계의 벡터 방향을 갖는다. 식 (5)는 영역 A에서 적분경로를 나타내는 선분의 방정식이고 식 (6)은 영역 A와 이웃하는 요소의 경계면 D의 방정식이다.

$$\frac{x-x_0}{E_x} = \frac{y-y_0}{E_y} = \frac{z-z_0}{E_z} \quad (5)$$

$$ax + by + cz = 1 \quad (6)$$

식 (5)와 식 (6)을 연립하면 다음 적분경로의 출발점 B를 구할 수 있다. 이온화 계수의 적분 경로는 식 (4)에서부터 식 (6)의 과정을 반복하여 설정되며 전계의 크기가 최대인 경로 벡터를 따른다.

<그림 3>은 역방향 항복특성을 구하기 위한 전체 흐름도이다. 집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘은 크게 공정조건과 소자 모의실험 조건을 고려하여 메쉬를 생성하는 단계, 3차원 포아송 방정식을 해석하는 단계와 각 바이어스 별로 이온화 계수를 적분하는 단계로 구성된다. 소자 모의실험 조건은 역방향 항복특성이 일어나는 전압을 예측하여 결정하고 공정조건 및 BJT 구조에 관한 정보는 실측치로부터 입력받는다. 각 바이어스 별로 이온화 계수를 적분한 후 적분 값이 1이 되면 식 (3)으로부터 베이스-컬렉터간 역방향 항복전압으로 판단한다.

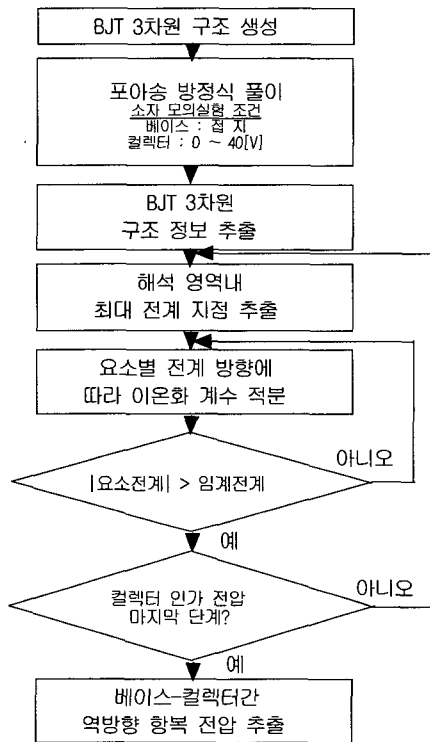


그림 3. 전체 흐름도
Fig. 3. The flow chart of the algorithm.

IV. 결과 및 고찰

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 집적회로용 NPN BJT의

베이스-컬렉터간 역방향 항복전압을 실측치와 비교한다. 집적회로용 NPN BJT를 제작하기 위해 보론(B) 기판 위에 매립영역을 형성하고 소자를 전기적으로 격리시키기 위해 보론을 이온주입하여 BIT 영역을 형성한다. 에피영역을 생성하고 Deep 컬렉터 영역을 형성한 후 표면에서 소자를 격리하기 위해 IT를 형성한다. 베이스 영역(BO)을 생성하기 위해 보론을 주입하고 에미터 N⁺영역(EO)을 생성한 후 메탈 증착 단계를 진행한다. <표 1>은 20V와 30V 공정조건이다.

표 1. 20V와 30V 공정조건
Table 1. The conditions of the 20V and 30V process.

단계	공정조건		20V공정[um]			30V공정[um]		
(1)	기판비저항,(100)Orientation		14.0			14.0		
(2)	매립층		24.0	2.5	7.5	25.6	2.0	3.6
	Sheet 지향	상측접합깊이 하측접합깊이						
(3)	BIT		150	4.25	5.5	198	3.2	4.4
	Sheet지향	상측접합깊이 하측접합깊이						
(4)	에피 비저항		2.0			1.8		
(5)	상측 컬렉터 Sheet지향	접합깊이	1.6	6.8	1.9	6.0		
(6)	IT Sheet지향	접합깊이	12.0	6.5	30.5	5.0		
(7)	BO Sheet지향	NPN 접합깊이	212.0	3.0	300.0	1.65		
	EO Sheet지향	PNP 접합깊이	212.0	2.75	300.0	1.6		
(8)	EO Sheet지향	접합깊이	7.0	1.7	12.5	0.92		

<그림 4>는 집적회로용 NPN BJT의 Layout이다. A는 곡률반경이 최소인 베이스 모서리 영역을 나타내며 L은 베이스와 N⁺ 컬렉터 간격이다.

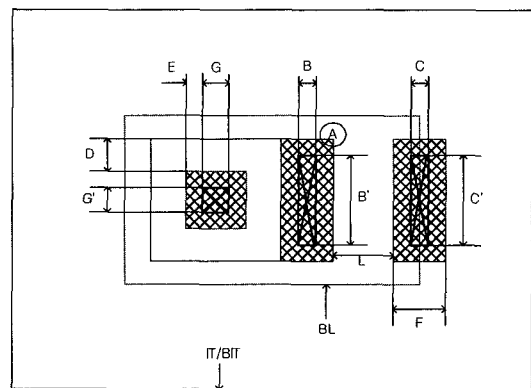


그림 4. 집적회로용 NPN BJT의 Layout
Fig. 4. The layout of NPN BJT for integrated circuits.

<그림 5>는 <표 1>의 단계를 거쳐 제작된 20V 공정용 NPN BJT의 수직 단면도이다. (1) 단계부터 (8) 단계까지의 공정단계와 공정조건을 보이고 있으며 A는 곡률반경이 최소인 영역이다.

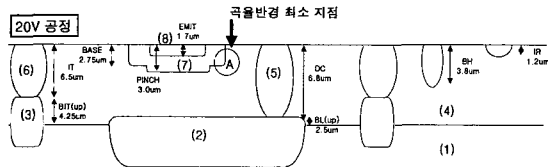


그림 5. 집적회로용 NPN BJT의 수직 단면도
Fig. 5. The vertical view of NPN BJT for integrated circuits.

<표 2>는 집적회로용 NPN BJT Design Rule이다. 여기서 EO는 공정단계 (8)을 진행하여 만든 에미터 영역이고 BO는 공정단계 (7)을 거쳐 만든 베이스 영역이다.

표 2. 집적회로용 NPN BJT의 Design Rule
Table 2. The design rule of NPN BJT for integrated circuits.

기호	Description	20V 공정 MIN Rule [um]	30V 공정 MIN Rule [um]
A,A'	E0 Contact Size	3*3	3*3
B,B'	B0 Contact Size	2*9	2*8
C,C'	E0(Collector) Contact Size	2*9	2*8
D	Spacing E0 to B0 Inside	3.0	2.5
E	Spacing CF to E0 Inside	2.0	2.0
F	E0 Width	6.0	6.0

표 3. 20V와 30V 공정용 BJT의 7베이스 접합깊이

Table 3. The junction depth of the base region of BJT using 20V and 30V process.

공정조건	20V 공정		30V 공정	
	베이스	N ⁺ 컬렉터	베이스	N ⁺ 컬렉터
수직접합깊이	3.0	1.7	1.65	0.92
측면접합깊이	2.25(a)	1.275(b)	1.2375(c)	0.69(d)
베이스-N ⁺ 컬렉터간 측면 접합깊이	3.525 (a+b)		1.9275 (c+d)	

<표 3>은 20V와 30V 공정에서 깊이 방향과 측면방향의 접합 깊이이다. 20V 공정이 30V 공정에 비해 1.8

배 깊은 베이스-에피간 접합이 이루어진다.

베이스 전극을 접지시킨 후 컬렉터 전극에 0V에서 55V까지 전위를 인가하여 포아송 방정식을 해석한다. 이때 전자 및 정공 의사 페르미 준위는 영역별로 상수로 가정한다. <표 4>는 소자 모의실험에 사용된 3차원 BJT의 행렬 계산시간, 노드 개수와 전진폭^[7]이고 소자 모의실험은 1.5GHz Pentium4 PC에서 Windows 98 환경 하에서 수행되었다.

표 4. 모의실험용 소자의 구조
Table 4. Structures for device simulations.

공정	L	노드 개수	요소 개수	전진폭 최대(평균)	행렬풀이 시간[초]
20V	3um	75855	431706	2984[2385]	4970
	4um	84212	480408	2976[2438]	5510
	5um	83327	473861	2728[2241]	4830
	6um	87808	498882	2719[2159]	4741
30V	3um	54699	307358	1893[1566]	1697
	4um	56783	317796	1869[1471]	1575
	5um	63660	357986	2034[1535]	1905
	6um	70271	395454	2115[1552]	2096

<그림 6>은 <표 4>의 시료에 대해 노드 개수별 행렬 계산시간을 나타낸다. <그림 6>에서 실선은 행렬 계산시간이고 점선은 노드 개수에 따라 예측한 행렬 계산 시간이다. 시료를 정육면체로 가정했을 경우 전진폭은 노드개수의 0.67승에 비례하여 증가하고 행렬 계산시간은 전진폭의 제곱에 비례하여 증가하므로^[7] 행렬 계산시간은 노드 개수의 2.333승에 비례하여 증가한다. <표 5>는 요소 세분화 조건에 따른 노드 개수와 모의 실험 가능한 인가전위의 한계이다. 노드간 최대 간격은

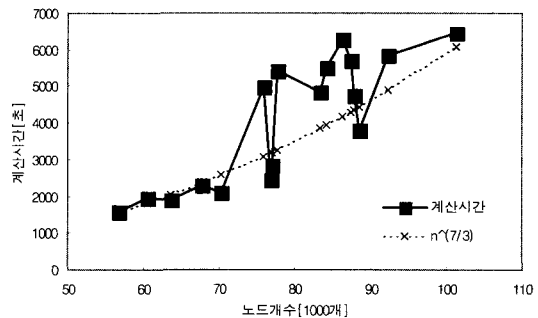


그림 6. 포아송 방정식의 행렬 계산시간
Fig. 6. The time required for the matrix solution of the Poisson's equation.

표 5. 요소 세분화 조건에 따른 인가전위 한계
Table 5. The limitation of the applied voltage according to the condition of the element division.

노드간 최소 간격 [um]	요소 세분화 조건	노드수	요소수	모의실험가능한 한계전위 [V]
0.5	0	5954	31893	0.0
0.125	0	48558	269970	∞
0.0625	0	69584	331748	∞
0.03125	0	77262	417357	∞
0.125	×	8535	44589	41.5

1.0um로 제한하고 요소 세분화 조건으로 노드간 농도는 열전압의 7.4배 이하로 변화하도록 설정했으며 소자 내부전위에 의한 전압강하가 열전압의 2배 이하가 되도록 설정한다.

노드간 간격을 0.5um 이상으로 제한하면 노드 개수를 작게 유지할 수 있으나 포아송 방정식의 해를 구할 수 없으며 포아송 방정식의 해를 구하기 위해 노드간 최소 간격을 0.125um 이하로 제작하면 노드개수가 50% 이상 증가하여 모의실험 시간이 많이 필요하다. <그림 7>은 열평형 상태에서 최소 노드간격에 따른 포아송 방정식의 수렴특성^[5]이다. 최소 노드간격이 0.5um 인 경우는 발산하였으나 0.125um 이하인 시료는 포아송 방정식 해석이 가능하고 최소 노드간격이 작을수록 수렴특성이 우수함을 알 수 있다. 그러나 <표 5>에서 노드의 최소 간격을 0.125um 이하로 유지하나 요소 세분화 조건을 만족하지 않으면 41.5V 이상의 인가전위 영역에서 모의실험이 불가능하다.

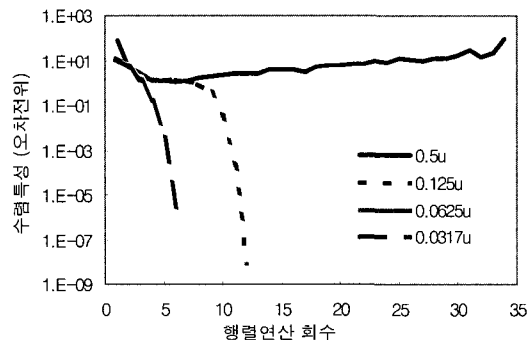


그림 7. 최소 노드간격에 따른 포아송 방정식의 수렴 특성

Fig. 7. The convergence characteristics of Poisson's equation according to the minimized node distance.

<그림 8>과 <그림 9>는 20V 공정을 이용하여 제작한 NPN BJT의 베이스-에미터에 역바이어스를 인가한 경우 이온화 계수의 적분이 1이 되는 조건에서 표면과 정면으로 적분경로를 투사한 그림이다. 베이스와 N⁺ 컬렉터 간격(L)에 따라 N⁺ 컬렉터 영역은 가로축으로 각각 13.725um, 14.725um, 15.725um와 16.725um에 위치한다. L이 3um인 소자는 베이스와 N⁺ 컬렉터간 측면 접합 깊이보다 베이스-컬렉터간 간격이 작기 때문에 베이스-N⁺컬렉터 접합을 경유하는 측면을 통해 역방향 항복이 발생된다. L이 6um인 소자는 베이스와 N⁺컬렉터 간격이 충분하여 에피영역에서 대부분의 인가전위가 소모되므로 곡률반경이 최소 영역을 따라 역방향 항복이 발생된다.

<그림 10>과 <그림 11>은 30V 공정을 이용하여 제

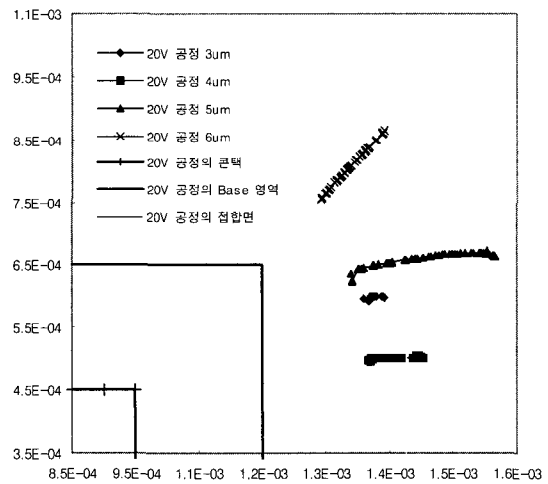


그림 8. 20V 공정용 NPN BJT의 표면 투시 적분경로
Fig. 8. The projection of the integrating path to the surface of NPN BJT using 20V process.

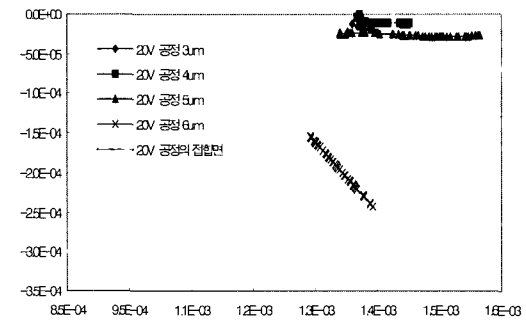


그림 9. 20V 공정용 NPN BJT의 정면 투시 적분경로
Fig. 9. The projection of the integrating path to the front side of NPN BJT using 20V process.

작한 NPN BJT의 베이스-에미터에 역바이어스를 인가한 경우 이온화 계수의 적분이 1이 되는 조건에서 표면과 정면으로 적분경로를 투시한 그림이다. 측면 접합 깊이가 20V 공정용 BJT에 비해 작으므로 N⁺ 컬렉터에 의한 전계의 영향은 작다. 그러나 L이 3 μ m와 4 μ m인 소자는 베이스-에피 영역과 N⁺ 컬렉터 영역까지 공핍영역이 형성되므로 <그림 11>과 같이 표면영역에 적분경로가 위치하나 L이 충분히 증가하면 곡률반경이 최소 영역으로 적분경로가 이동한다.

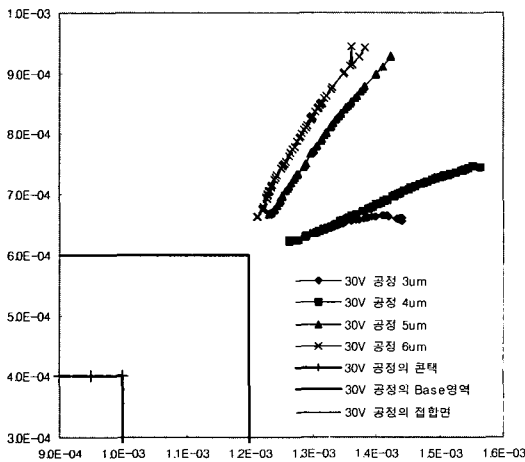


그림 10. 30V 공정용 NPN BJT의 표면 투시 적분경로
Fig. 10. The projection of the integrating path to the surface of NPN BJT using 30V process.

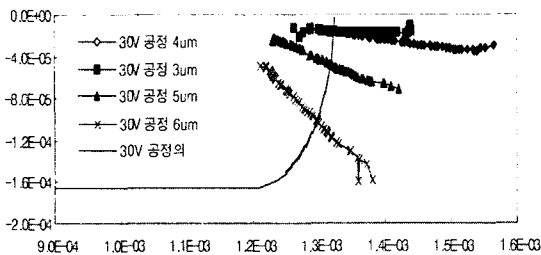


그림 11. 30V 공정용 NPN BJT의 정면 투시 적분경로
Fig. 11. The projection of the integrating path to the front side of NPN BJT using 30V process.

<그림 12>는 접합면을 기준으로 베이스 영역과 컬렉터 영역의 전계를 나타낸다. 가로축이 0인 위치가 베이스-에피의 금속학적 접합면이며 0을 기준으로 좌측은 베이스 영역이고 우측은 에피영역이다. 전계는 베이스 영역에서 급격히 증가하여 최고치를 보인 후 컬렉터

영역으로 진행하면서 감소한다. 특히 L이 5 μ m와 6 μ m인 소자는 전계 crowding 효과에 의해 베이스 공핍영역에서 전계가 크게 증가한다.

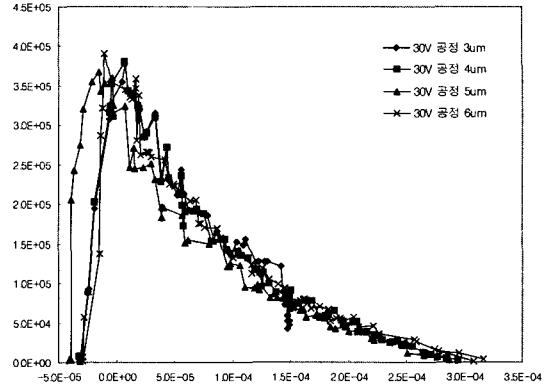


그림 12. 30V 공정용 NPN BJT의 전계
Fig. 12. The electric field of NPN BJT using 30V process.

<그림 13>과 <그림 14>는 각각 20V와 30V 공정을 이용하여 제작된 집적회로용 NPN BJT의 인가전위에 따른 이온화 계수의 적분값이다. 이온화 계수의 적분값이 1이 되는 바이어스 조건에서 역방향 항복이 시작된다. 20V 공정에서는 베이스-에피간 접합이 깊으므로 L이 충분히 크지 않으면 낮은 역바이어스에서 역방향 항복이 시작되는 반면 30V 공정에서는 접합 깊이가 작기 때문에 높은 역바이어스 조건에서 항복특성이 나타난다. <표 6>은 제안된 방법을 사용하여 구한 역방향 항복전압과 실측치를 비교한 결과이다.

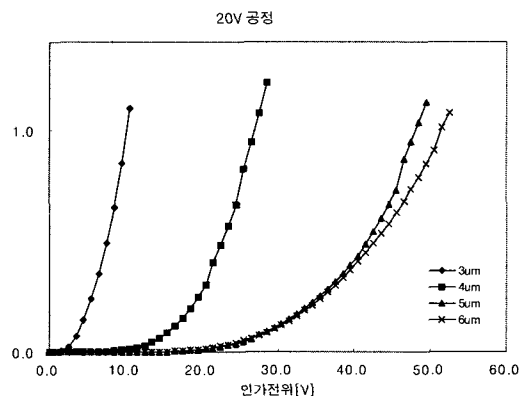


그림 13. 20V 공정용 NPN BJT의 이온화 계수의 적분값
Fig. 13. The integration of ionization coefficients of NPN BJT using 20V process.

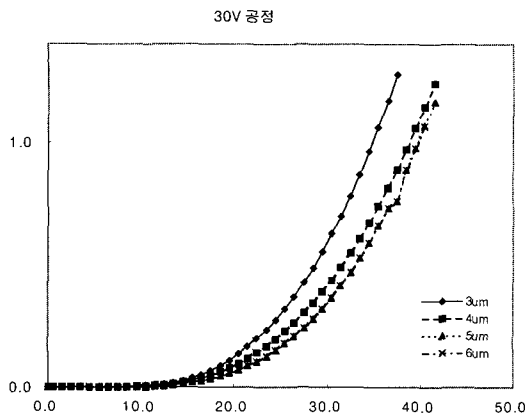


그림 14. 30V 공정용 NPN BJT의 이온화 계수의 적분 값

Fig. 14. The integration of ionization coefficients of NPN BJT using 30V process.

표 6. 베이스-컬렉터 역방향 항복전압
Table 6. Base-collector breakdown voltage.

소자	20V 공정을 사용			30V 공정을 사용		
	제안된 방법, a	실측치 [V], b	오차[%] a-b /b	제안된 방법, c	실측치 [V], d	오차[%] c-d /d
3um	10.0	13.3	24.8	35.0	38	7.9
4um	27.0	27	0	38.5	38	1.3
5um	48.0	47.5	1.1	39.5	38	3.9
6um	51.5	48.5	6.2	39.5	38	3.9

제안된 방법과 실측치를 비교한 결과 20V 공정과 30V 공정용 NPN BJT는 각각 8.0%와 4.3%의 평균 상대오차를 보이므로 실측치에 근사한 결과를 보임을 알 수 있다.

V. 결 론

포아송 방정식의 해를 이용한 집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘을 제시하였다. 모의실험 시간을 줄이기 위해 불순물 분포와 내부전위가 요소 세분화 조건을 만족하도록 메쉬를 생성하였고 전계와 이온화 계수의 적분 값으로부터 역방향 항복전압을 추출하였다.

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정용 NPN BJT의 베이스-컬렉터간 역방향 항복전압에 대해 실측치와 비교하였다. 요소 세분화 조건을

만족하며 최소 노드간격이 0.125um 이하가 되도록 3차원 메쉬를 제작한 결과, 20V 공정용 NPN BJT는 평균 82801개의 노드가 필요하고 평균 행렬 계산시간은 5013초이다. 또한 30V 공정용 NPN BJT는 61353개의 평균 노드개수와 1818초의 평균 행렬 계산시간이 필요하였다. 또한 베이스와 N⁺컬렉터간 간격이 작은 소자는 베이스 측면을 통해 낮은 인가 전위에서 역방향 항복특성이 나타났으며 베이스와 N⁺컬렉터간 간격이 증가할수록 곡률반경이 작은 영역을 점유하여 항복현상이 발생함을 확인하였다. 역방향 항복전압을 실측치와 비교한 결과 20V와 30V 공정용 NPN BJT에 대해 각각 8.0%와 4.3%의 평균 상대오차를 보이므로 다양한 3차원 BJT의 베이스-컬렉터 구조에 비교적 정교하게 역방향 항복전압을 예측할 수 있음을 확인하였다.

참 고 문 헌

- [1] B.J.Baliga, Power semiconductor devices, PWS publishing company, Boston, pp. 66~90, 1996.
- [2] TMA, DAVINCI manual, Technology Modeling Associates, California, 1995.
- [3] P. Sonneveld, "CGS, A Fast Lanczos-type Solver for nonsymmetric linear systems," SIAM J. Sci. Stat. Comput., Vol.10, No.1, pp. 36~62, 1989.
- [4] 김태한, 변형된 결합법을 이용한 혼합모드 소자회로 시뮬레이터 구현에 관한 연구, 인하대학교 대학원 박사논문, 1998
- [5] 김태한, 이은구, 김철성, "우수한 수렴특성을 갖는 3차원 포아송 방정식의 이산화 방법", 대한전자공학회논문집 제34권 D편 제8호, pp. 15~25, 1997.
- [6] TMA MEDICI Manual, Technology Modeling Associates, Inc., pp. 2.35~2.37, 1993.
- [7] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드리프트-확산방정식의 해석 프로그램 개발", 대한전자공학회논문집 제34권 D편 제8호, pp. 41~51, 1997
- [8] R.S.Muller, T.I.Kamins, Device electronics for Integrated Circuits, John Wiley & Sons, New York, pp. 270~294, 1977

저 자 소 개

李恩九(正會員) 第40券 SD編 第4號 參照

현재 : 부천대학 정보통신과 교수

金鐵城(正會員) 第33券 A編 第9號 參照

현재 : 인하대학교 전자공학과 교수

金泰漢(正會員) 第33券 A編 第9號 參照

현재 : 인터피온반도체(주) 재직중