

PDP의 가격절감을 위한 새로운 방전 AND Gate 및 구동기술에 관한 연구

論文

52C-6-7

A Study on the New Discharge AND Gate and Drive Scheme for the Cost Down of the PDPs

廉正德*
(Jeongduk Ryeom)

Abstract - The plasma display panel with the electrode structure of new discharge AND gate and its driving scheme were proposed and the driving system for experiment was developed. And operation of these discharge AND gate was verified by the experiment of PDP addressing with floating electrode. This discharge AND gate operated by the operation speed of $8\mu\text{s}$ and the operation margin of 100V. The address operation margin of 10V also obtained. It was known to be able to control the discharge of the adjoining scan electrode accurately. Because proposed method uses the DC discharge, the control of the discharge can be facilitated compared with conventional discharge AND gate. Moreover, because the input discharge and the output discharge of discharge gate are separate, the display discharge can be prevented from passing discharge gates. Therefore, it is possible to apply to the large screen plasma display panel. And the decrease of contrast ratio does not occur because the scanning discharge does not influence the picture quality

Key Words : AC surface discharge, Plasma display panel, Driving method, Cost, AND logic

1. 서 론

디지털 TV 방송의 대중화와 더불어 대화면 디스플레이의 수요가 폭발적으로 늘어나고 있다. 플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 대화면화가 용이하고 영상정보의 표현방식이 디지털화되어 있는 유일한 디스플레이라 할 수 있다.[1] 그러므로 PDP는 디지털 시대에 가장 알맞은 디스플레이임이 자명한 사실로 받아들여지고 있다. 그러나 현재 PDP는 화면 대각크기 기준으로 1인치(inch)당 30만원 수준의 고가이다. 이 가격적인 측면이 PDP를 대중화시키는 데 가장 큰 장애가 되어왔다. 현재 일본의 선진 업체들은 1인치당 10만원 이하가 되어야만 PDP의 수요가 늘어날 것으로 보고있다.[2]

저가격화 측면에서 본다면 PDP는 비교적 고전압으로 구동되므로 고전압 구동부품이 많이 사용되는 회로부분의 가격절감을 무시할 수 없다. 현재는 PDP의 재료비 중 공정 재료비와 회로 재료비의 비율이 50:50 정도로 알려져 있다. 그러나 양산화가 진행되면 공정 재료비는 대량생산이라는 특성상 그 비율이 줄어들 것이다. 그러나 회로부분은 범용 부품들을 주로 쓰기 때문에 양산화가 되어도 재료비의 감소 폭이 크지 않아 그 비중이 상대적으로 증가하게 된다. 결국 공정 재료비 대 회로 재료비의 비율이 20:80 정도가 될 것으로 전문가들은 예상하고 있다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의

시장확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

PDP는 수평주사 및 데이터 써닝기 기능을 하는 고전압 구동IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 효과적인 역할을 한다. PDP에서 기체방전의 특성을 응용하여 어드레스 기능을 수행하기 위하여 사용되는 기술이 방전로직 구동기술이다. 이러한 기체방전이 가지는 로직특성은 다른 디스플레이에는 없는 PDP만의 장점으로 기체방전을 사용하면 AND gate, OR gate, NOR gate 등 기본적인 논리회로를 구성하는 것이 가능하다.[3] 그러므로 이러한 논리 기능을 이용하면 PDP의 구동회로 수를 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다.

본 연구에서는 구동회로 수를 절감할 수 있는 자기 주사형 PDP의 기존 연구결과들을 간략히 검토하고 이를 구현하는데 적합한 기체방전 논리 gate를 갖는 새로운 PDP의 전극구조를 제안하고 논리 구동기술을 연구하여 제안된 기체방전 AND gate PDP의 어드레스 가능성을 검증하였다.

2. 종래의 연구결과

Jerry Schermerhorn 등은 교류 구동형 PDP에서 방전소거의 AND 기능을 사용한 구동방식을 제안하였다.[4][5] 이 방식은 각각 수직, 수평으로 교차되는 두개의 평행 전극 쌍을 설치하고 이 두 쌍의 전극들에 각각 펄스전압을 인가하여 4개의 방전을 개시시킨다. 이 4개의 방전이 모두 동시에 소거되어야만 모든 방전이 소거된다는 사실에 착안하여 각 화소가 4입력 AND gate의 논리기능을 가지도록 한 기술이다. 그러나 이러한 소거 어드레스 기법은 최초로 패널전면에 모

* 正 會 員 : 慶州大學校 컴퓨터電子工學部 助敎授 · 工博
接受日字 : 2003年 2月 3日
最終完了 : 2003年 4月 23日

두 썬닝기 방전을 일으켜야 하므로 불필요한 배면광 휘도가 증가하여 이에 따른 명암비(contrast ratio)의 저하를 피할 수가 없다. 또한 이 방식은 패널의 전극 구조가 복잡하여 제조 공정이 복잡하고 저임피던스 구동회로가 필요하며 방전전류의 부분 집중화를 야기시켜 수명 열화를 피할 수가 없다.

이러한 문제점들의 해결방안으로 Larry F. Weber등은 직류 방전의 비선형성을 이용한 AND gate와 어드레스 과정을 디스플레이 과정으로부터 분리시킨 교류형 PDP의 구동 기술인 ISA(Independent Sustain and Address) 구동방법을 제안하였다.[6][7][8] 이 기술의 핵심은 PDP에 결합시킬 수 있는 새로운 기체방전 AND gate 전극 구조물을 패널 둘레에 설치하는 것이다. 이 AND gate는 패널 제조 공정이 복잡해지지 않고 저 임피던스 구동회로를 필요로 하지 않는다는 장점을 가진다. 그러나 방전 펄스가 AND gate를 통하여 직접 인가되므로 화면크기가 커지게 되면 임피던스가 증가하여 인가 전압의 왜곡이 심해진다. 또한 ISA 기술은 한 화소당 집적되는 전극 수가 많아지므로 구동방식이 복잡하여 해상도가 높아질 경우 응답 속도가 늦어지고 화소 설계에 어려움이 예상된다.

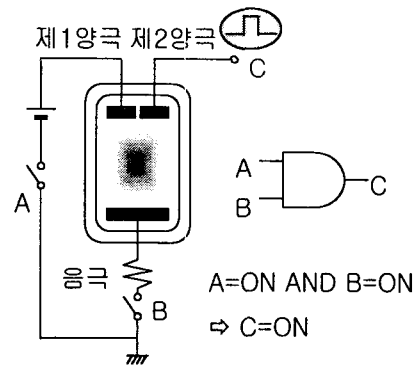
PDP의 가격절감 연구 중 가장 최근 발표된 연구로는 삼성 SDI와 전기·통신대학(일본)이 함께 발표한 것으로 현재 상용화되어 있는 3전극 면방전 교류구동형 PDP의 수평주사(scan)용 고전압 구동회로의 개수를 저감시키는 구동방식이 있다.[9] 이 구동방식은 3전극 면방전 교류 PDP의 상용화된 구동방식인 ADS(Address Display Separated) 구동방식 [10][11][12]을 기본으로 하며 수평 주사용 전극들의 외부 결선구조를 개선하여 고안한 것이다. 이 기술은 결선 구조에 의해 선택된 AND 로직 방전이 발생시키는 공간전하의 프라이밍(priming) 효과[13]를 사용하여 선택적으로 어드레스 방전을 개시시킨다는 점에서 이전의 연구결과들과 차별화된다. 그러나 이 방식은 프라이밍 효과를 위한 AND 로직 방전이 PDP의 디스플레이 영역 안에서 일어나므로 AND 로직 방전에 의해 불필요한 배면광 휘도가 증가하고 따라서 명암비가 저하되는 문제점을 안고 있다.

3. 공간전하의 priming 효과를 이용한 새로운 방전 AND Gate

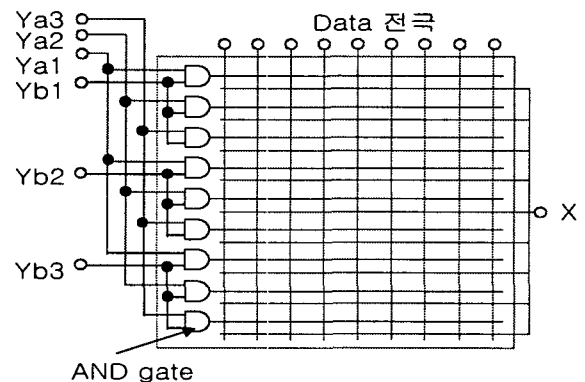
3.1 방전 AND gate의 기본 원리

PDP에서의 기체방전 논리기능은 기체 방전이 성장할 때 발생하는 풍부한 공간전하에 의한 방전의 확산을 이용한다. 그림 1의 (a)에서와 같이 방전 공간 안에 3개의 전극을 설치하고 제1양극에는 스위치 A를 통하여 직류전압을 인가한다. 음극은 스위치 B를 통하여 접지한다. 그러면 스위치 A와 B의 양쪽이 ON이 된 경우에만 음극과 양극의 사이에서 방전이 발생한다. 그러면 방전 공간 안에는 많은 양의 하전 입자가 발생하여 높은 전기전도도를 나타내게 된다. 그러므로 두 개의 양극은 단락상태가 되고 두 양극과 음극사이의 저항값이 매우 낮아진다. 그 결과 제2양극은 제1양극과 대략 같은 전압이 되고 단지 C에 이 전압이 나타난다. 즉, 유일하게 두 개의 스위치 A, B가 ON이 된 경우에만 C에 전

압이 나타난다. 이것이 PDP에서의 기체방전의 비선형성을 이용한 AND 로직의 기본 원리이다.[3] 그림 1의 (b)는 이러한 기체 방전 AND gate를 9개의 수평주사 라인을 가지는 PDP에 적용한 것이다. 수평주사 전극인 Y전극들은 방전 AND gate에 의해 구동된다. 이러한 AND gate들은 PDP의 주변부에 설치된 특별한 구조를 가지는 방전공간들로 이루어진다. 종래의 매트릭스 구동방법은 모두 10개의 구동회로가 필요하다. 그러나 방전 AND gate를 적용하면 단지 6개의 구동회로 만으로 패널을 동작시킬 수가 있다. 예를 들어 480개의 주사선을 가지는 패널에 이 방전 로직 시스템을 적용하면 24×20 즉, 44개의 구동회로로 패널을 동작시킬 수 있다. 이것은 통상적인 결선에 비해 약 10분의1 수준이다.[9]



(a) 기체방전 AND 논리의 원리
(a) principle of the gas discharge AND logic



(b) 기체방전 AND gate PDP
(b) gas discharge AND gate PDP

그림 1 기체방전 AND gate 소자를 이용한 PDP
Fig. 1 PDP using the gas discharge AND gate devices

3.2 새로운 방전 논리 gate의 동작원리

그림 2는 본 연구에서 제안한 새로운 기체방전 AND gate를 3전극 면방전 PDP에 적용시킨 것이다. 전체 패널은 디스플레이영역과 AND gate 영역으로 분리된다. 디스플레이 영역의 전극구조는 기존의 3전극 면방전 구조와 같다.

AND gate 영역의 전극구조는 먼저 상판의 수평전극으로 시동전극(Si)이 먼저 설치되고 공통 Y전극(Y0)과 주사전극(Yn)이 교대로 설치된다. 이에 수직한 전극으로 하판에는 두 개의 전원전극(S0, S1)을 설치한다.

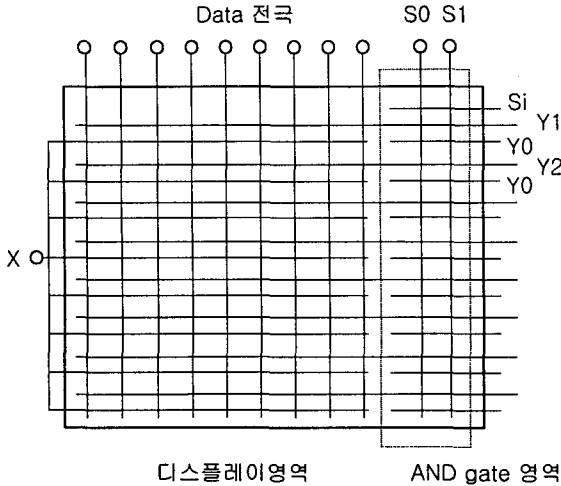


그림 2 새로운 방전 AND gate PDP의 전극구조
Fig. 2 Electrode structure of novel discharge AND gate PDP

그림 3은 본 연구에서 제안한 새로운 방전 AND gate의 동작원리이다. 최초로 시동전극(Si)과 전원전극(S0)사이에서 방전이 개시되면 공간전하가 생성되고 방전이 전원전극(Si)을 따라 이동하면서 전기전도도가 증가하여 공통 Y전극(Y0)과 전원전극(S0) 사이의 방전개시 전압이 낮아진다. 그 결과 공통 Y전극(Y0)과 전원전극(S0) 사이에서 유도방전이 일어난다. 이 유도방전에서 생성된 공간전하는 프라임링 효과에 의해 주변의 방전개시전압을 크게 저하시킨다. 그러므로 낮은 전압에서도 전원전극(S1)과 주사전극(Y1)사이의 주사방전이 쉽게 일어나게 된다. 이 주사방전은 시동방전과 유도방전이 둘 다 일어날 때만 일어나므로 이 주사방전은 시동전극(Si)과 공통 Y전극(Y0)의 펄스 인가여부에 의해 제어될 수 있고 이것이 AND 출력이 된다.

그림 2에서와 같이 이 새로운 방전 AND gate는 3전극면방전 AC PDP의 디스플레이영역과는 별도로 주사방전을 수행하는 AND gate 영역에 설치된다. 그러므로 AND gate의 방전들은 화상을 구성하는 디스플레이영역의 화질에 영향을 미치지 않는다. 즉, 기존의 방식들의 문제점인 contrast 저하등 화질 열화가 일어나지 않는다. 또한 각 AND gate는 입력과 출력이 독립적으로 설계되어 입력 방전이 출력에 영향을 미치지 않으므로 대화면화가 가능하다. 그림 1 (b)의 AND gate에 본 기술을 적용한다면 구동회로의 절감효과를 위에서 서술한 기존의 연구결과들과 동일하여 10분의 1이상의 절감효과를 얻을 수 있다.

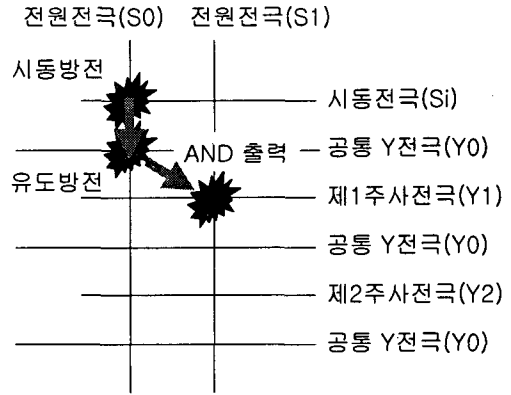


그림 3 제안된 방전 AND gate의 동작원리
Fig. 3 driving principle of the proposed discharge AND gate

3.3 실험방법

실험에 사용된 패널은 그림 2와 같이 디스플레이 영역 주변에 기체방전 AND gate용 전극들이 설치되어 있으며 AND gate 방전공간은 유전체층을 제거한 직류방전 구조를 가지며 내부에는 Ne 기체와 4%의 Xe기체가 500Torr의 압력으로 봉입되어 있다.

그림 4은 실험용 패널을 구동시키기 위해 각 전극들에 인가하는 펄스전압의 타이밍도이다. 이 실험에서는 시동전극(Si)를 양극으로하고 전원전극(S0)를 음극 그리고 공통 Y전극(Y0)을 양극으로 하였다. 또한 전원전극(S1)은 양극이며 이와 동기시켜 주사전극(Y1)에는 음의 펄스를 인가하였다. Si, S0, Y0 펄스들과 S1, Y1펄스들은 시간적으로 일부분이 서로 중첩하게 설계하여 방전에 의한 공간전하를 효율적으로 이용할 수 있도록 하였다.

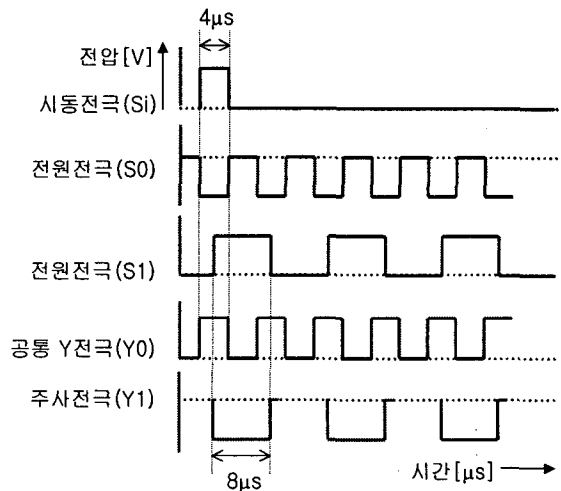


그림 4 제안된 방전 AND gate의 구동 타이밍도
Fig. 4 Driving timing chart of the proposed discharge AND gate

그림 5는 방전 AND gate의 DC 구동실험 장치의 구성도를 보인 것으로 제어용 로직부는 PLD와 그 주변 부품으로 구성되며 개인용 컴퓨터에서 로직의 설계, 시뮬레이션을 하고 로직부의 PLD를 프로그래밍 한다. 수평 및 수직전극 드라이버는 실제로 패널에 인가하는 고전압 펄스를 발생하는 부분으로 전력용 MOS FET들의 쌍으로 구성된다. 방전전류를 제어하기 위한 저항판은 FET 출력 하나당 1kΩ 저항기 5개를 직렬로 연결하여 구성하였으며 각 저항의 접속점을 바꿈으로써 1kΩ부터 5kΩ까지의 가변저항 값을 얻을 수 있도록 하였다.

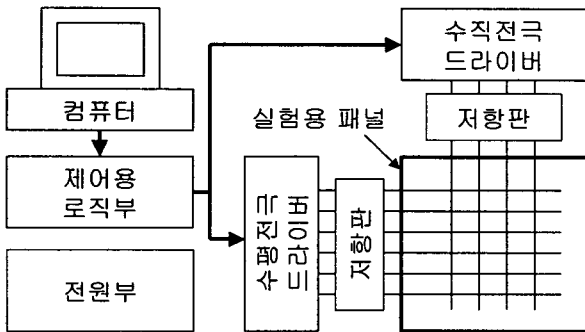


그림 5 실험에 사용된 방전 AND gate PDP 구동장치의 구성도

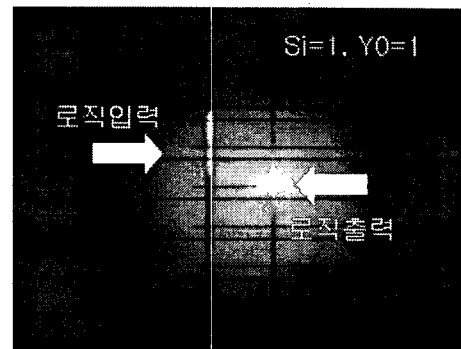
Fig. 5 Diagram of driving system for discharge AND gate PDP using experiment

3.4 실험결과 및 검토

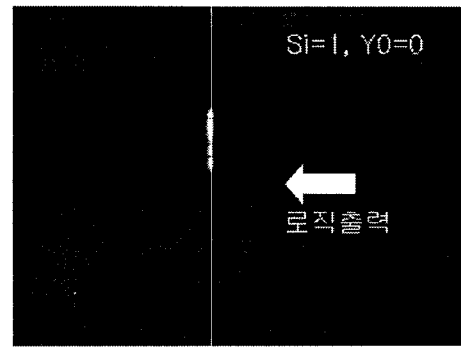
그림 6은 방전 AND 로직 기능을 실제 패널에서 동작시킨 결과이다. 시동방전과 유도방전이 일어난 경우에만 주사방전이 일어나므로 시동전극(Si)과 공통 Y전극(Y0)을 2입력으로 하고 전원전극(S1)과 주사전극(Y1)의 방전을 출력으로 하는 AND gate가 제대로 동작하고 있음을 알 수가 있다. 그림의 (b)는 공통 Y전극(Y0)의 펄스입력을 제거한 경우로써 시동방전은 일어나나 유도방전이 일어나지 않아 주사방전이 일어나지 않는다. 즉 AND gate 출력이 0임을 의미한다. 이러한 결과들을 통하여 공간전하에 의한 기체방전 AND gate는 정상적으로 동작하고 있는 것을 알 수 있으며 본 연구에서 제안한 아이디어가 타당하다는 것을 검증할 수 있다.

그림 7은 시동전극(Si)의 전압 변화에 따른 전원전극(S0)의 최대 및 최소 방전 개시전압의 변화를 측정된 것이다. 그림에서 전원전극(S0)의 최대방전개시전압은 시동전극(Si)의 전압이 증가하여도 거의 변화하지 않는데 이는 시동방전이 직류방전이므로 최대방전개시전압이 전원전극의 전압만으로 방전이 개시될 수 있는 전압을 나타내기 때문이다. 그러나 최소방전 개시전압은 시동전극의 전압과 전원전극의 전압의 차에 의해 정의되므로[14][15] 시동전극의 전압이 증가할수록 낮아지는 특성을 보이고 있다. 여기에서 보면 시동전극의 전압이 높을수록 넓은 동작마진을 얻을 수 있으나 시동전극의 전압이 높아지면 방전개시 초기의 과방전에 의해 전극이 손상을 입는다는 것을 알았다. 실험결과 시동전

극(Si)의 전압은 160V 정도에서 100V정도의 동작마진이 얻어졌으며 가장 안정된 방전을 하였다.



(a) AND gate ON 상태
(a) AND gate ON state



(b) AND gate OFF 상태
(b) AND gate OFF state

그림 6 방전 AND gate의 구동실험 결과

Fig. 6 Result of driving experiment with the discharge AND gate

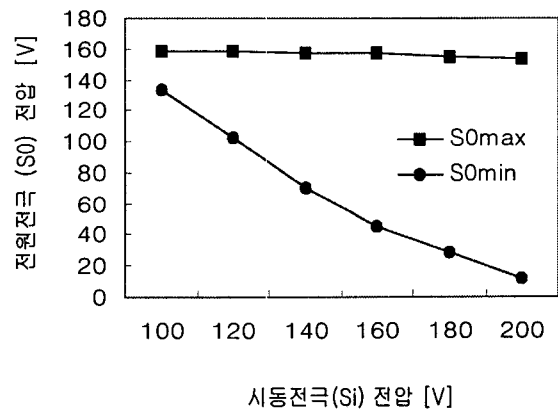


그림 7 시동전극(Si)과 전원전극(S0)에 대한 동작전압 마진의 관계

Fig. 7 Relation of driving voltage margin between the ignition electrode(Si) and the source electrode(S0)

방전의 천이특성은 각 전극의 방전전류 제한 저항의 값에 대해 민감한 특성을 나타낸다. 실험결과 시동전극(Si)의 저항이 크고 전원전극(S0)의 저항이 작은 경우에 스윗칭방전으로의 방전이행이 원활하게 일어났다. 그림 8은 전원전극의 한류 저항값에 대한 전원전극의 동작마진을 측정하는 것이다. 그림에서 보면 전원전극의 한류저항이 시동전극의 한류저항 보다 낮기만 하면 방전전압에는 그다지 영향을 미치지 않는 것을 알 수가 있었다. 그러나 한류저항값이 높은 경우 상대적으로 전원전극의 최소방전개시전압이 높아져 동작마진이 다소 줄어드는 경향을 나타낸다. 이는 시동전극의 한류저항값과의 관계에 의한 방전의 이동이 어려워지는 것과 전원전극의 펄스전압 파형이 시정수에 의해 완만해져 가는 것이 원인으로 생각된다. 그러므로 전원전극(S0)의 직렬 한류저항값은 3kΩ 정도가 최적값이 됨을 알 수가 있다.

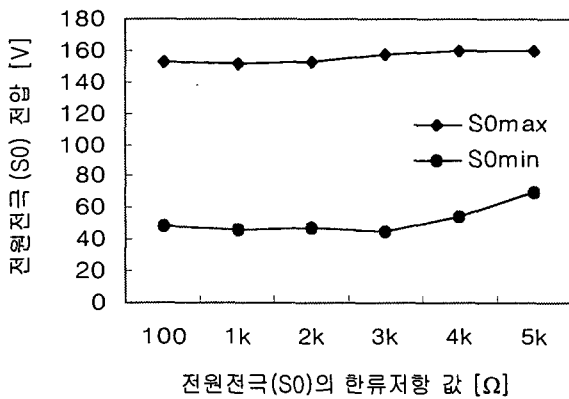


그림 8 전원전극(S0)의 한류저항 값과 동작전압마진의 관계
Fig. 8 Relation of the current limit resistor and driving voltage margin of source electrode(S0)

4. AND gate에 의한 어드레스방전 실험

방전 AND gate에 의해 선택적으로 주사전극이 선택되어진 후 방전 AND gate의 주사방전과 연계되어 주사전극과 플로우팅전극을 이용한 어드레스 구동 가능성을 고찰하였다. 원래는 플로우팅전극을 통한 방전으로 AC 어드레스방전을 유도시켜야하나 이 부분은 3전극 AC 면방전 PDP의 구동특성과 밀접한 관계가 있다. 본 연구의 목적은 방전 AND gate를 사용한 PDP의 어드레스 가능성만을 검증하기 위한 것이므로 별도의 DC 셀을 설치하고 이곳에서의 DC 어드레스 방전으로 그 결과를 검증하였다.

그림 9는 각 전극들에게 인가되는 펄스전압의 종류 및 이에 따른 방전구조를 나타내며 그림 10은 이들 펄스의 타이밍도를 나타내었다. 그림에서 보인 것처럼 앞에서 서술한 시동전극(Si)과 전원전극(S0)사이에서 일어난 시동방전이 공통 Y전극(Y0)과 전원전극(S0)사이의 유도방전을 개시시키고 이 방전에서 풍부해진 공간전하는 바로 이웃한 제1 주사전극(Y1)의 주사방전을 유도한다.(AND gate) 이 주사방전은 주사전극공간에 하전입자들을 공급하여 주어 프라임링 효과를 증가시키고 이어서 주사전극(Y1)과 플로우팅 전극이 된 공통 Y전극(Y0)의 사이에서 일어나는 플로우팅 방전이 쉽

게 일어날 수 있도록 해 준다. 이 플로우팅 방전은 방전의 AND 로직기능의 일종으로 제1 주사전극(Y1)의 전압의 대부분을 플로우팅 전극을 통해 어드레스 영역에 인가할 수 있도록 한다. 이렇게 어드레스 영역에 인가된 주사전압과 데이터 전압 사이에서 어드레스 방전이 일어나면 어드레스 방전이 일어난 화소에만 벽전하가 축적되어 다음 서스테인 기간에서 표시발광을 유지하게 된다. 이 과정은 통상적인 3전극 면방전 AC 플라즈마 디스플레이의 구동방법으로 본 연구의 목적과는 무관하다. 그러므로 본 연구에서는 어드레스 이후의 PDP 구동과정은 언급하지 않는다.

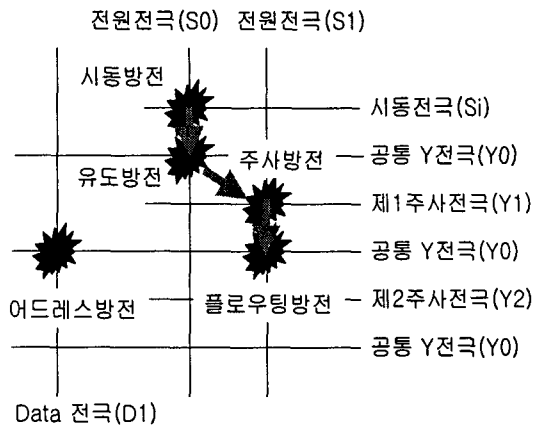


그림 9 새로운 방전 AND gate를 이용한 PDP의 어드레스 동작원리
Fig. 9 Principle of addressing for the PDP using the novel discharge AND gate

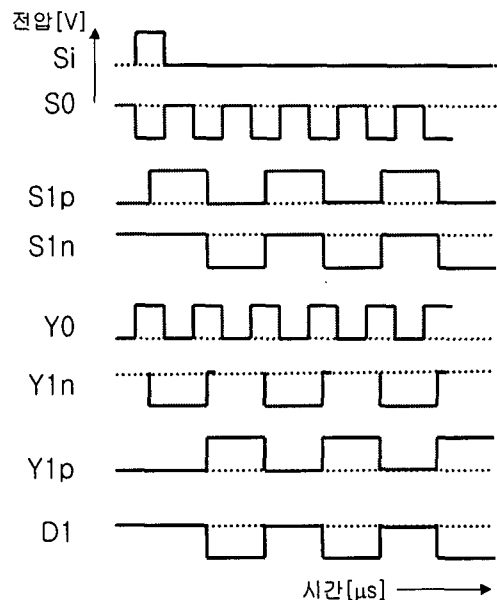


그림 10 AND gate PDP의 어드레스 구동 타이밍도
Fig. 10 Driving timing chart of address period for the AND gate PDP

그림 11은 주사방전에 의해 플로우팅 방전이 야기되고 이의 AND 로직에 의해 DC 어드레스 방전이 일어나는 실제 사진을 보여주는 것이다. 본 실험에서 주사방전을 제거하면 어드레스 방전이 제거되므로 이 어드레스 방전은 플로우팅 전극을 통하여 전압이 인가되었다는 것을 간접적으로 시사한다.



그림 11 AND gate PDP의 어드레스 구동 실험 결과
Fig. 11 Results of the addressing experiment with the AND gate PDP

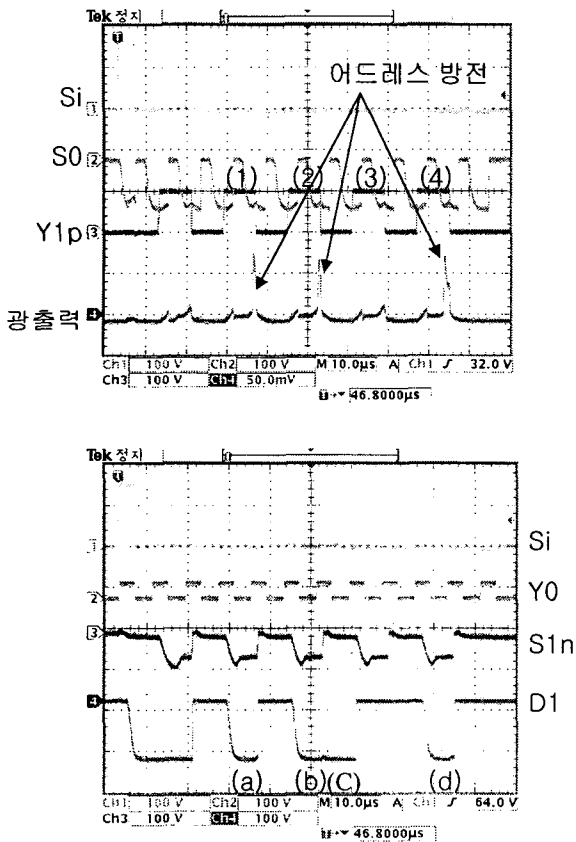


그림 12 AND gate PDP의 어드레스 구동 실험에서의 광출력 파형
Fig. 12 Light output wave form of address driving experiment with the AND gate PDP

그림 12는 어드레스 방전이 일어날 때의 각 전극들에 인가된 펄스전압의 파형과 어드레스 방전의 광출력을 나타낸다. 여기서 데이터 전극에 의한 어드레스 방전은 약 10V 정도의 동작마진이 확보되었다. 그림에서부터 주사전압과 데이터 전압이 모두 인가된 구간인 (1)-(a), (2)-(b), (4)-(d) 구간에는 어드레스 방전이 일어나 광출력이 검출되지만 (3), (c)의 펄스들은 각각 한쪽의 펄스만 인가되므로 어드레스 방전이 일어나지 않음을 보여준다. 이 결과로부터 본 연구에서 제안한 방전 AND gate를 이용하여 플라즈마 디스플레이의 어드레스 구동에 사용하는 것이 가능함을 알 수 있다.

5. 결 론

본 연구에서는 PDP의 저가격화를 위하여 구동회로 수를 절감할 수 있는 새로운 기체방전 AND gate의 전극구조와 구동방식을 제안하였다. 그리고 실험을 통하여 새로운 기체방전 AND gate가 제대로 동작함을 확인하였다. 또한 이 기체방전 AND gate를 사용한 PDP의 DC 어드레스 실험을 통하여 PDP에의 적용 가능성도 검토하였다.

실험결과 AND gate의 동작시간은 1회당 8μs 정도이며 또한 방전 AND gate의 동작마진은 100V, 어드레스 동작마진은 10V정도를 얻었다. 본 기술은 기체방전 AND gate의 방전 모드로 직류방전을 사용하므로 교류방전을 사용하는 종래의 기체방전 AND gate에 비해서 고속구동이 가능하다. 이 부분은 추후 어드레스 속도의 고속화 연구가 필요할 것으로 생각된다.

본 연구에서 제안된 기체방전 AND gate의 구조를 공정 측면에서 보면, 패널의 상판은 기존의 방식과 제조 공정을 사용할 수 있으나 방전 AND gate 영역은 유전체층을 제거하므로 이에 대한 표시영역과의 높이의 단차를 설계조건에 고려할 필요가 있다. 하판의 경우는 박막 또는 후막의 패턴 형태로 전원전극을 제작하므로 기존의 공정기술을 그대로 적용 할 수 있다.

본 연구에서 제안한 기체방전 논리 gate는 복수개의 전극들에 대하여 시간적으로 서로 중첩된 펄스전압들을 인가하여 구동시키므로 각 전극들의 교접에서의 용량성 결합에 의한 방전의 cross talk가 예측되며 이 부분은 향후 더 많은 연구가 이루어져야 할 것으로 사료된다.

감사의 글

본 연구는 한국과학재단 목적기초연구(과제번호 : R05-2002-000-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

참 고 문 헌

[1] 御子柴 茂生, “플라즈마디스플레이最新技術, ED 리サーチ社, pp.9-14, 1996

[2] 編輯部編, “2001年のFlat Panel Display 市場”, 電子技術,

- 1999-7호, pp.9-12, 1999
- [3] 御子柴 茂生, プラズマディスプレイ最新技術, ED リサーチ社, pp.140-141, 1996
 - [4] Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes", Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975
 - [5] Tony N Criscimagna et al., "Coupled-Matrix, Threshold-Logic AC Plasma Display Panel", Digest of SID, pp.86-87, May 1976
 - [6] Larry F Weber et al., "A New Gas Discharge Logic Technigue that Reduces Circuit Complexity for AC Plasma Display Panels", Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983
 - [7] Larry F. Weber et al., "Domains in ac Plasma AND Gates", Digest of SID, pp.180-183, May 1984
 - [8] Larry F. Weber et al., "Independent Sustain and Address Technique for the ac Plasma Display Panel", Digest of SID, pp.220-223, May 1986
 - [9] M. Ishii et al., "Reducing the Number of Scan Drivers in ACPDPs by an Order of Magnitude Using Gas-Discharge AND Logic", Digest of SID, pp. 283-286, 1998.
 - [10] K. Yoshikawa et al, "A Full Color AC plasma Display with 256 Gray Scale," Proc. of JAPAN DISPLAY '92, pp605-608, 1992
 - [11] S. Kanagu et al., "A 31-in.-Diagonal Full-Color Surface-Discharge ac Plasma Display Panel", Digest of SID, pp.713-716, 1992
 - [12] T Nakamura et al., "Drive for 40-in.-Diagonal Full-Color ac Plasma Display", Digest of SID, pp.807-810, 1995
 - [13] 염정덕, "플라즈마 디스플레이의 공간전하 특성에 관한 연구", 조명·전기설비학회논문지 제15권, 제6호, pp.1-7, 2001. 1
 - [14] 大脇健一, 吉田良教, , プラズマディスプレイ, 公立出版株式會社, pp.89-93, 1983
 - [15] 염정덕, "HDTV급 플라즈마 디스플레이의 고속 어드레스 방전특성에 관한 연구", 조명·전기설비학회논문지 제15권, 제1호, pp.13~21, 2001. 11

저 자 소 개



염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 공과대학 전기공학과 졸업, 1989년 동 대학교 대학원 전기공학과 졸업(석사), 1992년 동 대학교 대학원 전기공학과 졸업(박사), 1992년~1995년 LG전자(주) 영상미디어 연구소 선임연구원, 1996년 일본 전기·통신대학 외국인 연구원, 1997년~1999년 삼성SDI(주) PDP팀 선임연구원, 현재 경주대학교 컴퓨터전자공학부 조교수
E-mail : marine@kyongju.ac.kr