

Molybdenum 게이트를 적용한 저온 SLS 다결정 TFT's 소자 제작과 특성분석에 관한 연구

論文
52C-6-2

A Study on Low Temperature Sequential Lateral Solidification(SLS) Poly-Si Thin Film Transistors(TFT's) with Molybdenum Gate

高永浚* · 朴政浩** · 金東換*** · 朴元圭§

(Youngwoon Kho · James Jungho Pak · Donghwan Kim · Won-Kyu Park)

Abstract - In this paper, we present the fabrication and the characteristic analysis of sequential lateral solidification(SLS) poly-Si thin film transistors(TFT's) with molybdenum gate for active matrix liquid displays (AMLCD's) pixel controlling devices. The molybdenum gate is applied for the purpose of low temperature processing. The maximum processing temperature is 550°C at the dopant thermal annealing step. The SLS processed poly-Si film which is reduced grain and grain boundary effect, is applied for the purpose of electrical characteristics improvements of poly-Si TFT's. The fabricated low temperature SLS poly-Si TFT's had a varying the channel length and width from 10 μm to 2 μm . And to analyze these devices, extract electrical characteristic parameters (field effect mobility, threshold voltage, subthreshold slope, on off current etc) from current-voltage transfer characteristics curve. The extract electrical characteristic of fabricated low temperature SLS poly-Si TFT's showed the mobility of 100 ~ 400 cm^2/Vs , the off current of about 100pA, and the on/off current ratio of about 10^7 . Also, we observed that the change of grain boundary according to varying channel length is dominant for the change of electrical characteristics more than the change of grain boundary according to varying channel width. Hereby, we comprehend well the characteristics of SLS processed poly-Si TFT's which is recrystallized to channel length direction.

Key Words: fabrication, low temperature, Sequential Lateral Solidification(SLS), poly-silicon, thin film transistor(TFT)

1. 서 론

최근 노트북 PC, PDA, 이동전화, desktop monitor, flat panel TV 등 여러 종류의 정보 표시 수단으로써 얇고 가벼우며 전력소모가 작은 장점을 지닌 liquid crystal displays (LCD's)가 광범위하게 사용되고 있다. 오늘날에 이르러 LCD's는 정보산업사회의 필수 불가결한 것이 되었으며, LCD's의 시장은 급속도로 성장하고 있다. LCD's 시장은 주로 0.5~1.0 $\text{cm}^2/\text{V-sec}$ 범위의 이동도를 갖는 비정질 실리콘(a-Si:H) thin film transistors (TFT's)의 발달에 힘입어 성장하였다. 비정질 실리콘 TFT's는 LCD's 각각의 화소 조절을 수행하기 위한 기본 소자로서, 비정질 실리콘 TFT's를 위한 대량 생산 기술은 이미 상당히 발전되어 있다. 그러나, 낮은 이동도와 높은 기생 capacitance, 낮은 개구율 등의 문제점으로 인해서 고해상도, 대면적 정보 표시 수단이 요구되고 있는 분야에서는 동작 성능에 그 한계를 드러내고 있다 [1].

최근 이러한 요구를 충족시키기 위해 비정질 실리콘을 단

결정 실리콘으로 변화시키기 위한 solid-phase crystallization(SPC)와 excimer laser crystallization(ELA) 등의 기술들이 많이 연구되어지고 있다 [2-5]. 이러한 방법들로 비정질 실리콘 막은 다양한 크기의 결정립을 갖는 다결정 실리콘 막으로 재 결정화된다. 다결정 실리콘을 이용한 TFT's는 높은 이동도, CMOS 공정과의 호환성, 작은 화소 크기, 특히 높은 개구율을 갖는 화소 조절 TFT's와 이를 제어하기 위한 구동 회로를 같은 유리 기판 표면에 집적화가 가능한 장점을 갖는다. 그러나, 다결정 실리콘 막은 재 결정화된 전 영역에 걸쳐 무질서하게 위치한 결정립 경계를 갖게되므로, 다결정 실리콘을 이용해 제작된 TFT's의 성능은 결정립 경계에 기인하여 각각의 다른 동작 성능을 나타내게 된다. 또한 Active matrix liquid crystal displays(AMLCD's)에 적용된 다결정 실리콘 TFT's의 경우, 비디오 신호를 유지하는 동안 화소에서의 누설 전류가 비정질 실리콘으로 제작한 소자보다 큰 단점을 갖는다. 이러한 문제를 해결하기 위한 방법 중의 하나가 artificially controlled superlateral growth(ACSLG)로써, 결정립의 크기를 증대시키고 결정립의 크기와 방향을 조절하여 보다 높은 이동도의 향상과 누설전류의 감소를 기대할 수 있게 되었다 [1].

본 논문에서는, ACSLG 방법중의 하나인 sequential lateral solidification(SLS) 방법을 이용하여 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법을 설명하고 TFT 소자를 제작한 결과를 보인다. SLS 방법은 패턴된 마스크를 통해 레이저를 조사하면서 기판을 일정거리 만큼 이동시켜서 원하는

* 正會員 : 三星電子 DS總括 AMLCD 事業部 研究員
** 正會員 : 高麗大學 工科學科 電氣工學科 教授
*** 正會員 : 高麗大學 工科學科 材料工學部 教授
§ 正會員 : LGPhilips-LCD 研究所 責任研究員
接受日字 : 2002年 11月 12日
最終完了 : 2003年 1月 7日

방향으로 연속적인 결정립의 성장을 유도하는 방법이다. 이 방법으로 채널의 길이 방향으로 결정립을 성장시키면, 결정립이 크고 결정립 경계가 적은 다결정 실리콘을 얻을 수 있는 장점이 있다 [6,7]. 또한 실제 TFT-LCD's 제작 공정에 적용 가능하도록 molybdenum을 게이트 전극으로 사용하여 다결정 TFT's를 저온 공정으로 제작하였다. 2 μ m에서 20 μ m까지의 다양한 채널 길이와 폭으로 제작된 TFT's 소자의 전류-전압 특성 측정을 통해서 소자의 전기적 특성 변수들을 추출하였으며, 이를 비교, 분석하였다.

2. 본 론

2.1 Mo 게이트를 갖는 SLS poly-Si TFT 소자의 제작

실리콘 기판에 3000Å 두께의 buffer oxide를 PECVD로 증착하였고, 그 위에 550Å 두께의 비정질 실리콘을 300°C에서 PECVD로 증착하였다. 그리고 막이 증착된 상태로 430°C에서 2시간 동안 탈수소화 공정을 거친 후 SLS 결정화를 진행하였다. 위와 같이 준비된 시료의 표면에 310mJ/cm²의 에너지 밀도를 가지는 2 μ m 폭의 XeCl 레이저빔을 0.6 μ m step/pulse의 속도로 그림 1처럼 수평 방향으로 이동시키면서 조사하여 원 안에 표현된 모양과 같은 형태의 결정립 구조를 얻는다 [8].

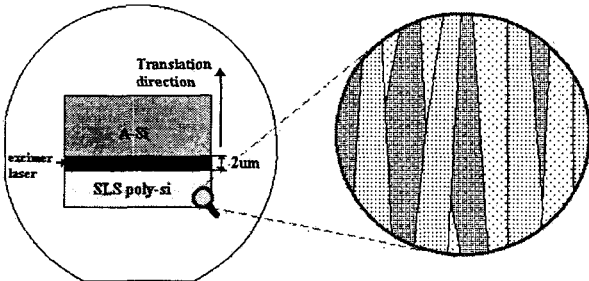


그림 1 SLS 공정에 대한 기본 개념 및 이로 인해 얻어지는 다결정 실리콘 결정립의 구조적 특성.

Fig. 1 A schematic view of the SLS process and the enlarged pictorial view of poly-Si crystal grains obtained by this process.

ELA 공정으로 얻어지는 다결정 실리콘 막의 구조적인 특성은 여러 가지 방법을 통해서 파악할 수 있으며, 대체로 scanning electron microscopy(SEM)를 이용하여 결정립의 크기와 모양을 관찰할 수 있으며, transmission electron microscopy(TEM)을 이용해서는 결정립 경계의 모양, 결정의 방향성까지 분석할 수 있다. 다결정 실리콘의 결정립 관찰을 위한 SEM 측정은 보통 다결정 실리콘 막을 secco etch로 수 초 이내의 시간동안 식각한 후에 수행된다. 위에 제시된 결정화 공정 조건으로부터 얻어지는 SLS 다결정 실리콘 막의 SEM image 분석 결과 약 0.5 μ m 정도의 폭을 갖고 excimer laser의 진행방향에 거의 평행한 형태의 결정립이 형성됨을 모양을 기존의 연구 결과로부터[10] 확인할 수 있었고, 이 결과로부터 이렇게 얻어지는 다결정 실리콘 막의 구조적 특성을 예상할 수 있다.

TFT 소자들의 제작을 위하여, 결정화 공정 후 TFT 소자의 활성영역을 정의하고, 1000Å의 게이트 산화막을 300°C에서 PECVD 방법으로 증착하였으며, 게이트 전극으로 사용될 molybdenum을 evaporation 방법으로 3000Å 두께로 증착하였다. Phosphorus와 boron 불순물을 ion shower 방식을 이용하여 소스 및 드레인에 주입한 후, 불순물 이온들의 활성화를 위해서 550°C에서 2시간 동안 thermal annealing을 진행하였다. 금속 배선과 연결되는 부위를 제외한 소자와 금속간의 절연을 위해서 300°C에서 PECVD로 산화막과 질화막을 각각 3000Å, 1000Å 두께로 증착하였고, 금속 배선을 위해서 소자의 접촉(contact) 부위를 패터닝하고 1%Si-Al을 5000Å 두께로 증착하였다. 마지막으로 금속과 활성영역 사이의 ohmic contact 형성을 위해서 450°C에서 30분 동안 열처리를 진행하여 coplanar type SLS poly-Si TFT 소자를 완성하였다. 그림 2는 제작된 소자의 contact hole을 식각한 후 금속 배선을 증착하기 전의 모습을 나타낸다.

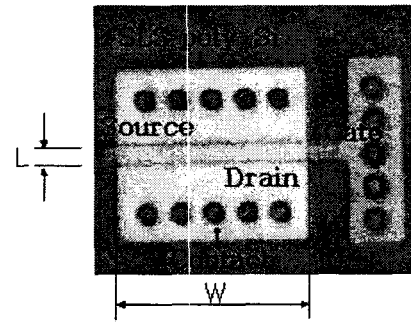


그림 2 금속 증착 공정을 앞 둔 TFT's 소자의 광학현미경 top view image.

Fig. 2 A photograph of a TFT prior to metal deposition on the contact regions.

본 공정에서 게이트 전극으로 몰리브덴(Mo)을 선택한 이유는 불순물 활성화를 위한 thermal annealing 공정의 온도가 550°C 정도로 저온이기는 하지만 알루미늄을 게이트 금속으로 사용하면 실리콘과 알루미늄의 공융온도(eutectic temperature)가 577°C이므로 공정상 문제가 될 수 있어서, annealing 공정에서 안정된 몰리브덴을 게이트 금속으로 선택한 것이다. 4.10V의 일함수를 갖는 알루미늄에 비해 몰리브덴은 4.53V의 비교적 큰 일함수를 가지긴 하지만 molybdenum의 열팽창 계수가 알루미늄의 1/6 수준이기 때문에 hillock 등의 결점을 가지고 있는 알루미늄보다 비교적 열안정성이 우수한 장점을 갖는다.

소자 제작 공정 과정에서 소스와 드레인 영역의 ion shower 도핑과 thermal annealing 공정이 제대로 수행되었는지 알아보기 위해 Van der Pauw 패턴을 이용하여 면저항을 측정된 결과, n-type의 경우 $R_s=503\Omega/\square$ 정도 p-type의 경우 $R_s=1.36k\Omega/\square$ 정도의 저항 값을 얻을 수 있었다. Laser annealing 방법으로 불순물을 활성화시킨 경우 면저항값이 대략 수 $k\Omega/\square$ 인데 비해[11] 비교적 낮은 값을 알 수 있다. 이러한 결과를 통해서 불순물 도핑 및 활성화 공정이 적합하였다고 판단할 수 있다.

2.2 제작된 소자의 전기적 특성 분석.

드레인 전압이 작은 경우($V_{DS} < 1$), 드레인 전류는 보통 다음 식으로 나타낼 수 있다[12].

$$I_{DS} = \frac{W}{L} \mu_{fe} C_i (V_{GS} - V_{th}) V_{DS}$$

여기서, C_i 는 게이트 절연막의 단위 면적당 정전용량이며, μ_{fe} 는 field effect mobility를 나타낸다.

다결정 실리콘 TFT's의 threshold voltage(V_{th})와 field effect mobility(μ_{fe})는 아래의 채널 conductance(g_d)와 transconductance(g_m)를 통해 얻어진다.

$$g_d \equiv \frac{\Delta I_{DS}}{\Delta V_{DS}} \Big|_{V_G = \text{constant}} = \frac{W}{L} \mu_{fe} C_i (V_{GS} - V_{th})$$

$$g_m \equiv \frac{\Delta I_{DS}}{\Delta V_{GS}} \Big|_{V_{DS} = \text{constant}} = \frac{W}{L} \mu_{fe} C_i V_{DS}$$

제작된 소자는 전형적인 그림 3처럼 coplanar type의 3단자(소스, 게이트, 드레인)로써 각각의 다양한 채널 길이와 폭을 갖는 TFT 소자의 I_D - V_G 특성 측정을 통해 누설전류, subthreshold slope(SS), field effect mobility, threshold voltage 등의 전기적 특성들을 추출하였으며, 이 네 가지 전기적 특성을 비교하였다. 누설전류와 동작전류는 n-type TFT's 소자에서의 경우 $V_{DS}=5V$, $V_{GS}=-10V$ 에서와 $V_{DS}=5V$, $V_{GS}=20V$ 에서 각각 측정한 값이며, subthreshold slope과 field effect mobility는 $V_{DS}=0.1V$ 에서 측정한 값이다.

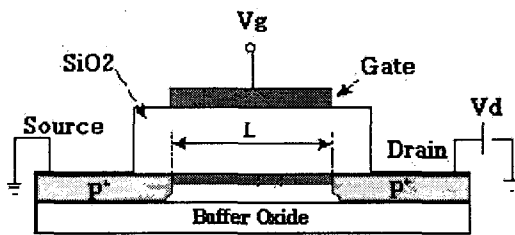
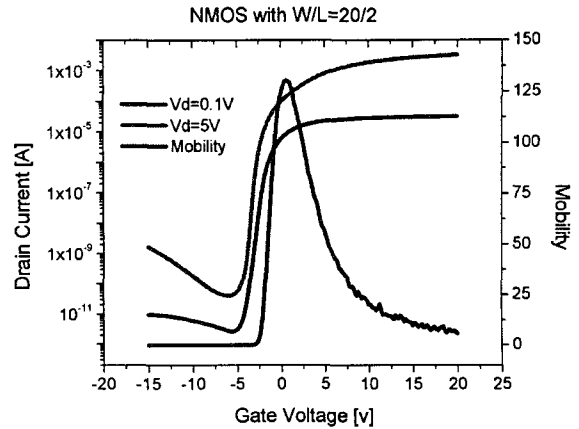


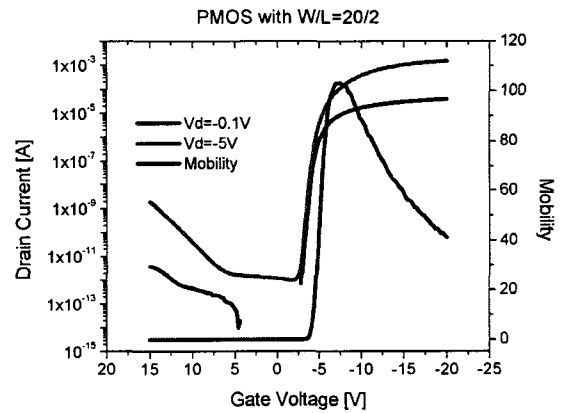
그림 3 제작된 p-type SLS 다결정 TFT's 소자의 개략도.
Fig. 3 A cross-sectional schematic view of the fabricated TFT.

그림 4는 제작된 TFT's 소자 가운데 $W/L=20\mu m/2\mu m$ 인 소자의 I_D - V_G 특성을 보인다. $W/L=20\mu m/2\mu m$ 인 소자의 특성을 대표적으로 보인 것은 공정 조건을 고려했을 때 안정적으로 제작할 수 있는 최소 선폰이 $2\mu m$ 이므로 안정적으로 얻을 수 있는 최소 선폰의 소자이면서 충분한 전류를 얻을 수 있는 typical한 소자의 특성을 보이기 위해서 선택하였다. 이 소자의 경우 채널의 폭과 길이가 공정 조건에 의해 조금 변할지라도 소자의 전류가 민감하게 변화하지 않으므로 안정된 소자의 I_D - V_G 특성을 얻을 수 있었다. N-type TFT's 소자의 경우, 측정결과 $I_{off}=1.78 \times 10^{-10} A$ 의 누설전류, $I_{on}=3.32 \times 10^{-3} A$ 의 동작전류, $I_{on}/I_{off}=1.86 \times 10^7$ 의 전류비, $\mu_{fe}=130.6 \text{ cm}^2/V\text{-sec}$ 의 field effect mobility, $SS=0.49V/\text{dec}$ 의 subthreshold slope, $V_{th}=-2.76V$ 의 threshold voltage를 갖는다. P-type TFT's 소

자의 경우, 측정결과 $I_{off}=3.91 \times 10^{-11} A$ 의 누설전류, $I_{on}=1.50 \times 10^{-3} A$ 의 동작전류, $I_{on}/I_{off}=3.83 \times 10^7$ 의 전류비, $\mu_{fe}=103.3 \text{ cm}^2/V\text{-sec}$ 의 field effect mobility, $SS=0.386V/\text{dec}$ 의 subthreshold slope, $V_{th}=-2.76V$ 의 threshold voltage를 갖는 것으로다. 그리고 V_D 가 클수록 동작 전류 및 누설 전류도 함께 증가함을 알 수 있다.



(a) N-type SLS 다결정 TFT's 소자.
(a) N-type SLS poly-Si TFT device.



(b) P-type SLS 다결정 TFT's 소자.
(b) P-type SLS poly-Si TFT device.

그림 4 $W/L=20\mu m/2\mu m$ TFT's 소자의 I_D - V_G 전달특성.

Fig. 4 A transfer characteristics of n-type and p-type TFT's with $W/L=20\mu m/2\mu m$.

그림 5는 채널 길이 변화에 따른 누설전류를 나타낸 것이다. 채널 길이가 감소할수록 누설전류가 증가하는 것을 알 수 있는데, 이는 채널 길이가 감소할수록 다결정 실리콘 midgap에 있는 trap center를 통해서 열전자 방출이 증가하기 때문으로 판단된다. 이는 드레인 전압이 음의 방향으로 커질수록 더욱 심화된다 [13]. 결정립의 크기가 커짐으로써 비정질 실리콘 TFT에 비해 다결정 실리콘의 누설전류가 큰 단점을 갖는데, 제작된 소자의 경우 200~100pA 정도의 값을 보였다. 이를 극복하기 위해 제작된 소자에는 적용되지 않았지만 offset gate 구조나 LDD 구조를 채용하여 누설전류를 1pA 수준 정도로 줄일 수 있다 [11].

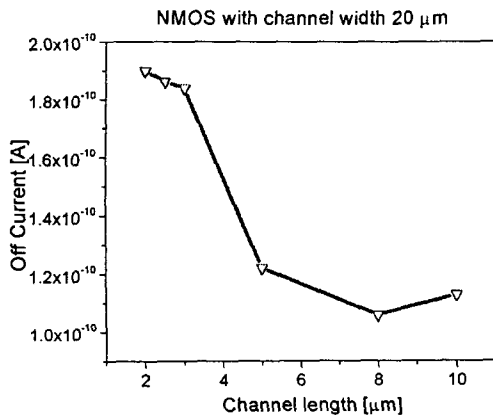


그림 5 채널길이 변화(2 μm 부터 10 μm 까지)에 따른 n-type SLS TFT's 소자(채널 폭은 20 μm)의 누설 전류 변화.
 Fig. 5 Leakage current of the n-type SLS TFT's depending on the channel length ranging from 2 μm to 10 μm (the channel width is identical to 20 μm).

그림 6은 채널 길이 변화에 따른 field effect mobility 변화를 나타낸 것이다. 채널 길이가 감소할수록 field effect mobility가 감소함을 알 수 있다. Field effect mobility는 채널 내에 존재하는 결정립의 크기, 결정립 경계의 수와 밀접한 관계를 갖는다. 결정립이 크고 결정립 경계의 수가 작을수록 field effect mobility는 커진다. 또한, 채널 길이 방향으로 결정립을 성장시켰다고 할지라도 채널 내에 존재하는 결정립의 크기 및 결정립 경계의 uniformity에도 영향을 받는다. 그림 6에서 채널 길이가 감소할수록 field effect mobility가 작아지는 결과를 볼 수 있는데 이것은 채널 길이가 감소할수록 소스와 드레인 사이에 인가되는 전계가 커져서, 이 전계에 의해 전자 정공 쌍이 생성될 확률이 높아지는데, 이때 생성된 전자 정공 쌍에 의한 자유전자의 재결합으로 인한 자유전자의 life-time 감소가 주된 원인이라고 판단된다.

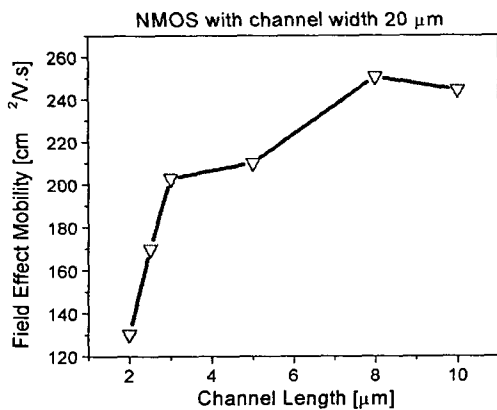


그림 6 채널길이 변화(2 μm 부터 10 μm 까지)에 따른 n-type SLS 다결정 TFT's 소자(채널 폭 20 μm)의 field effect mobility 변화.
 Fig. 6 Field effect mobility of the n-type SLS poly-Si TFT's depending on the channel length ranging from 2 μm to 10 μm (the channel width is identical to 20 μm).

그림 7은 채널 길이 변화에 따른 subthreshold slope의 변화를 나타낸 것이다. 채널 길이가 10 μm 에서 8 μm 로 줄어들었을 경우에 비해 채널 길이가 8 μm 에서 2 μm 로 줄어들수록 나타나는 subthreshold slope의 변화는 0.56V/dec에서 0.49V/dec 정도로 커다란 변화가 없음을 알 수 있다. 채널 길이가 감소할수록 채널 내에 존재하게 되는 결정립 경계의 절대적인 값은 감소하는 것이 사실이지만, 실제적으로 채널 길이 방향으로 재결정화가 진행되었기 때문에 특정 채널 길이(8 μm) 이하에서는 결정립 경계가 게이트 전극의 전류 조절 능력에 미치는 영향은 미미함을 알 수 있다.

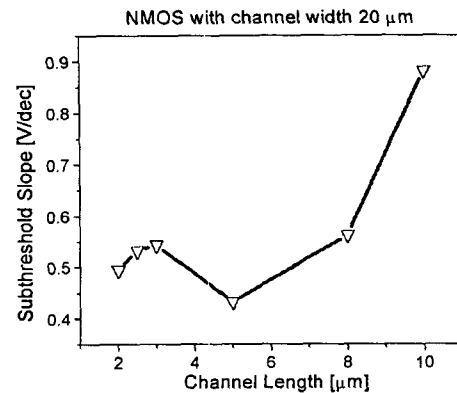


그림 7 채널길이 변화(2 μm 부터 10 μm 까지)에 따른 n-type SLS 다결정 TFT's 소자(채널 폭 20 μm)의 subthreshold slope 변화.
 Fig. 7 Subthreshold slope of the n-type SLS TFT's depending on the channel length ranging from 2 μm to 10 μm (the channel width is identical to 20 μm).

그림 8은 채널 길이 변화에 따른 threshold voltage의 변화를 나타낸 것이다. 제작된 n-type SLS 다결정 TFT's 소자의 경우 threshold voltage가 음의 값을 보이고 있다.

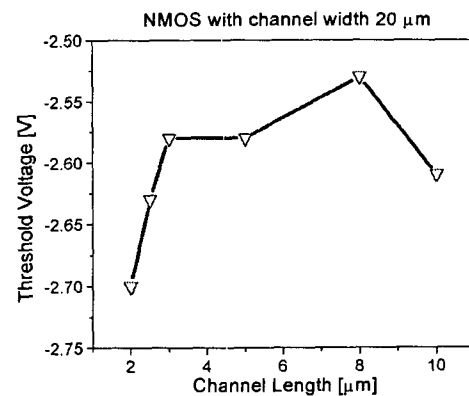


그림 8 채널길이 변화(2 μm 부터 10 μm 까지)에 따른 n-type SLS 다결정 TFT's 소자(채널 폭 20 μm)의 threshold voltage 변화.
 Fig. 8 Threshold voltage of the n-type SLS TFT's depending on the channel length ranging from 2 μm to 10 μm (the channel width is identical to 20 μm).

SLS를 이용하여 최초로 제작된 TFT's의 경우에도 음의 threshold voltage($V_{th}=-2.2V$)을 보이고 있는데, 이 현상을 게이트 절연막으로 쓰인 SiO₂ layer의 문제로 설명하고 있다 [14]. SLS 공정의 특성상, 패턴된 마스크를 통해 특정한 방향으로 결정립을 성장시키므로 재결정화가 끝난 후 생성된 다결정 실리콘 막은 기존의 단결정 실리콘 기반의 소자보다 게이트 절연막과 소자의 채널 경계 면이 상당히 거칠수 있다. 채널 영역이 다결정 실리콘이므로 해서 dangling bond 등에 의한 interface charge가 단결정 실리콘에 비해 다소 큰 문제를 가지고 있는 다결정 TFT's 소자는, 게이트 절연막과 소자의 채널 경계 면의 거칠기로 인해 상대적으로 표면적이 증대되어 interface charge가 더 증가될 수 있다. 결국 다소 큰 값의 interface charge으로 인해 threshold voltage가 음의 방향으로 이동할 가능성도 생각해볼 수 있으나 이에 대한 검증은 추후 진행되어야 하겠다.

그림 9와 그림 10은 각각 채널 폭 변화에 따른 field effect mobility 변화와 누설 전류의 변화를 나타낸 것이다. 그림 1에서 보인 것처럼 SLS 결정화가 채널 길이 방향으로 수행되었으므로 채널 폭의 변화에 따른 결정립 경계의 증감이 채널 길이의 변화에 따른 결정립 경계의 증감보다 더 많아서 소자 채널 길이를 변화하여도 TFT's 소자의 특성은 크게 변하지 않고 일정하게 얻을 수 있을 것임을 예상할 수 있다. 또한 그림 9와 10의 결과로부터 채널 폭이 감소함에 따라 field effect mobility와 누설전류의 개선이 많이 되는 것을 알 수 있다. 이는 채널 길이방향으로 결정립을 성장시킨 SLS 결정화의 특성을 잘 나타내고 있는 것으로서 채널 폭을 줄이면 결정립의 TFT's 소자 특성에 대한 영향을 최소화하여서 보다 향상된 TFT's 소자의 전기적인 특성을 얻을 수 있는 가능성도 보여준다.

지금까지의 결과로부터 SLS 결정화를 이용하여 다결정 실리콘 TFT 소자를 제작할 경우, 채널 폭이 감소할수록 SLS 결정화의 특성상 field effect mobility 향상과 누설전류의 감소가 가능하므로, SLS 결정화를 이용하여 TFT 소자를 제작

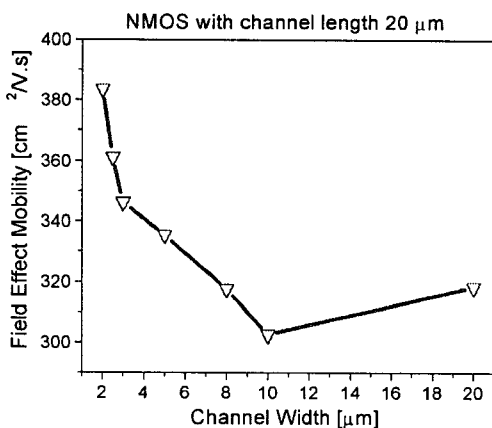


그림 9 채널 폭 변화(2 μ m부터 20 μ m까지)에 따른 n-type SLS 다결정 TFT's 소자(채널 길이 20 μ m)의 field effect mobility변화.

Fig. 9 Field effect mobility of the n-type SLS TFT's depending on the channel length ranging from 2 μ m to 10 μ m (the channel width is identical to 20 μ m).

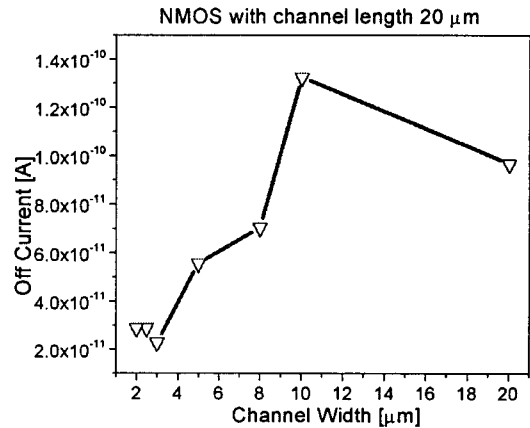


그림 10 채널 폭 변화(2 μ m부터 20 μ m까지)에 따른 n-type SLS 다결정 TFT's 소자(채널 길이 20 μ m)의 누설 전류 변화

Fig. 10 Leakage current of the n-type SLS TFT's depending on the channel length ranging from 2 μ m to 10 μ m (the channel width is identical to 20 μ m).

할 경우 이 결과들을 기반으로 하여 소자를 설계한다면 보다 좋은 성능을 갖는 TFT 소자를 제작할 수 있을 것이다.

3. 결 론

SLS 결정화 방법과 저온 thermal annealing 공정에 적합한 molybdenum gate를 이용하여 저온 SLS 다결정 TFT's 소자를 제작하였다. 제작된 소자의 최고 공정 진행 온도는 ion shower 도핑 후 thermal annealing 공정 온도인 550 $^{\circ}$ C이다. Van der Pauw 패턴을 이용하여 면저항을 측정한 결과, n-type의 경우 $R_s=503\Omega/\square$ 정도 p-type의 경우 $R_s=1.36k\Omega/\square$ 정도의 낮은 저항 값을 얻을 수 있었다.

N-type SLS 다결정 TFT's 소자의 경우, 측정결과 $I_{off}=1.78 \times 10^{-10}A$ 의 누설전류, $I_{on}=3.32 \times 10^{-3}A$ 의 동작전류, $I_{on}/I_{off}=1.86 \times 10^7$ 의 전류비, $\mu_{fe}=130.6cm^2/V\text{-sec}$ 의 field effect mobility, $SS=0.49V/dec$ 의 subthreshold slope, $V_{th}=-2.76V$ 의 threshold voltage를 나타냈다. P-type SLS 다결정 TFT's 소자의 경우, 측정결과 $I_{off}=3.91 \times 10^{-11}A$ 의 누설전류, $I_{on}=1.50 \times 10^{-3}A$ 의 동작전류, $I_{on}/I_{off}=3.83 \times 10^7$ 의 전류비, $\mu_{fe}=103.3cm^2/V\text{-sec}$ 의 field effect mobility, $SS=0.386V/dec$ 의 subthreshold slope, $V_{th}=-2.76V$ 의 threshold voltage를 나타냈다.

또한, 2 μ m에서 10 μ m까지의 다양한 채널 길이와 폭으로 제작된 TFT's 소자의 전기적인 특성을 각각의 I-V 특성 곡선과 물성 분석에 필요한 변수들을 추출하여 이들을 이용하여 비교, 분석하였는데 제작된 소자들로부터 이동도는 100~400 cm^2/Vs , on/off 전류비는 약 10^7 , off-state 전류는 약 100 pA로 대체적으로 우수한 특성을 보였다.

제작된 소자의 채널 길이 및 폭에 따른 소자의 전기적 특성 분석을 통하여, 채널 길이 변화에 따른 결정립 경계의 변화보다는 채널 폭 변화에 따른 결정립 경계의 변화가 전기적 특성 소자 파라미터 변화에 우세한 영향을 주는 것을 관찰할 수 있었다. 이로써 채널 길이 방향으로 SLS 결정화된 다결정 실리콘의 특징을 보다 잘 이해할 수 있게 되었다.

감사의 글

본 논문은 한국과학재단 목적기초연구(R01-2001-000-00280-0)와 서울대학교 반도체공동연구소의 공동시설 이용지원 프로그램에 의하여 부분적으로 지원되어 수행된 연구로서, 관계부처에 감사 드립니다.

참고 문헌

[1] W. C. Omara, Liquid Crystal Displays :Manufacturing Science and Technology, Van Nostrand, 1993.
 [2] James S. Im and H. J. Kim, "On the super lateral growth phenomenon observed in excimer laser-induced crystallization of thin Si films", Applied Physics Letters, vol. 64, Issue 17, pp. 2303-2305, April 25, 1994.
 [3] N. Yamauchi and R. Reif, "Polycrystalline silicon thin films processed with silicon ion implantation and subsequent solid-phase crystallization: Theory, experiments, and thin-film transistor applications", Journal of Applied Physics, vol. 75, no. 7, April 1, 1994.
 [4] Kubo, N., Kusumoto, N., Inushima, T., Yamazaki, S, "Characteristics of polycrystalline-Si thin film transistors fabricated by excimer laser annealing method", Electron Devices, IEEE Transactions on, vol. 41, Issue 10, pp. 1876 -1879, October 1994.
 [5] Sang-Hoon Jung, Cheon-Hong Kim, Juhn-Suk Yoo and Min-Koo Han, "Offset-Gated Poly-Si TFTs Using in-situ Fluorine Passivation and Excimer Laser Doping", J. of Korean Physical Society, vol. 37, no. 6, pp. 866-869, December 2000.
 [6] 이윤재, 박정호, "단결정 실리콘 TFT 제작을 위한 SLS 공정," 2000년도 대한전기학회 추계부문학술대회 논문집, pp. 461-463, 2000. 11.
 [7] James S. Im, M. A. Crowder, Robert S. Sposili, J. P. Leonard, H. J. Kim, J. H. Yoon, Vikas V. Gupta, H. Jin Song, and Hans S. Cho, "Controlled super-lateral growth of Si films for microstructural manipulation and optimization," MRS, vol. 166, pp. 613-617, 1998.
 [8] 이윤재, 박정호, 김동환, 박원규, 양명수, "SLS 공정을 이용한 p-type poly-Si TFT 제작에 관한 연구," 대한전기 학회논문지, 제51권, 6호, pp. 229-234, 2002. 6.
 [10] R. S. Sposili and J. S. Im, "Line-scan sequential lateral solidification of Si thin films", Applied Physics A., vol. 63, no. 3, pp. 273-276, September 1998.
 [11] Robert A. Street (Ed.), Technology and Applications of Amorphous Silicon, Springer, 2000.
 [12] S. M. Sze, Physics of Semiconductor Device, John Wiley & Sons, 1981.
 [13] S. D. S. Malhi, H. Shichijo, S. K. Banerjee, R. Sundaresan, M. Elahy, G. P. Pollack, W. F. Richardson, A. H. Shah, L. R. Hite, R. H. Womack, P. K. Chatterjee and H. Wailam, "Characteristics and Three-Dimensional Integration of MOSFET's in Small-Grain LPCVD Polycrystalline Silicon," IEEE Trans. Electron Devices ED-32, pp.258-281, 1985.

[14] Crowder, M. A. Carey, P. G. Smith, P. M. Sposili, R. S. Cho, H. S. Im, J. S. S, "Low-temperature single-crystal Si TFTs fabricated on Si films processed via sequential lateral solidification," IEEE Electron Device Letters, vol. 19, Issue 8, pp.306-308, August 1998.

저 자 소 개



고 영 운 (高永沅)

1976년 9월 4일 생. 2001년 고려대 전기공학과 졸업(학사). 2001~2003 동 대학원 전기공학과 졸업(석사). 2003~현재 삼성전자 DS 총괄 AMLCD 사업부 연구원

Tel : 02-3290-3238, Fax : 02-921-0544
 E-mail : sod7694@hanmail.net



박 정 호 (朴政浩)

1960년 2월 5일생, 1985년 미국 Purdue대 전기공학과 졸업(학사), 1988년 동대학원 전기공학과 졸업(석사), 1992년 동대학원 전기공학과 졸업(공학), 1992년~1995년 미국 Intel사 책임연구원, 1995년~현재 고려대 전기공학과 정교수.

Tel : 02-3290-3238, Fax : 02-921-0544
 E-mail : pak@korea.ac.kr



김 동 환 (金東換)

1982년 서울대 금속공학과 졸업(학사), 1984년 동대학원 금속공학과 졸업(석사), 1993년 Stanford 재료공학과 졸업(공학), 1993년~1994년 미국 콜로라도 자원공학 대학 물리학과 조교수, 1994년~1995년 Applied Material, Inc. 엔지니어, 1995

년~현재 고려대 재료공학부 정교수.
 Tel : 02-3290-3275, Fax : 02-928-3584
 E-mail : donghwan@korea.ac.kr



박 원 규 (朴元圭)

1982년 서울대학교 금속공학과 졸업(공학사), 1984년 서울 대학교 금속공학과 대학원 졸업(공학 석사), 1986년 금성사 입사, 현 LG.Philips LCD 안양연구소 책임연구원

Tel : 031-450-7435, Fax : 031-450-7406
 E-mail : wkpark@lgphilips-lcd.com