



언더필 기술

이호영

서울대학교 기계항공공학부

Underfill Technology

Ho-Young Lee

School of Mechanical and Aerospace Engineering, Seoul National University,
 Seoul, 151-742, Korea.

(Received 28 December 2002 ; accepted 19 February 2003)

Abstract

Trends in microelectronics packages such as low cost, miniaturization, high performance, and high reliability made area array interconnecting technologies including flip chip, CSP (Chip Scale Package) and BGA (Ball Grid Array) mainstream technologies. Underfill technology is used for the reliability of the area array technologies, thus electronics packaging industry regards it as very important technology. In this paper, the underfill technology is reviewed and the recent advances in the underfill technology including new processes and materials are introduced. These includes reworkable underfills, no-flow underfills, molded underfills and wafer-level-applied underfills.

Keywords: Underfill technology, Flip chip, Chip scale package, Ball grid array, Underfill materials

1. 서 론

반도체 패키지는 칩(chip)을 외부환경으로부터 안전하게 보호해 주는 기능이 있을 뿐 아니라 칩이 인쇄회로기판(Printed Wiring Board, PWB)과 전기적으로 원활히 연결되도록 해주는 기능이 있다. 이전에 주로 사용하였던 반도체 패키지 공정은 집적회로가 형성되어 있는 웨이퍼를 칩들로 절단한 후, 이들을 다이 패드(die pad)에 접촉시키고, 칩의 알루미늄 패드와 리드(lead) 사이를 금선(Au wire)을 이용하여 전기적으로 연결한다. 그런 다음 와이어본딩(wire bonding)된 칩과 리드는 외부환경으로부터 보호할 목적으로 EMC(Epoxy Molding Compound)로 몰딩(molding)하고, 트리밍(trimming)을 거친 후 인쇄회로기판에 실장할 때 납땀이 용이하도록 하기 위하여 리

드를 주석 또는 납으로 도금한 후 포밍(forming) 과정을 거쳐 완성된다. 이렇게 형성된 반도체 패키지는 전자기기의 고성능화와 경박단소화(輕薄短小化) 추세에 따라 삽입실장형(through-hole mounting type)에서 더 집적도를 높일 수 있는 표면실장형(surface mounting type)으로 바뀌게 되었고, 칩의 고집적화에 따른 I/O (input/output) 수의 증가와 고밀도화 추세에 따라 다핀화(多pin化)와 파인피치(fine pitch)화가 급진전되었다. 또한 한 개의 패키지에 여러 개의 칩을 실장할 수 있는 MCM (Multi-Chip Module) 기술도 등장했다. MCM은 "한 개의 패키지에 한 개의 칩"이라는 기존의 개념에서 탈피한 것으로, 말 그대로 여러 개에 칩을 한데 모아 한 개의 모듈(module)로 만듦으로써 모듈이 마치 하나의 시스템처럼 역할을 수행할 수 있도록 한 것이다. MCM 기

술은 보드의 효율을 높여주어 제조비용을 절감할 수 있게 해 주는 장점이 있어 DCA (Direct Chip Attach) 메모리모듈 및 메모리카드 등에 점점 확대되어 적용되고 있는 추세이다.

이런 가운데 마이크로프로세서나 주문형반도체 (Application-Specific IC, ASIC) 등 비메모리 제품을 중심으로 경박단소화에 대한 요구가 급진전되면서 다핀화에 유리하도록 외부단자(볼 형태의 납)를 패키지 밑면에 배열하는 BGA (Ball Grid Array)가 개발되었다. BGA는 PGA (Pin Grid Array)와 플립칩(Flip Chip)의 장점만을 수용한 것으로, 동일 핀수의 QFP (Quad Flat Package)와 비교할 때 반도체 패키지가 차지하는 공간을 60 %까지 줄일 수 있으며, 동시에 전기적, 열적 성능도 40 %까지 향상된다. 뿐만 아니라 I/O수가 300개를 초과할 경우에는 제조비용까지 저렴해지는 이점이 있다.

BGA 이후에는 반도체 칩과 패키지의 크기와 거의 차이가 없을 정도로 작고 얇은 CSP (Chip Scale Package) 기술이 등장하였다. CSP 기술은 전자기기의 소형화, 고속화, 고집적화 추세에 힘입어 예상보다 훨씬 빠른 속도로 확산되고 있다. 최근에는 고속화, 고밀도화, 다핀화 추세에 부응하여 베어(bare)칩을 기판에 그대로 실장하는 플립칩 기술이 새로운 패키징 방식으로 주목받고 있다.

1.1 플립칩

플립칩 기술은 기판에 집적회로가 형성되어 있는 칩의 면이 기판을 마주보도록 부착하는(face-down attach) 기술이다. 초기의 플립칩 기술은 1957년 Bell Labs에서 처음으로 개발되었으며, 그들은 이 기술을 beam led device에 적용하였다. 이러한 초기의 플립칩 기술은 1964년 IBM에서는 구리볼(copper ball)을 interconnection으로 사용하면서 개량되었고^{1,2)}, 그 이후인 1960년대 중반에 IBM의 Lewis Miller에 의하여 구리볼이 솔더볼(solder ball)로 대체되면서 한 번 더 개량되었다. 솔더볼을 사용하면 칩이 기판에 자기정렬(self-alignment)되는 장점이 있다. 초기의 플립칩은 "Controlled Collapse Chip Connection" 또는 C4라고 불리웠다. 1980년대 들어와 Delphi Electronics에서는 그들만의 플립칩 배선 공정을

고안하여 범프(bump)가 형성되어 있는 칩을 싼 가격으로 세라믹 기판 위에 대규모로 실장하는데 성공하였다. 1980년대 후반까지 플립칩은 실리콘(Si) 기판과 세라믹(Alumina) 기판 위에만 실장되었다. 1987년에 Hitachi에서 처음으로 플립칩 기술을 organic chip carrier로 확장하였는데³⁾, 이것은 플립칩 기술에 있어서 가장 혁신적인 사건이었다. 1990년에 IBM에서는 플립칩 기술을 이용하여 유기 인쇄회로기판에 직접 칩을 실장하였다⁴⁾. 플립칩 기술은 현재 전세계적으로 널리 연구되고 있으며, Intel, AMD, Hitachi, IBM, Delphi, Motorola 그리고 Casio 등의 유명한 전자회사에서는 이미 이 기술을 상용화했다.

플립칩 기술의 개략적인 그림을 그림 1에 나타내었다. 플립칩은 와이어본딩이나 TAB (tape automated bonding)에 비하여 높은 I/O밀도, 짧은 연결 길이, 자체 정렬 기능, 열방출의 용이성, smaller foot print, lower profile, 적은 공정 수, 취급의 용이성(easy in handle before assembly)의 장점이 있다. 뿐만 아니라 플립칩은 리드프레임을 사용하지 않아 칩 사이즈가 곧 패키지 사이즈가 되기 때문에 전자기기의 소형화, 경량화에 유리하며 칩 밑면에 입출력 단자가 있어 전송속도도 선이 있는 패키지보다 20~30배 빠르다. 플립칩 기술은 패키지 내(inside package)에 사용되거나 또는 인쇄회로기판에 직접 사용될 수도 있다. 플립칩 기술이 패키지 내에 사용될 경우 칩은 솔더 접합부를 통해서 redistribution interposer에 연결되며, 이를 FCIP (Flip-Chip In Package)라고 부른다. 한편 칩이 직접 인쇄회로기판에 연결되는 경우를 FCOB (Flip-Chip On Board) 또는 DCA (Direct Chip Attach)라고 부른다. FCIP

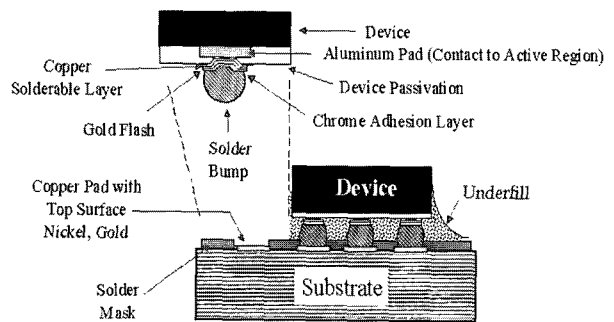


Fig. 1. Schematic of flip-chip technology.

는 다핀 카운트, 고성능 컴포넌트를 갖는 많은 BGA와 CSP에 사용되고 있다.

1.2 Chip Scale Package

1990년대 후반에는 CSP가 개발되었고, CSP는 BGA를 대체해 가고 있다⁵⁾. 칩 크기의 120% 이내의 크기를 갖는 패키지를 총칭하는 CSP는 주로 메모리칩을 패키징하는데 사용되고 있으며, 지난 몇 년 동안 패키징 업체들은 CSP의 연구 개발에 많은 노력을 기울여왔다. 대부분의 CSP에는 칩 위에 형성된 파인 피치(0.075mm)의 주변연결(peripheral or staggered) 패드들을 인쇄회로기판 위에 면연결(area array)되어 있는 큰 피치(0.5~1.0mm)를 갖는 패드에 재분배(redistribution)시키기 위하여 인터포저(interposer)나 금속 층들이 사용된다. CSP의 장점은 CSP 자체가 packaged IC이기 때문에 신속하게 테스트를 행할 수 있고, 취급하기가 용이하며, 어셈블리가 쉽고, 재공정(rework)하기가 쉬우며, 표준화가 쉽고, 칩에 손상이 적게 간다는 것이다. 또한 CSP는 칩의 수축과 팽창으로 인하여 발생하는 여러 가지 문제들로부터 자유로울 수 있으며 기존의 infrastructure에 구속받지 않는다. 한편 FCOB의 장점은 전기적 성능이 우수하고 열방출 능력이 뛰어나며, 무게가 가볍고, 크기가 작으며 가격이 싸다는 것이다. 지금까지 개발된 CSP는 100종류가 넘으며, 이들 대부분은 SRAM (Static Random Access Memory), DRAM (Dynamic Random Access Memory), flash memories, low-pin-count low-power application-specific IC's (ASIC's) 및 마이크로프로세서에 사용되고 있다.

CSP는 다음과 같은 네 가지의 주된 그룹으로 분류된다.

- ① leadframe based CSP's
- ② CSP's with flexible substrates
- ③ CSP's with rigid substrates
- ④ wafer-level redistribution CSP's

얼마 전까지 주목받았던 CSP중 하나가 MLP (Micro Leadframe Package)였다. MLP는 기존 플라스틱 패키지의 주재료인 리드프레임과 EMC를 이용해 만들며 완제품의 크기는 4×4mm² 수준으로 새끼손톱의 4분의 1 정도에 불과하다. 이

패키지는 열방출 능력이 우수해 실리콘 반도체 뿐 아니라 특정 부위에서 집중적으로 열이 발생하는 갈륨비소(GaAs) 등 각종 화합물 반도체에까지 적용이 가능하다.

MLP와 함께 얼마전까지 주목받았던 CSP기술로 μ -BGA가 있다. μ -BGA는 기존의 리드프레임 대신 박막필름 위에 칩을 얹은 후 실리콘 소재로 이를 덮어씌우고 그 밑에 미세 구경의 솔더볼을 접착시키는 매우 간단한 형태이다. 이러한 장점으로 인하여 최근 가장 유력한 차세대 고속메모리 기술로 부상하고 있는 다이렉트 램버스 DRAM의 주력 패키지로 μ -BGA가 채택됐으며 이에 따라 이동전화나 디지털 카메라 등 휴대형 정보통신기에 한 정돼 사용되던 CSP 기술은 PC나 워크스테이션 등 일반 컴퓨터 분야로까지 확대 적용되었다.

이러한 첨단 패키지가 일반화될 경우 기존 반도체 조립공정에서 널리 사용돼 온 와이어 본더 및 몰딩 장비, 그리고 트리밍 및 포밍 장비들은 더 이상 필요가 없어진다.

최근에는 칩을 절단하지 않은 웨이퍼 상태에서 모든 조립과정을 마치는 "웨이퍼 레벨 패키지"가 차세대 CSP 기술로 주목받고 있다. 현재까지의 반도체 조립공정은 웨이퍼를 각자의 칩으로 절단한 후 이뤄진데 반해 웨이퍼 레벨 패키지 기술은 말 그대로 여러 칩들이 붙어 있는 웨이퍼 상태에서 일련의 조립공정을 마친 후 이를 절단해 곧바로 완제품을 만드는 형태로 패키지 제품과 칩의 크기가 거의 동일하다. 이 기술은 적용되는 공정수가 적기 때문에 μ -BGA나 MLP 등 현재 선보이고 있는 CSP에 비하여 패키지 비용을 더 낮출 수 있을 것으로 예상된다.

1.3 Ball Grid Array

패키징 밀도의 증가에 대한 요구는 package-to-board 연결을 PTH (pin-through-hole)에서 SMT (surface-mount technology)로 변화시켰다. Surface-mount array (SMA) 패키지는 전통적인 주변 연결(peripheral leaded) SMT 패키지 와 면 연결(array interconnection) 패키지의 장점만을 취하는데, 그 중 BGA가 대표적인 패키지이다⁶⁾.

1990년대에 처음으로 등장한 BGA는 표면 실장

기술을 획기적으로 발전시켰다. BGA에는 플립칩 기술과 와이어본딩 기술이 모두 이용된다. BGA는 파인피치의 형성 없이도 높은 연결 밀도와 많은 I/O수의 형성을 가능하게 해 준다. 요구되는 피치는 1.0~1.5 mm인데, 이 정도의 피치는 기존의 표면실장형 패키지의 제조를 위하여 사용되었던 장비와 공정을 이용하여 충분히 형성할 수 있는 피치이다.

1. 4 언더필

플립칩 기술에서 가장 큰 관심은 솔더 접합부의 열기계적 (thermo-mechanical) 피로 수명이다. 1980년대 후반까지 플립칩은 실리콘이나 세라믹 기판에 실장되었고, 칩의 크기 또한 작았기 때문에 열기계적 피로는 큰 문제가 되지 않았다(실리콘 칩의 열팽창 계수는 2.5 ppm/°C이고 세라믹 기판의 열팽창 계수는 6.9 ppm/°C이다.)

1980년대 후반 이후에 이르러 칩의 크기가 비약적으로 증가하고, 동시에 열팽창 계수 16 ppm/°C인 organic 기판(FR4 PWB)과 열팽창 계수 45 ppm/°C인 폴리이미드(polyimide)가 사용되면서 솔더 접합부의 열기계적 피로 수명은 중요한 문제로 부각되기 시작하였다.

솔더볼의 분포와 접합부 형상의 최적화를 통하여 이와 같은 문제를 해결하고자 하는 시도가 있었고⁷⁻⁹⁾, 그 외에 신뢰성이 뛰어난 솔더 조성을 사용하여 이 문제를 해결하려는 시도도 있었다. 그러나, 이러한 노력은 비용이 많이 들고 솔더 접합부의 신뢰성을 향상시키는 데에 분명한 한계가 있었다.

최근에 열기계적 피로 문제를 해결하기 위한 혁신적인 방법이 개발되었다. 그것은 에폭시(epoxy)와 같은 접착력이 우수한 고분자 재료에 SiO₂ 입자를 충전시켜 솔더의 열팽창 계수에 근접한 값을 갖도록 한 후 이를 칩과 인쇄회로기판 사이의 틈(gap)에 채워넣어 주는 방법이다. 이렇게 하면 열기계적 피로 수명은 약 10~100배정도 향상된다고 한다. 이때 사용되는 SiO₂ 입자가 충전된 에폭시계 고분자 복합재료를 언더필(underfill)이라 부른다.

언더필은 경화(curing)되기 전에는 액체 형태를 가지지만 일단 경화가 되면 단단해져서 솔더가

받는 열기계적 변형을 분담받게 된다. 언더필이 사용되면 언더필이 사용되지 않은 경우에 비하여 솔더 변형이 0.10~0.25 정도 감소되는 효과가 있다고 한다^{10,11)}.

이처럼 언더필은 플립칩의 신뢰성을 향상시켜 플립칩 기술을 유기(organic) 기판에 적용할 수 있도록 해 준다. 그렇다면 언더필에 요구되는 특성은 무엇일까?

언더필에 요구되는 특성에는 다음과 같은 것들이 있다.

- ① 열팽창 계수가 솔더의 열팽창 계수와 같아야 한다.
- ② 유리전이온도(T_g)가 높아야 한다.
- ③ 영 계수(Young's modulus)가 커야 한다.
- ④ 이온의 함량이 적어야 한다.
- ⑤ 흡습율이 낮아야 한다.
- ⑥ 칩과 기판에 대한 접착력이 우수하여야 한다.
- ⑦ 흐름성(flowability)이 좋아야 한다.
- ⑧ 경화시간이 적당해야 한다.
- ⑨ 유전상수가 낮아야 한다.
- ⑩ α-입자 방출률이 낮아야 한다.

에폭시는 가장 많이 사용되는 언더필의 기본재료이다. 에폭시는 우수한 화학 저항성, 부식 저항성, 전기적 성질, 기계적 성질, 우수한 접착력, 낮은 수축율, 적당한 가격 등의 장점이 있다.

낮은 점도(viscosity)를 갖는 에폭시만이 언더필에 사용되는데, 그 이유는 점도가 낮아야만 모세관 현상을 이용하여 칩과 기판 사이의 틈을 효과적으로 채울 수 있기 때문이다.

SiO₂ 입자는 열팽창 계수를 낮추기 위하여 사용된다. 에폭시는 열팽창 계수(>80 ppm/°C)가 크기 때문에 낮은 열팽창 계수(0.5 ppm/°C)를 갖는 SiO₂ 입자를 첨가하여 복합재료를 만들어 줌으로써 열팽창 계수를 낮출 수 있다. 첨가되는 SiO₂ 입자의 함량은 약 70 wt.%이다. 언더필은 플립칩뿐 아니라 BGA 및 CSP에도 사용되어 질 수 있다. 원래 BGA와 CSP는 취급하기가 편하고 encapsulation없이 실장할 수 있도록 고안된 것이지만 기계적 진동에 의한 동적 하중(dynamic loading)과 충격(impact shock)은 이들의 신뢰성을 크게 저하시킨다. 이를 방지하고자 이들에게 언더필이 사용된다. 언더필 encapsulation 방법은 오

늘날 심각한 문제가 인식되고 있는 패키지의 신뢰성을 향상시키기 위한 방법으로 널리 사용되고 있으며 큰 무리가 없는 방법으로 인식되고 있다¹²⁻¹⁴. 언더필 기술은 플립칩 기술이 발전됨에 따라 발전되어 왔고, 언더필 공정과 언더필 재료의 두 방향으로 연구가 진행되어 왔다. 일반적으로 새로운 언더필 공정은 새로운 언더필 재료를 요구하게 된다. 언더필 공정이 개발된지 수년이 지났지만 아직까지 기본 공정에는 거의 변화가 없었다. 기존에 사용되어지던 언더필 공정을 "conventional 언더필 공정"이라 한다. Conventional 언더필 공정의 flow chart와 개략적인 그림을 그림 2와 그림 3에 각각 나타내었다.

언더필 공정은 전기적 접합부들 (electrical joints) 이 형성된 후에 수행되는 공정으로 conventional 언더필 공정은 flux dispensing과 세정단계 (cleaning step), 솔더 리플로우 단계, 그리고 언더필 dispensing과 경화 단계를 요구한다. 이처럼 conventional 언더필 공정은 단계 (step) 수가 많고 비용이 많이 든다는 단점이 있다¹⁵⁻¹⁷. Conventional 언더필 재료에는 Silicone에서 SiO₂가 충전된 에폭시까지 패키지 종류에 따라 여러 가지가 있다. IBM에서 개발한 초기의 플립칩 기술은 크기가 작

은 칩을 세라믹 기판에 실장하는데 적용되었으며, 그 당시의 언더필 공정의 주목적은 열기계적 피로 수명을 향상시키는 것이 아니라 솔더 접합부를 외부 환경으로부터 보호하는 것이었다¹⁸. 따라서 초기에 사용된 언더필 재료는 Silicone과 같은 low modulus 재료가 주류를 이루었다. 그러나 1987년 이후 칩의 면적이 크게 증가하고 큰 열팽창 계수를 갖는 유기기판이 사용됨에 따라 솔더 접합부의 피로 수명이 핫이슈 (hot issue) 로 등장하게 되었으며 이때부터 언더필 공정은 주목받기 시작하였다.

열기계적 신뢰성을 향상시키기 위한 언더필 재료들의 후보에는 여러 가지가 있었지만 그중 가장 주목을 받은 것은 SiO₂가 충전된 에폭시 수지였다¹⁹. 최근에 개발된 conventional 언더필 재료는 이전의 재료에 비하여 흐름성 (flowability) 이 우수하고 경화시간이 짧은 특성이 있다.

2. 재공정이 가능한 언더필

재공정성 (reworkability) 은 플립칩 패키징에서 매우 중요하다. 그 이유는 현재의 플립칩 어셈블리는 많은 전자 디바이스 (electronic device) 또는 개별 컴포넌트 (discrete component) 들을 다층

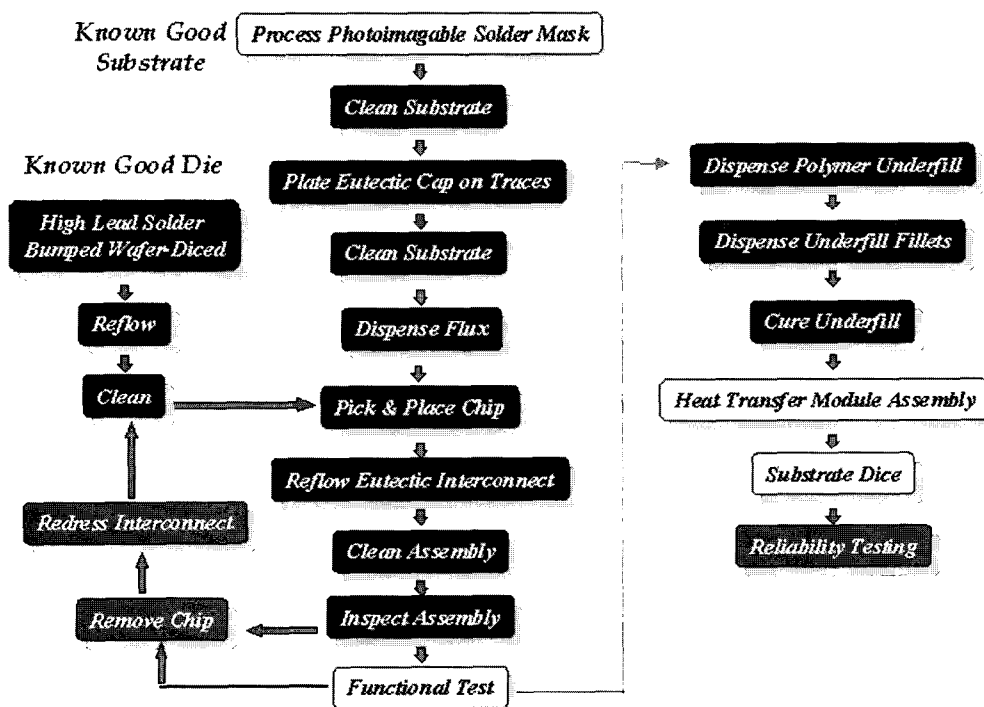


Fig. 2. Flow chart of conventional underfill process.

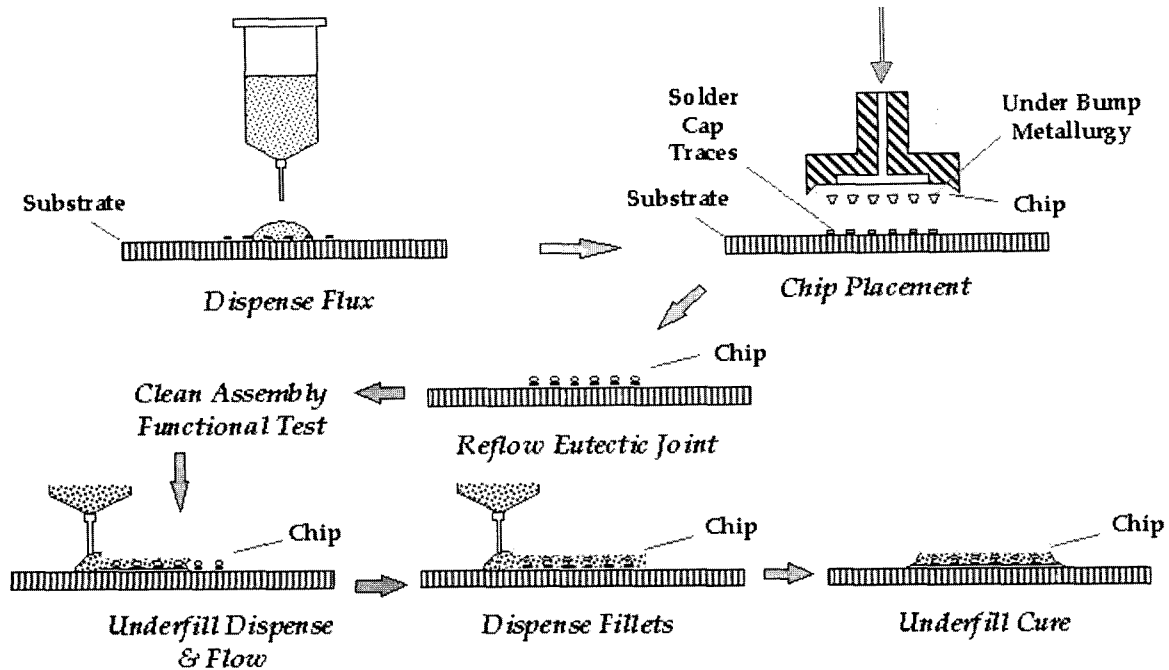


Fig. 3. Schematics of conventional underfill process.

인쇄회로기판에 한데 모아 시스템을 형성하는데 항상 각 디바이스나 컴포넌트들의 결합 가능성이 존재하기 때문이다. 결합을 가지고 있는 각 디바이스나 컴포넌트들을 개별적으로 교체할 수 없으면 보드를 못쓰게 되는데 이는 경제적으로 손실이 크다. 따라서 각 디바이스나 컴포넌트별로 재공정이 가능해서 결합이 있는 각 디바이스나 컴포넌트들을 새것으로 교체할 수 있어야 한다.

언더필을 사용하지 않는 플립칩 디바이스의 재공정은 BGA, CSP와 같은 다른 솔더를 이용한 연결이 사용되는 디바이스의 재공정과 매우 유사하다. 재공정은 다음과 같은 과정을 거친다^{20, 21)}.

- ① Localized chip removal
- ② Site preparation
- ③ Solder replenish
- ④ New chip joining at the rework site

최근 개발된 재공정 장비를 이용하여 BGA's, CSP's 그리고 언더필을 사용하지 않는 플립칩 디바이스가 재공정될 수 있다. 그러나, 경화된 후에 에폭시 언더필의 가공하기가 어렵고 불용성 (infusibility)을 갖기 때문에 언더필의 존재는 플립칩의 재공정을 어렵게 만들고 심지어는 불가능하게 까지 만든다. 주된 이유는 가교된 (crosslinked) 언더필이 칩 제거와 언더필의 제거를 용이하게 하

지 않기 때문이다. 따라서, 플립칩 디바이스는 반드시 그들이 언더필되기 전에 재공정되어야 한다. 일단 언더필된 플립칩 디바이스는 언더필의 non-reworkability 때문에 재공정이 불가능하다. 이러한 재공정의 제한성은 플립칩 기술의 응용에 심각한 한계점으로 인식되고 있다.

그 동안 많은 연구자들이 플립칩 디바이스를 재공정할 수 있도록 하기 위하여 연구를 수행하였다. 그들은 두 가지 방향에서 이 문제를 해결하고자 접근하였다. 하나는 언더필을 사용하지 않는 것이고 다른 하나는 재공정이 가능한 언더필을 사용하는 것이다.

2.1 언더필을 사용하지 않는 방법

IBM의 Tsukada 등은 세라믹 pin grid array 모듈에 대해서 chip-grinding 방법을 이용하여 기계적으로 칩을 제거하는 방법을 시도하였다²²⁾. 연마 (grinding) 깊이는 솔더 접합부가 반정도 갈려져 나가는 깊이로 유지되었다. 연마된 부위를 세정한 다음 반정도 남아있는 솔더패드 (95Pb/5Sn) 위에 eutectic 솔더 (60Sn/40Pb)가 직접 도포되었다. 새로운 칩은 공정 (eutectic) 솔더를 사용하여 리플로우 (reflow) 함으로써 재공정 위치에 실장된다. 재공정된 칩은 non-reworkable 언더필을 이

용하여 언더필된다. 신뢰성을 테스트한 결과 재공정된 부분은 재공정되지 않은 부분과 매우 비슷한 신뢰성을 보였다. 그러나, 기계적인 연마 방법을 이용한 재공정은 칩을 다시는 못쓰게 만들기 때문에 별로 좋지 않은 방법이며, 한 층의 언더필이 기판 위에 남겨지기 때문에 기존의 칩 접합방법 (conventional chip joining) 방법을 적용하여 새로운 칩을 실장하기가 불가능하다. 따라서, 이러한 방법은 사실상 일반적인 플립칩의 재공정에 적용하기가 불가능하다²³⁾.

다른 방법으로는 "mold release layer"를 이용한 방법이 있다. 이 방법은 디바이스나 범프에 손상을 주지 않기 위하여 칩과 기판사이의 모든 중간물 (intermediate)의 표면에 non-stick release coating (parlylene)을 하는 것이다. Parylene은 그 자체가 솔더 접합부의 피로 수명을 증가시키는 효과가 있으며 에폭시 언더필은 parylene이 코팅된 부분에 곧바로 도포된다.

Parylene은 언더필의 흐름에 전혀 지장을 초래하지 않는다. Parylene과 언더필의 결합은 좋은 신뢰성을 제공한다. 재공정 동안 parylene mold release layer를 가지고 있는 언더필 칩들은 기판으로부터 직접 제거된다. 언더필이 parylene에 달라붙지 않기 때문에 칩은 언더필이 달라붙지 않은 상태로 깨끗하게 기판으로부터 분리될 수 있다. 그러나, parylene과 exposed 에폭시 모두는 용매에 의한 세정이 필요하기 때문에 공정 비용이 비싸진다²³⁾.

2.2 재공정이 가능한 언더필

앞의 연구자들은 플립칩 패키지의 non-reworkability를 해결하기 위해서는 재공정이 가능한 (reworkable) 언더필을 개발해야 한다고 지적했다. 이는 즉, 어떤 조건하에서 언더필의 재공정이 가능해야 한다는 것을 의미한다. 지금 현재 재공정이 가능한 언더필로 개발되고 있는 재료는 화학적으로 재공정이 가능한 (chemically reworkable) 언더필과 열적으로 재공정이 가능한 (thermally reworkable) 언더필의 2가지 종류가 있다.

1) 에폭시를 기반으로 한 접근

IBM의 Buchwalter 등은 화학적으로 재공정이 가능한 언더필에 속하는 언더필을 처음으로 개발

하였다²⁴⁻²⁶⁾. 그들이 개발한 언더필은 에폭시를 기본재료로 한 것이며, 경화 후에는 어떤 유기산 (organic acid)에 용해가 가능한 것이었다. 그들이 이와 같은 재료를 개발할 수 있었던 것은 diepoxide 구조에 acetal/ketal group들을 도입하였기 때문이다. 그들은 diepoxide내의 acetal/ketal group이 에폭시의 경화에 영향을 미치지 않는다는 것을 알았다. Acetal/ketal을 함유하고 있는 경화된 에폭시는 acid에 서서히 녹을 수 있다. 그렇지만 그들이 개발한 언더필은 acid가 칩과 기판사이를 침투하고 들어가 언더필을 녹이는데 너무 오랜 시간이 걸린다는 것과, 용매의 사용이 국부적인 재공정을 어렵게 만든다는 단점이 있었다²³⁾.

화학적으로 재공정이 가능한 언더필에 반하여 열적으로 재공정이 가능한 언더필은 신속하고 깨끗하고 국부적인 재공정을 가능하게 해준다. 에폭시를 기반으로 하는 재료들은 원래 재공정이 불가능하기 때문에 그들은 열적으로 재공정이 가능도록 만드는 방법은 그들이 열적열화 (thermal degradation) 되도록 하는 것이다.

Conventional 에폭시의 열적열화가 일어나는 온도는 350°C 근처이다. 이는 공정솔더와 유기기판을 가지고 있는 대부분의 플립칩에는 너무 높은 온도이다. 따라서 열적열화가 일어나는 온도가 낮은 새로운 에폭시가 개발되어야 했다.

Cornell 대학교의 Ober 등은 secondary 또는 tertiary ester group을 함유하는 일련의 diepoxides를 합성하였다^{27, 28)}. 그들은 상업용 diepoxides, ERL-4221와 그들이 합성한 epoxides의 열적 안정성을 비교하였다. ERL-4221는 primary ester group을 가지고 있으며 낮은 점도와 좋은 전기적 성질로 인하여 언더필 재료로 널리 사용되어 왔다. Diepoxide의 primary ester group을 secondary ester group으로 대체시켰더니 에폭시의 열적열화 온도가 떨어졌다. Tertiary ester group은 secondary ester group보다 더 열적열화 온도 (< 250°C)를 떨어뜨렸다. 몇 가지 diepoxides를 포함하는 tertiary group으로부터 가장 낮은 열적열화 온도 (~220°C)를 갖는 재료가 선택되었고 재공정성이 테스트되었다. 테스트 결과 선택된 재료는 요구조건을 모두 충족시켰다.

Georgia Tech의 Wong 등은 열적으로 재공정

이 가능한 에폭시 언더필들에 대해서 두 가지 접근을 시도하였다^{29, 31)}. 그들은 우선 에폭시에 몇 가지 특별한 물질을 첨가해서 그 효과를 살펴보았다. 그들이 첨가한 물질은 blowing agent로 행동했으며, 경화과정과 그 이후의 thermal cycling 동안 안정하였다. 그러나 온도가 eutectic 솔더의 리플로우 온도에 다다르면 첨가물질들은 분해되기 시작하였고 많은 양의 가스를 방출하면서 에폭시 기지(matrix) 내에서 작은 폭발을 일으켰다. 이는 이들이 개발한 언더필은 처음에 강한 접착력을 유지하지만 일정 온도 이상으로 온도가 올라가면 쉽게 제거가 가능하다는 것을 의미한다. 한편 그들은 열분해가 가능한 에폭시를 개발하였다. 접근 방법은 Ober의 접근 방법과 비슷하였지만 사용된 thermally labile group은 달랐다.

그들은 이러한 두 가지 접근 방법을 통하여 결국 둘을 결합시켜 국부적인 칩제거 능력과 잔류 언더필 제거 능력을 갖춘 새로운 재공정이 가능한 언더필 재료를 개발하였다.

2) 에폭시를 기반으로 하지 않은 접근

에폭시 외에도 다른 종류의 열경화성(thermo-setting) 수지가 연구되었다. Shell Chemical의 Iyer 등은 Diels-Alder 반응의 가역성을 이용하여 열적으로 재공정이 가능한 가교된 수지를 개발하였다^{32, 33)}. 이 수지는 상온에서는 가교가 형성되어 있어 고체이지만 가열이 되어 175°C가 되면 가교가 풀려 액체상태로 변하기 때문에 언더필 공정이 가능하다.

열경화성 재료 이외에도 열가소성(thermoplastic) 재료들이 재공정이 가능한 언더필 재료로 연구되었다. 열가소성 재료들의 이점은 그들이 원래 재공정이 가능한 재료라는 것이고 그들 대부분이 어떤 용매에 녹는다는 것이다. 그러나, 열가소성 재료가 실제로 언더필 재료로 사용되기 위해서는 몇 가지 해결해야 할 문제점들이 있다.

첫 번째 문제점은 접착력이다. 접착력은 신뢰성을 달성하기 위해서 해결되어야 할 가장 중요한 문제이다. 에폭시가 시장에서 우세했던 이유도 그들이 가지고 있었던 우수한 접착력 때문이다. 일반적으로 열가소성 재료는 열경화성 수지만큼 접착력을 갖지 못한다. 이 때문에 열가소성 재료가 언더필 재료에 사용되어질 때 신뢰성 문제가 큰

이슈로 대두되기 쉽다.

다른 문제점은 점도이다. 열가소성 수지가 언더필로 이용되기 위해서는 흐름성이 좋아 칩과 기판 사이의 틈에 재빨리 침투할 수 있어야 하는데 한다. 그러나 일반적으로 열가소성 수지는 분자량이 커서 낮은 점도를 갖는다. 이는 공정성을 떨어뜨린다.

National Starch & Chemicals의 Ma 등은 free radical polymerizable 열가소성 재료에 기초를 두고 열적으로 재공정이 가능한 언더필들을 개발하였다³⁴⁻³⁶⁾. 그들이 개발한 언더필은 언더필되는 동안에는 monomer 형태로 있지만, 그 이후에 온도가 올라가면 free radical initiator에 의하여 큰 분자량을 갖는 재료로 중합(polymerization)된다. 언더필 재료의 접착력은 커플링 에이전트(coupling agent)를 사용하여 향상되었으며, 그들이 개발한 언더필 재료들은 재공정 테스트를 통하여 칩 제거(chip removal)와 잔류물 제거(residue removal) 특성이 우수하다고 평가되었다.

IBM의 Call 등은 특별히 만들어진 열가소성 재료들을 언더필로 사용하여 재공정이 가능한 플립 칩 모듈을 개발하였다³⁷⁾. 그들이 만든 모듈은 고온(>300°C) 솔더 연결 방법을 사용하였으며, 기판은 인쇄회로기판이 아닌 실리콘, 세라믹 또는 금속이 사용되었다. 그들이 사용한 열가소성 재료들은 녹이는데 높은 온도나 용매를 필요로 하였다.

3. No-Flow 언더필

Conventional 언더필 공정의 단점을 극복하고자 Georgia Tech의 Wong 등은 No-flow 언더필 공정을 처음으로 구성하였고 1996년에 이를 특허로 출원하였다³⁸⁾. No-flow 언더필 공정의 flow chart를 그림 4에 나타내었다. No-flow 공정은 솔더 리플로우 전에 flux dispensing과 세정 단계 없이 언더필 재료를 dispensing한 후 솔더 리플로우와 언더필 경화를 한 단계에 해 치우는 공정이다. 따라서, No-flow 언더필 공정은 conventional 언더필 공정에 비하여 훨씬 간편하다. 그렇지만 conventional 언더필에 사용되는 재료가 No-flow 언더필에 그대로 사용될 수는 없으며 No-flow 언더필 공정에는 새로운 언더필 재료가 사용되어야

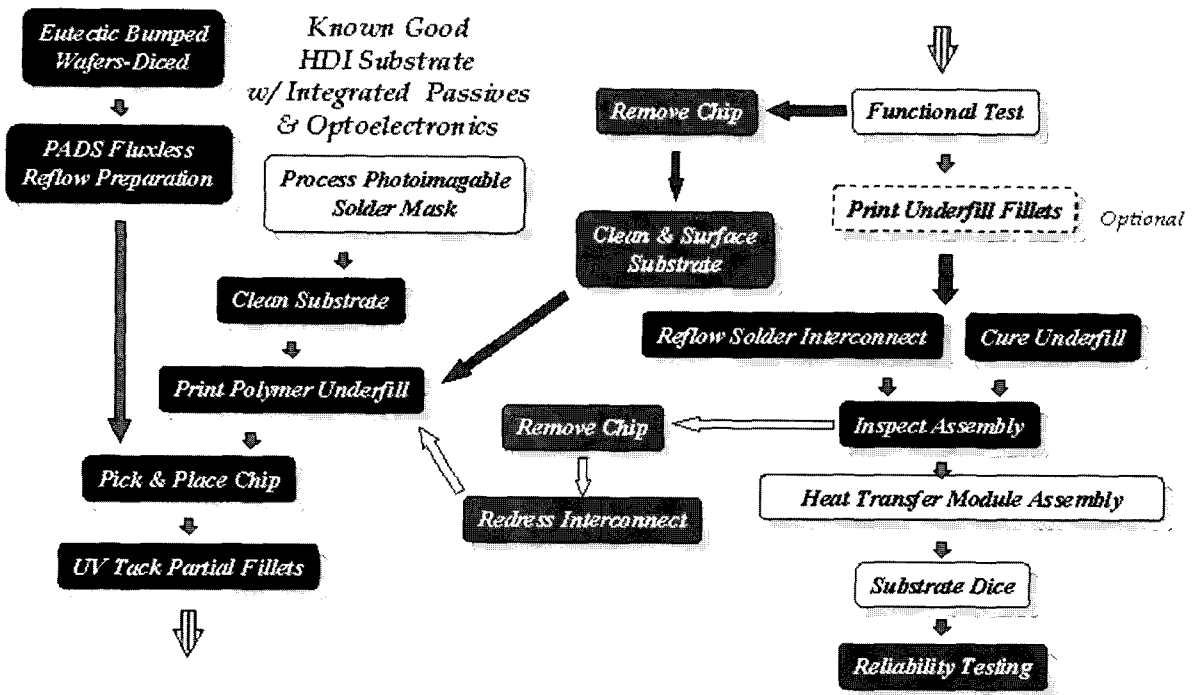


Fig. 4. Flow chart of No-flow underfill process.

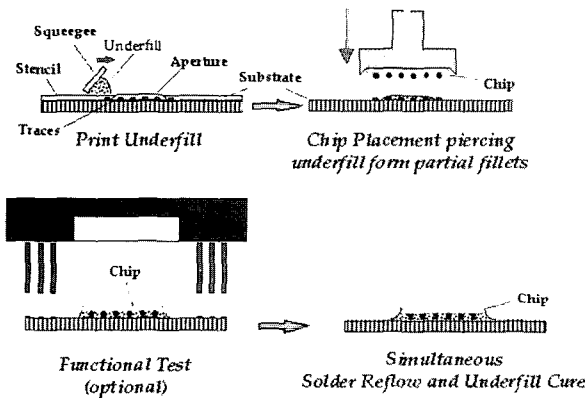


Fig. 5. Schematics of No-flow underfill process.

한다.

No-flow 언더필 공정이 개발되지 마자 No-flow 언더필 재료의 개발이 시작되었다³⁹⁾. No-flow 언더필 재료는 conventional 언더필 재료에 요구되는 특성 이외에도 다음과 같은 3가지 특성이 더 요구된다.

- ① enough fluxing ability: 리플로우 동안 솔더 접합부의 전기적인 연결이 가능할 수 있어야 한다.
- ② 시간 지연 경화성 (latency): 경화되기 전에 먼저 솔더 접합부가 형성되어야 한다.
- ③ 경화성: 리플로우 동안 경화 (on-line curing) 가 가능하거나 또는 175°C 이하의 온도에서 완

전히 경화 (off-line curing) 될 수 있어야 한다.

그림 6에 전형적인 Sn/Pb 솔더범프의 리플로우 프로파일 (profile) 을 나타내었다⁴⁰⁾. 여기에는 4개의 온도 영역 (zone) 이 있는데, No-flow 언더필 재료는 다음과 같이 각 온도 영역에서 적절한 거동을 보여야 한다.

Preheating zone에서는 초기에 점도가 급격하게 떨어져야 한다. 그리고 낮은 점도를 계속 유지해서 모든 접촉하는 표면에 언더필이 잘 젖어야 하며 그래서 칩의 자체중량에 의해 쉽게 솔더범프와 구리 패드가 서로 접촉할 수 있어야 한다.

Soaking zone에서는 fluxing capability가 있어

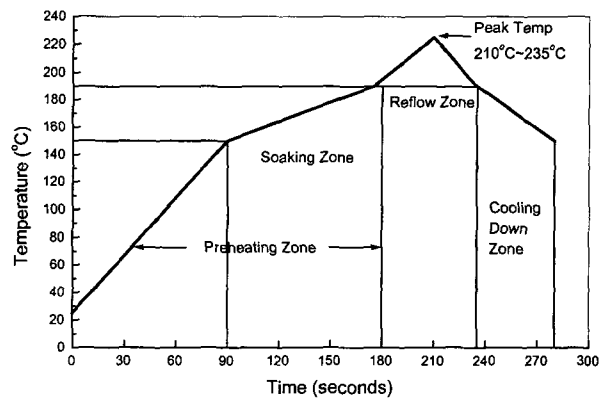


Fig. 6. Typical heating profile of eutectic Sn/Pb solder bumps.

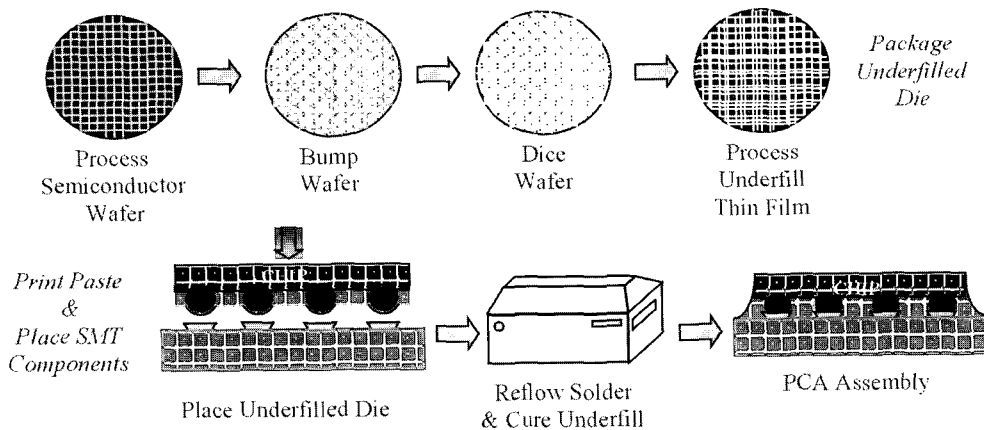


Fig. 7. Wafer scale processing on the PCA (Printed Chip Assembly) process.

솔더범프의 표면과 구리패드의 표면에 존재하는 금속산화물들을 제거할 수 있어야 한다.

Reflow zone에서는 리플로우가 끝날 때까지 좋은 흐름성을 유지할 수 있어야 한다. 그리고 적당한 시기에 재빨리 경화될 수 있거나 또는 나중에 후 단계를 통하여 솔더범프의 녹는점 이하에서 완전히 경화될 수 있어야 한다.

Cooling down zone에서는 경화된 언더필이 적절한 열팽창 계수, modulus, toughness, 접착력을 가져야 한다. 그래야 균열과 박리가 생기지 않는다.

No-flow 언더필에 관한 첫 번째 연구논문은 Georgia Tech의 Shi 등에 의해서 1997년에 발표되었다³⁹⁾. 그 이후로 많은 연구 개발이 회사와 연구기관에서 수행되었다. 일련의 연구를 통하여 언더필 재료에 첨가되는 충전제가 솔더 접합부의 형성을 방해한다는 것을 알게되었다. 이러한 사실이 알려진 이후로 충전제 없는 언더필의 개발이 시작되었다.

따라서 지금까지 개발된 상업용 No-flow 언더필은 충전제 없는 언더필이었고, 충전제가 없기 때문에 기존의 conventional 언더필에 비해서 높은 열팽창 계수를 갖게 되었다. 이는 conventional 언더필을 사용할 경우에 비해서 No-flow 언더필을 사용할 때 신뢰성이 떨어진다는 문제점을 낳게 되었다.

4. 몰딩 언더필

몰딩 언더필 (molded underfill) 이라 불리우는 새로운 형태의 언더필이 FCIP에 적용되기 위하여

개발되었다. 몰딩 가능한 언더필은 새로운 재료가 아니라 그 동안 리드프레임을 이용한 패키지에 사용되어져왔고 EMC에 기반을 둔 재료이다. 몰딩 언더필은 트랜스퍼 몰딩 (transfer molding) 공정을 거쳐 FCIP에 응용되며, 칩과 인터포저 (interposer) 의 틈을 채울 뿐 아니라 칩 자체를 encapsulation 한다. 그래서 몰딩 언더필은 언더필 기능 뿐 아니라 몰딩컴파운드 (molding compound) 의 기능까지 한다.

몰딩 언더필의 장점은 언더필과 트랜스퍼 몰딩을 하나로 축소하여 공정의 간소화를 이룰 수 있고, 신뢰성이 검증된 EMC (Epoxy Molding Compound) 를 사용하기 때문에 새로운 재료를 개발해야 한다는 부담이 없다는 것이다.

몰딩 언더필은 BGA와 CSP에 주로 사용될 것으로 기대되며, 이 분야의 기술은 일본이 가장 앞서 있는 것으로 알려져 있다.

5. 웨이퍼 레벨용 언더필

No-flow 언더필의 발명은 언더필 기술에 있어서 획기적인 사건으로 간주된다. 그러나 No-flow 언더필 공정은 언더필 dispense 단계를 필요로 하기 때문에 기존의 표준 SMT 장비를 그대로 이용하여 공정을 수행하기는 불가능하다.

얼마 전 웨이퍼 레벨 언더필 (wafer-level underfill) 이라고 불리우는 새로운 언더필 공정이 제안되었다^{41, 42)}. 이 공정에서는 먼저 웨이퍼 레벨용 언더필 (wafer-level-applied underfill) 이라고 불리우는 액체상태의 self-fluxing 언더필이 범프

가 형성된 웨이퍼에 프린팅 방법이나 코팅 방법으로 도포된다. 그 다음 도포된 액상의 self-fluxing 언더필은 건조(drying)나 부분 중합(polymerization) 단계를 통하여 semi-solid상태로 변한다. Semi-solid 언더필이 코팅되어 있는 웨이퍼는 곧바로 여러 개의 칩으로 잘려지며(diced), 이렇게 잘려진 칩들은 표준 SMT 어셈블리 장비를 이용하여 패키징될 수 있다.

어셈블리가 리플로우 오븐(reflow oven)을 통과할 때 semi-solid self-fluxing 언더필은 녹을 것이고 흐를 수 있는 상태가 되어 결국 솔더가 구리 패드에 충분히 wetting될 수 있도록 플럭스(flux)의 역할을 충실히 수행할 것이다.

No-flow 언더필 공정처럼 웨이퍼 레벨 언더필 공정은 솔더범프가 리플로우되고 곧바로 경화되기 때문에 No-flow 언더필과 같은 솔더 접합부의 신뢰성을 제공할 수 있다.

웨이퍼 레벨 언더필 공정을 성공으로 이끄는 가장 큰 요인은 언더필 재료에 달려있다. 많은 사람들이 웨이퍼 레벨 언더필의 중요성에 대하여 지적하고 있지만 실제로 아직까지 많은 연구가 수행되고 있지 않아 특히, 기술보고, 학술잡지 논문의 형태로 공개된 정보는 그리 많지 않다. 따라서 웨이퍼 레벨 언더필에 관한 연구는 도전해 볼 가치가 있다⁴³⁾.

현재 웨이퍼 레벨 언더필의 재료와 공정에 대하여 여러 연구기관들이 협력연구를 수행하고 있다⁴⁴⁻⁴⁷⁾.

6. 맺음말

본 논문에서는 언더필 기술(underfill technology)을 살펴보고, 재공정이 가능한 언더필(reworkable underfill), No-flow 언더필, 몰딩 언더필(molded underfill) 그리고 웨이퍼 레벨용 언더필(wafer-level-applied underfill)에 대한 공정 및 재료를 소개하였다.

최근 No-flow 언더필이나 웨이퍼 레벨용 언더필에 대한 관심이 증가하고 있기 때문에 앞으로 이에 대한 연구가 급증하리라 예상되며, 따라서 국내의 관련 연구기관에서도 이러한 추세에 맞추어 연구의 방향을 설정하는 대비가 필요하다고 사료된다.

참고문헌

1. U.S. Patent No. 3, 083, 291, March (1963)
2. E.M. Davis, W.E. Harding, R.S. Schwartz, J.J. Corning, IBM J. Res. Develop. 8 (1964) 102.
3. F. Nakano, T. Soga, S. Amagi, Proc. Int. Soc. Hybrid Microelectronics Conf., (1987) 536.
4. D. Suryanarayana, R. Hsiao, T.P. Gall, J.M. McCreary, Proc. 40th Electro. Comp. Technol. Conf., (1990) 338.
5. R.R. Tummala, E.J. Rymaszewski, A. Klopfenstein, Microelectronics Packaging Handbook, 2nd ed., Chapman & Hall, New York, U.S.A., (1997) 82.
6. R.R. Tummala, E.J. Rymaszewski, A. Klopfenstein, Microelectronics Packaging Handbook, 2nd ed., Chapman & Hall, New York, U.S.A., (1997) 93.
7. R. Satoh, M. Ohshima, H. Komura, I. Ishi, K. Serizawa, IEPS, 455 (1983)
8. G. Cherian, IEPS, 719 (1984)
9. N. Matsui, S. Sasaki, T. Ohsaki, Proc. 37th Electro. Comp. Technol. Conf., (1987) 573
10. Y. Tsukada, Proc. 42nd Electro. Comp. Technol. Conf., (1992) 22.
11. B. Han, Y. Guo, J. Electro. Packag., 117 (1995) 185.
12. H. Quinones, A. Babiaz, R. Ciardella, Proc. Symp. Adv. Packag., (1999) 83.
13. T. Burnette, Z. Johnson, T. Koschmieder, W. Oyler, Proc. 50th Electro. Comp. Technol. Conf., (2000) 1221.
14. R. Ghaffarian, N.P. Kim, Proc. 50th Electro. Comp. Technol. Conf., (2000) 390.
15. C.P. Wong, S.H. Shi, G. Jefferson, IEEE Trans. Comp. Packag. Manufact. Technol. Part A, 21 (3) (1998) 450.
16. C.P. Wong, M.B. Vincent, S.H. Shi, IEEE Trans. Comp. Packag. Manufact. Technol. Part A, 21 (2) (1998) 360.
17. L. Nguyen, L. Hoang, P. Fine, S.H. Shi, M. Vincent, L. Wang, C.P. Wong, Q. Tong, B. Ma,

- R. Humphreys, A. Savoca, Proc. PEP'97, Sweden, October (1997) 300.
18. K. Gilleo, "New Generation Underfills Power the 2nd Flip-Chip Revolution", Cookson Electronic Group, (1997).
 19. D. Suryanarayana, D.S. Farquhar, Chip on Board, Chapter 12., Edited by J.H. Lau, Published by Van Nostr, Reinhold Co., (1994)
 20. Y.S. Chai, Circuits Assembly, October (1997) 30.
 21. B.P. Czaplicki, Circuits Assembly, October (1997) 40.
 22. Y. Tsukada, Y. Mashimoto, N. Watanuki, Proc. 43rd Electro. Comp. Technol. Conf., (1993) 199.
 23. D. Suryanarayana, J.A. Varcoe, J. V. Ellerson, Proc. 45th Electro. Comp. Technol. Conf., (1995) 524.
 24. S.L. Buchwalter, L.L. Kosbar, J. Polym. Sci., Part A: Polym. Chem., 34 (1996) 249
 25. A. Afzali-Ardakani, S.L. Buchwalter, J.D. Gelorme, L.L. Kosbar, B.H. Newman, F.L. Pompeo, U.S. Patent, 5,560,934, October (1996)
 26. S.L. Buchwalter, A.J. Call, J.T. Coffin, F.L. Pompeo, Proc. 1st Int. Symp. Adv. Packag. Materterials, Process, Properties, Interfaces, ISHM, February (1995) 7
 27. S. Yang, J. Chen, H. Korner, T. Breiner, C.K. Ober, M.D. Poliks, Chemistry of Materials, 10 (1998) 1475.
 28. L. Crane, A. Torres-Filho, C.K. Ober, S. Yang, J.S. Chen, R.W. Johnson, J.H. Constable, Proc. 3rd Int. Conf. Adhesive Joining, Coating Technology in Electronics Manufacturing, (1998) 262.
 29. L. Wang, C.P. Wong, Proc. 48th Electro. Comp. Technol. Conf., (1998) 92.
 30. L. Wang, C.P. Wong, IEEE Trans. Adv. Packag., 22(1) (1999) 46.
 31. C.P. Wong, L. Wang, S. Shi, Mater. Res. Innov., 2(4) (1999) 232.
 32. S.R. Iyer, P.K. Wong, U.S. Patent 5,760,337, June (1998)
 33. S.R. Iyer, P.K. Wong, U.S. Patent 5,726,391, March (1998)
 34. L. Nguyen, P. Fine, B. Cobb, Q. Tong, B. Ma, A. Savoca, Proc. SPIE Int. Soc. Opt. Eng., 3582 (1998) 707.
 35. B. Ma, Q. Tong, A. Savoca, T. Debarros, J.H. Constable, Proc. 3rd Int. Conf. Adhesive Joining, Coating Technology in Electronics Manufacturing, (1998) 252.
 36. B. Ma, Q. Tong, A. Savoca, M. Bonneau, T. DeBarros, Proc. 4th Int. Symp. Adv. Packag. Materterials, Process, Properties, Interfaces, (1998) 1.
 37. A.J. Call, S.L. Buchwalter, S. Iruvanti, S.J. Jasne, F.L. Pompeo, P.A. Zucco, W.M. Moreau, U.S. Patent 5,659,203, August (1997)
 38. C.P. Wong, D.F. Baldwin, U.S. Patent Disclosure (in progress), April (1996)
 39. S. Shi, G. Jefferson, C.P. Wong, Proc. 3rd International Symposium, Exhibition on Advanced Packaging Materials, (1997) 42.
 40. AMTECH Technical Bulletin on Advanced SMT Solder Creams, (1996)
 41. S.H. Shi, T. Yamashita, C.P. Wong, Proc. 49th Electro. Comp. Technol. Conf., (1999) 961.
 42. S.H. Shi, T. Yamashita, C.P. Wong, Proc. 5th Int. Symp. Adv. Packag. Mater., (1999) 337.
 43. L. Wang, C.P. Wong, Proc. Int. Symp. Electro. Mater. Packag., (2000) 224.
 44. C.D Johnson, D.F. Baldwin, Proc. 49th Electro. Comp. Technol. Conf., (1999) 951.
 45. C.D Johnson, D.F. Baldwin, Proc. 5th Int. Symp. Adv. Packag. Mater., (1999) 73.
 46. Q.K. Tong, B. Ma, E. Zhang, A. Savoca, L. Nguyen, C. Quentin, S. Luo, H. Li, L. Fan, C. P. Wong, Proc. 50th Electro. Comp. Technol. Conf., (2000) 101.
 47. B. Ma, Q.K. Tong, E. Zhang, S.H. Hong, A. Savoca, Proc. 50th Electro. Comp. Technol. Conf., (2000) 171.