

고속 집적회로 시스템 설계에서 혼선잡음 최적화에 관한 연구

(Crosstalk optimization in high speed VLSI systems)

김기범[†] 신현철^{**}
(Kibum Kim) (Hyunchul Shin)

요약 집적회로 시스템이 고집적화 됨에 따라 interconnection에서 인접한 두 신호선에서 발생하는 cross-coupling capacitance에 의한 혼선잡음 때문에 logic fault나 delay fault가 일어날 수 있다. 현재 산업체에서 혼선잡음문제를 미리 발견하고 예방하는 방법이 없어서 모든 설계가 끝난 후 일일이 손으로 확인을 하고 사양을 만족하지 못하는 경우에는 설계수정을 하는 경우가 많았다. 본 논문에서는 두 신호선 간의 거리, 입력신호의 slew rate, 신호선의 두께, 신호선의 길이가 혼선잡음에 미치는 영향을 분석하고, 혼선잡음을 발생시키는 여러 요소에 대한 해결방안을 정리하여 제시하였고, noise에 대한 값을 table로 정형화하여 설계 최적화를 쉽게 수행할 수 있도록 하였다.

키워드 : 신호 혼선, 설계 최적화

Abstract As VLSI systems become integrated at large-scale, logic fault or delay fault may result from crosstalk noise originated from cross coupling capacitance which exists between two adjacent wires. Because designers in industry do not have means to prevent crosstalk problems, they should check and adjust unsatisfactory designs after all designs are completed, if necessary. In this paper, we analyze how spacing, slew rate, line width, and line length influence the crosstalk, and suggest some solutions for the various factors that may cause crosstalk problems. we also propose how to optimize the designs by using standardization of noise tables.

Key words : crosstalk

1. 서론

집적회로에서의 고속화, 고집적화, SOC 추세로 인하여, 칩 내의 배선에서의 혼선잡음에 관한 문제가 중요하게 대두되고 있다. 현재까지는 interconnect 모델링을 어떻게 정확하게 하느냐가 많이 연구되어왔다. 즉, 혼선잡음의 정확한 산출을 위한 모델링 방법들이 많이 제시되었다. 예를 들면, 기존의 노이즈계산 방법중의 하나인 final value theorem method[1]가 실제의 노이즈 값보다 더 큰 노이즈로 계산할 수 있으므로 더 정확한 노이즈

계산 방법인 new time efficient method를 제안하기도 하였고[2], 일반적으로 사용하는 모델링을 변형시킨 새로운 2π 모델을 제시하여 일반적 모델링의 초과산출을 방지하여 정확한 모델링을 하는 방법도 제시되었고[3], slew rate에 따른 switching factor를 설정하여 노이즈를 검색하는 방법도 연구되어 왔다[4]. 또한 RC 모델링(reduction), delay 계산, timing 및 혼선잡음등 interconnect와 관련된 문제들을 다루는 tool들의 정확도를 검증하는 system을 제안하기도 하였다[5]. 그리고, 최적화를 하는 방안으로써는 gridded channel 배선방법을 사용할 때 배선하고자 하는 nets에서 혼선잡음 제약을 만족하는 범위 내에서 기존의 channel routing 알고리즘을 사용하면서 배선트랙을 교환함으로써 배선 결과를 향상시키는 방법도 연구되었고[6], Lagrangian relaxation을 이용하여 게이트와 신호선의 크기를 조절해 줌으로써, 최적화를 수행하는 연구도 진행되었다[7]. 본 논문에서는 혼선잡음을 최소화하는 방법론을 제시함

· 본 연구는 2001년 한양대학교 교내 연구 지원을 받았다

[†] 비회원 : 한양대학교 컴퓨터공학과
gbkim@dslab.hanyang.ac.kr

^{**} 종신회원 : 한양대학교 컴퓨터공학과 교수
shin@hanyang.ac.kr

논문접수 : 2002년 3월 4일

심사완료 : 2003년 2월 11일

에 있어서 혼선잡음에 영향을 줄 수 있는 각종 요소들을 분석하고 최적화하는 방법을 제시하여, 회로 설계자 및 CAD 연구자들이 회로 설계에서의 실제적인 최적화를 쉽게 할 수 있도록 도와 주고자 한다.

2. 본 론

먼저 각 요소가 noise에 미치는 영향을 실험적으로 분석해 본다. 실험은 0.18 μm 공정의 metal layer 1의 신호선의 폭 = 0.32 μm , 신호선 간의 거리 = 0.32 μm , 신호선의 두께 = 0.64 μm , 신호선에서 reference까지의 거리 = 1.00 μm , 출력 저항 = 180 Ω 의 data를 사용하였고, 실험은 SUN Sparc Ultra 80 workstation에서 star-HSPICE wire model을 사용하였다.

그림 1에서 strip1은 aggressor line이고, strip2는 victim line이다.

본 연구에서 사용된 모델은 전송선 이론을 이용하여 두 신호 선을 하나의 전송 선으로 모델링 하여 R,L,C,G network으로 분석해 주는 star-HSPICE의 새로운 모델링 방법이다[8]. 본 연구에서는 이 모델을 이용하여 신호선 간의 거리, 입력신호의 slew rate, 입력신호의 방향, 신호선의 길이, 신호선의 폭등이 각각 혼선잡음에 미치는 영향을 알아보고 이를 이용하여 최적화하는 방법을 개발하였다. 그림 1에서 볼 수 있듯이 클럭 스피드가 1 GHz에서의 클럭을 기준으로 클럭의 주기가 1ns

인 입력신호를 aggressor line에 인가하였을 때 victim line에서의 peak noise voltage를 알아보는 실험을 하였다. 먼저 신호선 간의 거리가 노이즈에 미치는 영향을 알아본다.

2.1 신호선 간의 거리

Spacing이란 두 신호선 간의 거리를 말하는데 그림 1에서 볼 때 strip1(aggressor, 이하 agg.)과 strip2(victim, 이하 vic.)간의 거리를 말한다. 일반적인 capacitance를 고려 해 볼 때 capacitance는 거리에 반 비례하고 길이에 비례하는 성분이다. 그래서 간단히 생각하면 신호선 간의 거리가 증가하면 증가시킨 만큼 노이즈도 감소 할 것 같지만 실제적으로 생기는 기생적인 소자 값을 고려하지 않음으로 인한 오차 때문에 거리를 2배로 증가 시켰다 할지라도 노이즈가 1/2로 감소하지는 않는다. 따라서 일반적인 간단한 capacitance의 수식을 coupling capacitance이론에 적용하기 힘들다. 이에 본 연구에서는 물리적 본질과 전기적 특성 또한 수동 소자들까지 고려 할 수 있는 모델로 실험하여 table로 정형화 시켰다.

그림 2에서 spacing을 점차 늘이면서 noise측정을 한 결과 값을 그래프로 나타내었다. 결과적으로 멀리 떨어질수록 noise는 감소한다. 표 1에서는 spacing을 증가시키고 감소 시켰을 때 얼마만큼의 noise증가와 감소가 나타남을 분석, 정리해 놓았다. 거리를 줄이고 늘이는 양은 특별한 의미가 있는 값이 아니라 서서히 거리를 늘이고 줄일 때 노이즈 값이 얼마나 변하는지 보기 위하여 0.1 μm 만큼을 늘이고 줄이면서 실험을 하였다. 통상 coupling capacitance는 신호선 간의 거리의 차의 지수 함수 배로 표현되어 진다.

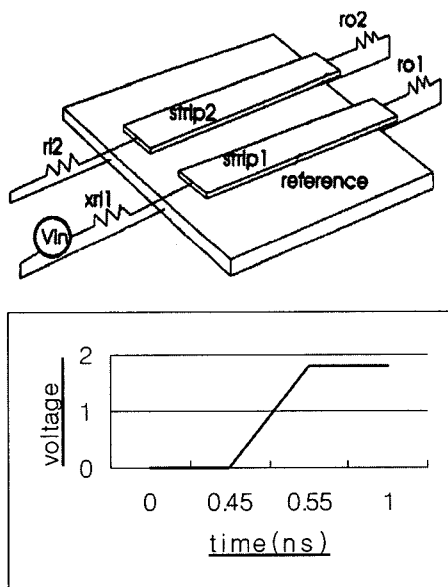


그림 1 Two Coupled Micro strips

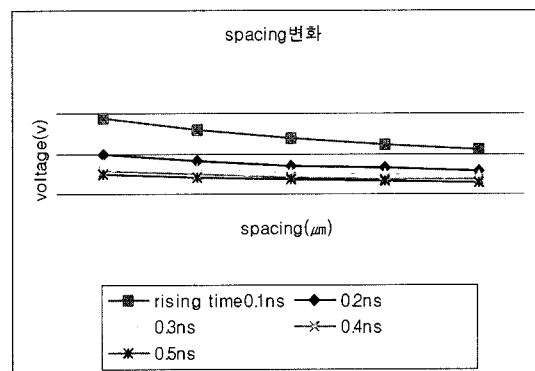


그림 2 Spacing에 따른 noise 변화

표 1 Spacing에 따른 noise table

| Δt \ 거리 | 0.1ns | 0.2ns | 0.3ns | 0.4ns | 0.5ns |
|--------------------|-------|-------|-------|-------|-------|
| 0.12 μm | 20.6% | 14.6% | 12.3% | 10.5% | 9.5% |
| 0.22 μm | 8% | 5.8% | 4.5% | 4.2% | 3.6% |
| 0.32 μm | 0 | 0 | 0 | 0 | 0 |
| 0.42 μm | -6% | -4.1% | -3.3% | -2.8% | -2.2% |
| 0.52 μm | -11% | -7.6% | -5.8% | -4.9% | -4.4% |

$$C_c = C_{adj} \exp(k(s_{MIN} - s)) \left(\frac{s_{MIN}}{s}\right)^p \quad (1)$$

C_{adj} =Per-edge fringing cap to neighbor shielding,
 k = Exponential coefficient for C_{adj} reduction with increasing space,
 s_{MIN} stands for minimum metal spacing between two metal wires.

식 (1)에서 표현되므로 coupling capacitance는 신호선 간의 거리의 지수함수이므로, 신호선 간의 거리를 같은 양으로 늘리고 줄였을 때 coupling capacitance가 같은 양으로 커지고 작아지지는 않는다. 따라서 노이즈도 같은 양으로 커지고 감소하지는 않는다.

2.2 Slew rate

Slew rate라 함은 입력신호의 전압의 변화율이다. 즉 $\text{slew rate} = \frac{\Delta V}{\Delta t}$ 이다. 본 실험에서는 입력신호의 천이시간, 즉 Δt 를 변화 시켜 가면서 실험을 해 보기로 하였다.

Slew rate는 작으면 작을수록 좋지만, 표 2에서 천이시간(Δt)을 0.1ns에서 0.2ns로 감소 시켰을 때의 증가분이 가장 효율적이라고 할 수 있다. 0.1ns에서 0.2 ns로 증가 시켰을 때는 31.7%가 감소하지만 더 이상 증가 시켜도 8%이내의 노이즈 감소율을 보인다. 기본적으로 우리는 0.1ns의 천이시간을 갖는다고 가정하고 실험을 하였다. 그림 3과 표 2를 보아도 알 수 있듯이 slew rate를 1/2배(천이시간, $\Delta t=0.2\text{ns}$)로 감소 시켰을 경우, 모든 경우에 비해서 월등히 좋아지는 noise보상율을 볼 수 있으나, 3배(0.3ns)-4배(0.4ns)-5배(0.5ns)로 slew rate를 감소 하여 보면 그 증가율은 감소하여 3-5%정도의 noise 감소율을 보인다.

따라서 slew rate이 크면 클수록 더욱 더 심한 노이즈가 생김을 알 수 있다. 하지만 천이시간을 너무 크게 잡는 것도 좋다고 할 수는 없다. 우리가 이번 실험에서 사용한 클럭은 1ns인데, 천이시간을 너무 크게 잡는다면 충분한 setup time과 hold time을 확보 할 수 없어서 시스템이 오 동작 할 염려가 있다. Slew rate를 조절해

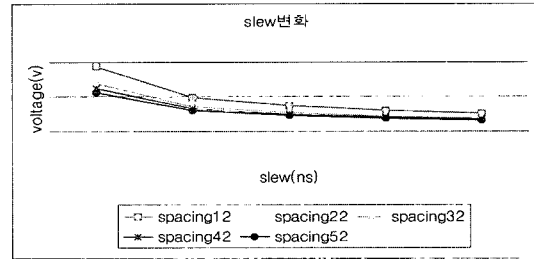


그림 3 Slew의 변화에 따른 noise 변화

표 2 Slew변화(천이시간= Δt)에 따른 노이즈 변화 table

| Δt \ 거리 | 0.12 μm | 0.22 μm | 0.32 μm | 0.42 μm | 0.52 μm |
|-----------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| 0.2ns | -31.7% | -29.6% | -28.2% | -26.8% | -25.5% |
| 0.3ns | -39.7% | -37.4% | -35.3% | -33.5% | -31.6% |
| 0.4ns | -44.9% | -42% | -39.9% | -37.9% | -35.8% |
| 0.5ns | -47.7% | -44.7% | -42.4% | -40.2% | -38.2% |

주는 방법에 있어서, 많이 쓰이는 버퍼체인과 개선된 방법인 feedback capacitance를 이용한 slew rate controlled output buffer[9]와 2 input NAND, 2 input NOR, inverter로 구성된 controlled slew rate output buffer[10] 등을 사용할 수 있다.

2.3 신호의 방향성

Agg. line과 vic. line에 인가된 전압의 방향이 서로 다르면 Miller effect로 인하여 회로 내에서의 coupling capacitance는 더 크게 느낄 수가 있는데 그 인가된 전압의 slew rate의 차이가 클 경우 원래 회로에서 추출된 coupling capacitance의 여러 배까지 커질 수 있다.

그림 4의 경우와 같이 두 line에 인가된 전압의 slew

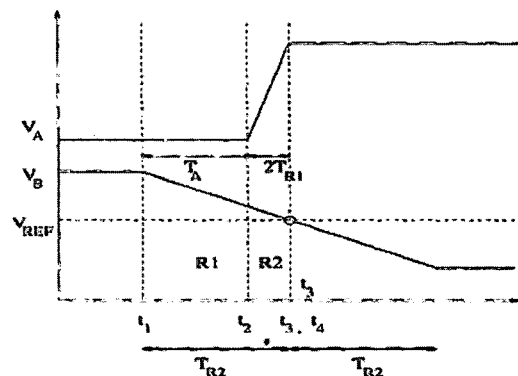


그림 4 두 신호가 반대방향일 경우

rate의 차이가 난다면, agg.의 신호(V_A)와 vic.의 신호(V_B)가 서로 다른 slew rate을 가진 반대 방향의 신호일 때, 두 line간의 coupling capacitance는 static coupling capacitance(C)에 비해 위의 그림 4에서는 최대 3배까지 나빠진다[4]. 그에 반하여 V_A 와 V_B 가 같은 방향이라고 하자. V_B 의 천이시간(TR_2)이 V_A 의 transaction time(TR_1) 보다 크면($TR_2 \gg TR_1$) C 가 음수값을 얻을 수가 있다. [4] 이와 같이 신호들의 방향을 고려하여 배선을 하는 것이 중요하다.

2.4 신호선의 길이

Metal layer에서 신호선의 길이가 증가하면 그에 따라서 line resistance와 area capacitance가 증가하게 된다. 이에 따라서 노이즈 값도 커지게 되는데 이번 실험에서는 신호선의 중복된 길이에 따른 noise의 변화를 관찰하였다. 실험은 agg.와 vic. line에서의 두 line이 중복된 길이를 정하여 실험하였다.

신호선의 길이는 표 3이나 그림 5에서도 쉽게 알 수 있듯이, 거의 선형적인 변화를 볼 수 있다. 표 3에 나타난 증가 분에 관한 값은 우리가 본 논문에서 말하는 기준에 대한 증가 분이다. 길이에 대하여 노이즈는 반비례하므로 가장 적게 접치는 것이 중요하다. 즉, 중복되는 길이가 적으면 가장 좋은 결과 값을 얻을 수 있다. 중복

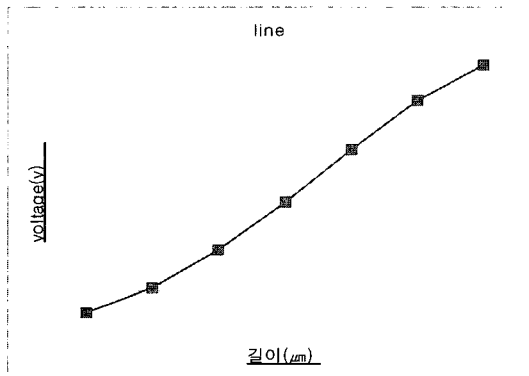


그림 5 Line length에 따른 noise변화

표 3 신호선의 길이에 따른 노이즈변화 table

| Line 길이 | noise 증가분 |
|---------|-----------|
| 2배 증가 | 14.30% |
| 1/2 | -20.60% |
| 1/4 | -42.40% |
| 1/6 | -61.90% |
| 1/8 | -77.90% |
| 1/10 | -87.70% |

된 길이를 줄이기 위해서는, channel routing시 각각의 line간의 거리를 weight로 환산, weighted constraint graph로 표현한 후 line간의 접치는 거리를 최소화해서 routing하는 algorithm들이 이용되고 있다[6].

2.5 신호선의 폭

이번에는 신호선의 거리를 고정시킨 상태에서 신호선의 폭을 변화 시켜가면서 실험을 하여 결과를 그림 6에 보았다.

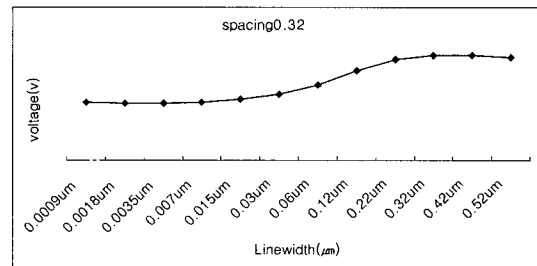


그림 6 Line width에 대한 noise 변화

우리가 실험한 라이브러리의 신호선의 폭보다 작은 값을 선택했을 때 식 (1)의 C_{adj} 값이 감소하기 때문에 노이즈는 감소하고 신호선 폭이 넓어지면 면저항 값이 작아지기 때문에 노이즈 감소가 일어난다. 이때 신호선의 폭이 작아질 때 더 급격한 감소를 보여주는 이유는 C_{adj} 의 변화가 크기 때문이다. 하지만 신호선 폭을 라이브러리 값보다 작게 하는 것은 공정상 불가능한 방법이므로 우리는 신호선의 폭을 넓히는 방법으로 최적화를 하였다.

3. 통합 table

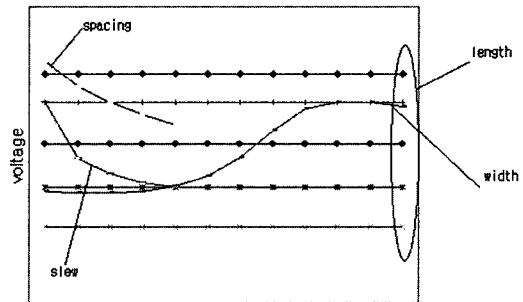


그림 7 전체조건 그래프

그림 7은 모든 데이터를 한눈에 볼 수 있도록 나타낸 그래프이다. 노이즈 전압값을 기준으로 여러 가지 혼선 잡음 요소들을 비교하여서 더 적은 노이즈 값을 찾기

위하여 2가지 이상의 요소들을 첨가하여 노이즈를 비교 하였다. 여기에서 우리는 혼선잡음이 발생한 부분을 찾아서 보상할 수 있는 방법을 찾는다. 참고로 여기서 직선은 중복된 신호선의 길이이다.

그림 7에서 확인 할 수 있는 값들을 그림 8처럼 좀 더 세분화해서 비교 할 수 있다. 여기서 볼 수 있듯이 혼선잡음에 대한 여러 요소(factors)의 민감도를 알 수 있으며, 어떤 요소를 얼마나 완화하면 얼마큼 잡음 간섭이 완화되어지는 지도 알 수 있다.

DSM공정으로 발전해 감으로써 예전에 상용해 왔던 RC-trees나 그 밖의 많은 방법들로 혼선잡음을 분석하기에는 한계점들이 생겨나기 시작했다. 그래서 본 연구에서는 star-HSPICE의 wire model을 이용하여 RLCG network를 이용한 다양한 실험을 통하여 미리 정형화된 table값을 얻고, 이를 이용하여 설계 최적화를 수행함으로써, 좀더 정확하고 빠르게 혼선잡음 문제들을 풀고자 하였다.

실험을 통해서 얻은 데이터를 통합적으로 비교 분석할 수 있는 table을 정리하여, 효과적인 최적화를 할 수 있는 방법을 찾을 수 있다. 최적화의 방법을 한 눈에 알아 볼 수 있도록 그림 9의 최적화 알고리즘에 나타내었다. 3장에서 밝힌 값들을 참조하여 slew, 거리, 길이 등을 서로 비교하여 좋은 결과 값을 얻는다. 그때의 노이즈 전압값 들이 우리가 정한 최적화 한계 안에 들어오면 최적화를 마치고 그렇지 않다면 과정을 되풀이하여 최적화 과정을 수행한다.

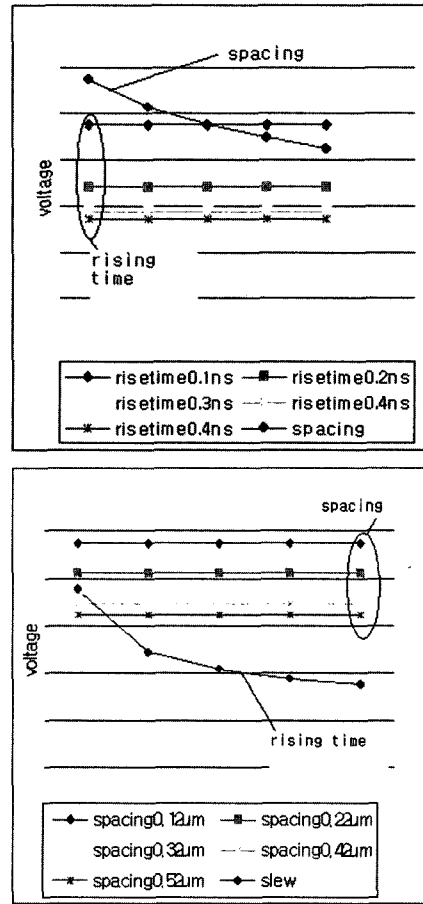


그림 8 조건별로 구분된 그래프

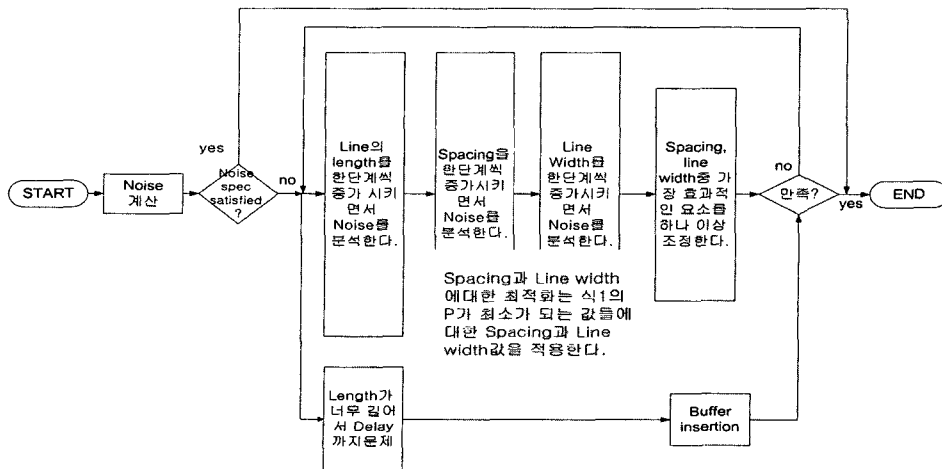


그림 9 최적화 알고리즘

3.1 검색방법

처음에 통합화 된 table을 보고 시스템의 노이즈를 분석하여 사양을 만족하면 문제없이 수행을 마치고, 사양을 만족하지 않으면 길이, 신호선 간의 거리, 신호선의 폭을 검색하게 된다.

이때 거리와 폭이 미치는 영향은 그리 크지 않을 뿐 더러 각각의 조건들을 다 검색하다 보면 $l*s*w$ 번의 검색을 하기 때문에 너무 많은 검색을 하게 된다. ($l=overlap\ line\ length$ 를 검색하는 횟수, $s=spacing$ 을 검색하는 횟수, $w=line\ width$ 를 검색하는 횟수) 따라서 두 가지 요인(거리와 신호선의 폭)을 동시에 변화 시켜줌에 따라서 노이즈가 변하는 것을 검색하였다. 그리고 최적화 된 신호선의 거리와 신호선의 폭을 찾는다.

이때에는 violation이 생기지 않는 범위 내에서 여러 가지 값들의 거리와 신호선의 폭의 값을 가질 수 있다. 때문에 여기서는 최소면적에 관하여 고려하게 된다. pitch를 고려하여 violation을 허용하는 범위 내에서 가장 작은 pitch값을 가질 수 있게 한다면 우리가 원하는 boundary를 만족하면서도 최소 면적으로 routing이 되는 spacing이나 length들을 찾을 수 있게 된다. 식 (2)는 최소 면적을 위한 값을 찾기 위한 식이다.

$$P = spacing * (\# of line - 1) + line\ width * (\# of line) \quad (2)$$

동일 layer에서 각각의 metal wire의 넓이와 신호선 간의 거리(spacing)가 같다면, 그림 10에서 보면 알 수 있듯이 일반적인 pitch를 고려하는 식인, 신호선 간의 거리+신호선의 폭(두 신호선의 중심점사이의 거리)으로 신호선의 거리와 신호선의 폭을 정하면 면적이 최소화됨을 알 수 있다. 식 1에 의해서 구한 spacing과 line width가 최소가 될 때 최소면적이 되기 때문에 P가 최소가

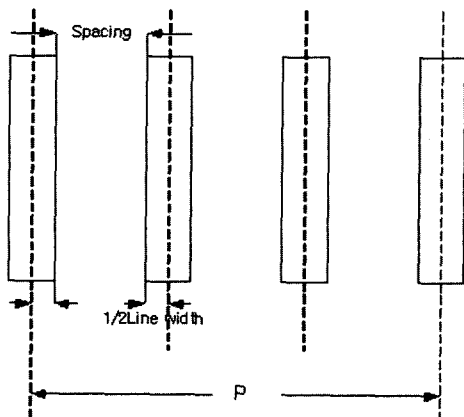


그림 10 최소 면적의 그림

되게 만들어주는 spacing값과 line width값을 선택하여서 최적화를 종료한다. 이때 모든 violation에 대한 허용범위나 peak noise값들은 table을 참조한다. 본 연구에서는 신호선이(# of line=2) 두 개인 경우에 한하여 실험을 하였다. 만일 agg. 가 여러 개인 경우에는 vic.에 더 많은 영향을 줄 수도 있다. 이 경우에는 vic. 에 더 많은 노이즈가 발생하므로 우리가 원하는 신호선 간의 거리, 신호선 간의 폭은 2개의 신호선인 경우보다 더 큰 값을 원하게 된다.

4. 실험 결과

다음은 위 3장의 알고리즘을 토대로 하여 실험을 한 결과이다. Agg. line에 의하여 vic. line이 허용범위를 넘는 노이즈 값을 가질 때 본 연구의 알고리즘을 사용하여 얼마나 노이즈가 감소 할 수 있는가에 대하여 실험을 하였다. 실험 회로는 앞에서 밝힌 그림 1에 대한 wire model을 적용하여 실험하였다.

그림 11은 위의 최적화 알고리즘을 수행한 후 개선된 vic. line에서의 신호 파형이다. 그림 안에서 위 부분의

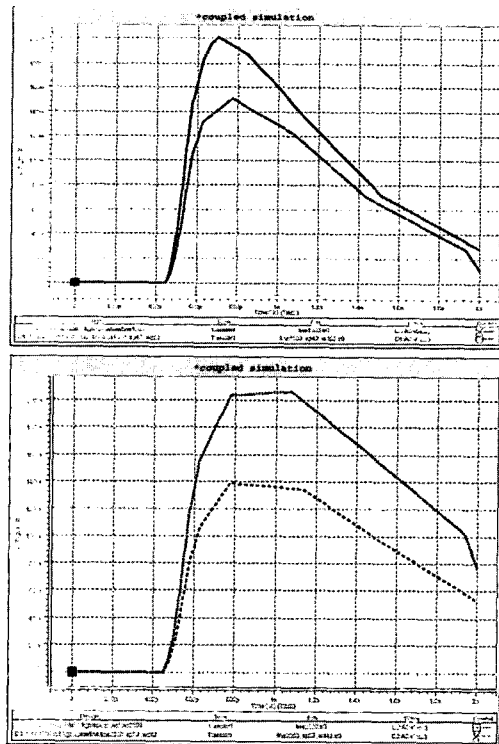


그림 11 최적화 수행 후의 개선된 신호 파형

실선은 개선되기 전의 문제되는 파형이고 아래의 점선은 개선된 파형이다. 본 연구에서 정한 허용범위는 최소 크기 인버터의 입력과 출력 전압 비의 곡선에서의 기울기가 -1인 지점인 0.18v로 잡았다. 따라서 vic. line에서 0.18v이상의 노이즈가 발생하면 violation이 발생하였다고 가정하고 0.18v 이하의 노이즈가 발생하면 violation이 발생하지 않다고 가정하고 실험하였다. 그림 11의 위에 그림에서 실선은 중복된 신호선의 길이를 증가함에 따라서 violation이 발생한 경우이다. 이 실험에서는 1000 μ m일 경우인데, 이때 신호선의 거리를 기본 값으로 정한다면 신호선의 폭에 관한 값은 table의 4step이상을 증가 시켜야 violation 허용범위 안으로 들어가게 되고, 신호선의 거리를 1step만 늘이면 신호선의 폭은 3step이상 증가시키면 violation 허용범위 안으로 들어오게 된다. 이때 면적이 최소가 되기 위하여 식 1의 P값이 최소가 되는 신호선의 거리 값과 폭의 값은, 신호선의 거리를 1step늘이고 폭을 3step을 늘일 경우이다. 이때 vic. line에서의 peak 노이즈값을 아래의 점선으로 나타내었다. 마찬가지로 아래그림도 위의 실선은 중복된 신호선의 길이가 1500 μ m일 때 violation이 생긴 경우이다. 이 경우는 신호선의 거리를 기본 값에 놓고 신호선의 폭을 4step이상 증가시킬 경우와 신호선의 거리를 1step증가시키고 신호선의 폭을 2step이상 증가시킬 경우, 또 신호선의 거리를 2step증가시키고 신호선의 폭을 1step이상 증가시킬 경우가 모두 violation 허용범위 안에 들게 된다. 역시 면적을 최소화하기 위하여 P값이 최소가 되는 값을 알아보면 신호선의 거리를 2step을 증가시키고 신호선의 폭을 1step증가시킬 때가 P값이 가장 작은 값이다. 그때 값을 적용하여 최적화시킨 vic.의 peak 노이즈를 점선에 나타내었다. 그림 11을 보면 알 수 있듯이 violation이 일어난 두 신호선이 최적화알고리즘을 통하여 노이즈를 감소 시켜서 violation 허용범위 안으로 들어오고 있음을 잘 보여주고 있다.

5. 한계 및 추후 연구

본 논문에서 실험한 방법인 star H-SPICE의 wire 모델링 방법은 신호선 간의 거리, 신호선의 폭, 신호선의 두께, 신호 선과 reference plane과의 거리로써 노이즈와 delay를 알아보는 방법이다. 그렇기 때문에 실질적인 소자 값을 알기가 어렵고 많은 수의 신호 선에 대한 실험이 힘들다. 하지만 신호선의 두께, 신호 선과 reference plane과의 거리로써 그 결과 값을 짐작 할 수 있으므로 실험의 가치는 충분하다고 본다. 앞으로는 여러 신호선에 대한 모델링과 실험을 통하여 다양한 경우에 대한

실험과 결과 정립이 필요하다.

6. 결론

본 논문에서는 혼선잡음 문제에 있어서 고려할 수 있는 여러 요소들(신호선들 간의 거리, slew rate, 신호선의 폭, 신호선의 길이)이 끼칠 수 있는 영향들을 분석하였고, 현재까지 제안된 문제 해결방안도 함께 제시하였다. 또한 미리 정형화된 노이즈 값들에 대한 수치나 table을 이용함으로써, 실제적인 최적화를 효과적으로 할 수 있었다.

참고 문헌

- [1] C.L. Phillips, Signals, systems and Transforms, 2nd ed. Englewood Cliffs, NJ: Prentice-Hall, 1999, ch. 7
- [2] M. Kuhlmann, S. S. Sapatnekar. "Extract and Efficient Crosstalk Estimation", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. Vol. 20. No. 7. July 2001 pp 858-866.
- [3] J. Cong, D. Z. Pan and P. V. Srinivas. "Improved Crosstalk Modeling for Noise Constrained Interconnect Optimization", Design Automation Conference, 2001. proceedings of the ASP-DAC 2001. pp 373-378.
- [4] A. B. Kahng, S. Muddu, and E. Sarto. "On Switch Factor Based Analysis of Coupled RC Interconnects", Design Automation Conference, 2000. Proceedings 2000 pp 79-84.
- [5] 양재석, 김정일, 최준호, 유문현, 공정택 "Deep Submicron 설계의 interconnect 모델링 자동 비교 분석기(IntView) 개발", 2001 SOC Design conference Volume1 pp 775-780.
- [6] T. Gao and C. L. Liu "Minimum Crosstalk Channel Routing", Computer -Aided Design of Integrated Circuits and Systems, IEEE Transaction on, volume: 15 Issue: 5, May 1996 pp 465-474.
- [7] J. Cong and D.Z. Pan, "Interconnect Estimation and Planning for Deep Submicron Designs", Proc. DAC, pp 507-510.
- [8] Star-Hspice Manual Volume 4 Applications and Examples v.1999.2 Appendix B. Ideal and Lumped Transmission Lines.
- [9] F. Garcia, P. coll, and D. Auvergne. "Design of a Slew Rate Controlled Output Buffer", ASIC Conference 1998. proceedings. Eleventh Annual IEEE International, 1998.
- [10] K. LEUNG "Controlled Slew rate Output Buffer", IEEE 1988 custom Integrated Circuits Conference.



김 기 범

2001년 한양대학교 전자컴퓨터공학부 학사. 2003년 한양대학교 전자제어계측공학과 석사. 현재 삼성전자 DS총괄 System LSI 사업부. 관심분야는 VLSI CAD, Signal Integrity



신 현 철

1974년~1978년 서울대학교 전자공학 학사. 1978년~1980년 한국과학기술원 전기 및 전자공학 석사. 1983년~1987년 U.C Berkeley 전기 및 컴퓨터공학 박사. Fulbright scholarship 수여. 1980년~1983년 금오공과대학 조교수. 1985년~1987년 U.C Berkeley ERL 연구원. 1987년~1989년 AT&T Bell Lab Murray Hill, N.J. 연구원. 1989년~현재 한양대학교 교수. 1997년~현재 반도체 설계 교육 지역센터 소장