

# 차세대 고속 디지털 패키지 설계 (Design of Next Generation High-speed Package)



• 김정호 •  
KAIST  
전자전산학과 부교수

## 1. 서론

패키지의 역할은 그림 1에 도면으로 나타나 있다. 그림에서 보는 것처럼 패키지는 2차 인터컨넥션으로 1차 인터컨넥션인 칩내의 배선과 3차 인터컨넥션인 PCB 배선간의 중간 연결선 역할을 한다. 좀 더 자세히 살펴보면 패키지의 역할은 신호선 연결, 칩에 전력 공급, 접지선 제공 등의 기본 기능뿐만 아니라 수동소자를 제공하고 재배선 역할을 제공한다. 더 나아가 물리적, 화학적 충격을 흡수하고 열을 방출하는 기계적 기능을 갖는다[6]. 패키지 설계 입장에서 중요한 목적은 충분히 높은 주파수의 신호까지

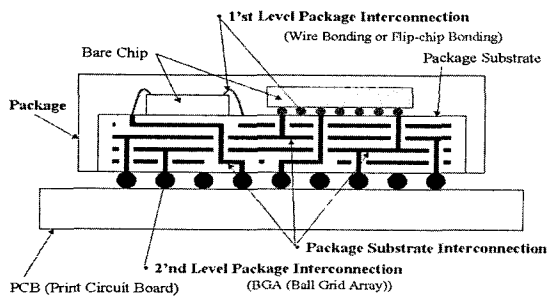


그림 1. 패키지의 역할을 나타내는 도면.

전송하고 칩이 처리할 수 있도록 패키지 호선을 설계하는 것이 1 차적인 목표이다[1,2,4,5]. 더 나아가 이러한 신호 전송과 처리에 필요한 칩내 전력과 접지를 최소한의 잡음으로 유지시키는 것이 임무라고 그 다음 목표라 하겠다[2,3]. 한걸음 더 나아가 칩내에 신호처리, 전송에 필요한 각종 수동소자를 패키지에서도 제공하게 된다[4,2]. 이러한 목적을 패키지 설계의 목적을 달성하면서도 동시에 칩내 배선과 PCB 배선 사이의 재배선 기능을 무난히 만족시켜야 한다.

그러나 이러한 패키지의 기능을 만족하는 설계는

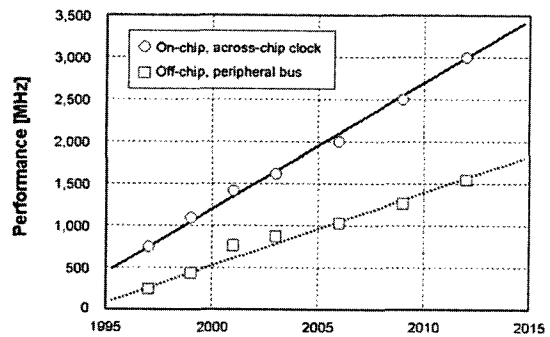


그림 2. 앞으로 예상되는 On-chip, Off-chip Clock 주파수의 증가.

신호 및 전류의 주파수가 증가하고 공급 전류가 증가하면서 급격히 어려움을 맞이하게 된다. 이러한 대표적 어려움은 패키지 신호선, 전력선, 접지선에서 발생하는 기생효과 때문이다. 특히 패키지 신호선에서 발생하는 기생효과는 주파수에 비례하게 되어 그 결과로 신호 파형이 왜곡되게 된다. 이런 신호 파형의 왜곡은 Timing margin 의 감소를 발생시켜 동작 주파수에 한계를 만들거나 신호 전송에 오류를 만들게 된다. 마찬가지로 전력선, 접지선도 마찬가지로 주파수가 증가하면 회로의 인덕턴스 효과가 증가하여 전력, 접지선에 잡음을 발생 시킨다. 이러한 전력, 접지선의 잡음은 전류가 증가함에 따라 또다시 증가하게 된다. 이러한 전력, 접지선의 잡음은 신호 파형을 왜곡시키거나, timing margin 을 감소시키고 또한 전자파 발생 요소가 된다[3]. 따라서 차세대 고성능 패키지를 설계하기 위해서는 재배선의 기능을 수행하면서도 신호선, 전력선, 접지선에서 생기는 기생 성분의 효과가 적절히 조절되어 칩의 동작과 신호 전송을 보장하도록 설계하여야 한다. 본 논문에서는 이러한 설계에서 고려해야 할 신호선, 전력선, 접지선의 설계 원리를 소개하도록 한다.

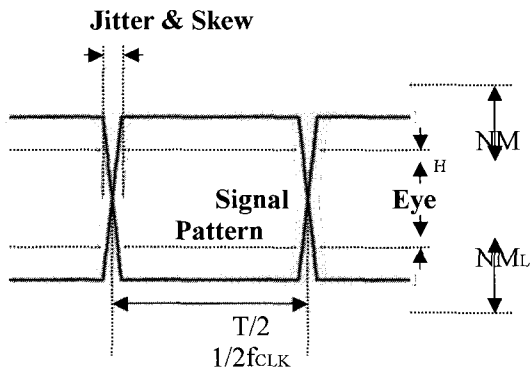


그림 3. 패키지 잡음에 의해서 발생하는 Noise margin 및 Timing Margin 감소.

## 2. 신호선 설계

GHz 이상의 칩내 Clock 주파수를 갖는 고성능 패키지의 경우 BGA, CSP 형태의 패키지와 같이 다층 기판 형태를 갖는다. 기존의 리드프레임 형태의 패

키지는 패키지의 기생성분의 효과가 급속히 증가하기 때문에 사용될 수 없다. 이런 다층 기판을 패키지에서 사용하게 되면 Microstrip, Stripline 또는 Coplanar Waveguide 형태의 전송선 구조를 갖게 된다. 전송선 구조를 갖기 위해서는 신호선 근접 거리에 접지선이나 접지면이 놓여있어 고주파 전자파를 가두어 둘수 있어야 한다. 이러한 목적으로 신호선이 전송선 구조를 갖게 하기 위하여 다층 구조를 갖는 패키지를 사용하게 된다. 이러한 기판의 재료로는 FR4 또는 세라믹기판이 사용되나 저비용 패키지는 FR4 를 주로 사용하고 열을 많이 방출하는 패키지는 세라믹 기판을 사용한다. 일반적으로 BGA 패키지의 경우 다층기판을 사용하며 4층 기판이 주로 많이 사용되는데 1층은 신호 배선, 2층은 접지면, 3층은 전력면, 4층은 Ball pad 용 배선으로 사용한다. 1층의 신호선은 50ohm 임피던스를 갖고 differential signaling 구조의 패키지인 경우 100ohm 임피던스를 갖도록 설계한다.

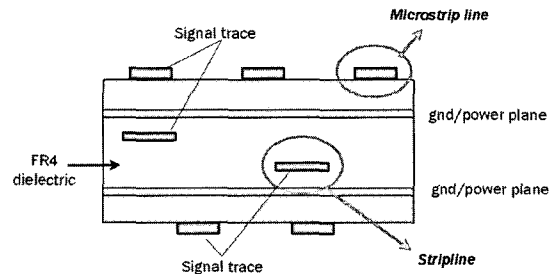


그림 4. 다층 기판 패키지의 층별 역할 분할.

위에서 설명한대로 이상적인 신호선 설계는 임피던스가 맞는 전송선 구조를 설계하면 이상적인 패키지 설계가 이루어 진다. 그러나 패키지는 기본적으로 3 차원 구조를 갖고 있기 때문에 전송선 구조를 유지하기 어렵다. 특히 고주파에서는 작은 기생성분도 그 효과가 더욱 확대된다. 이러한 패키지에서의 기생성분은 wire-bond, via, bond pad, solder ball 에서 생긴다. 그 중에서도 bond wire 에서 주로 인덕턴스 성분이 생기고 bond pad, solder ball, via 등에서 캐패시턴스 성분이 생긴다. 기생성분에 의한 인덕턴스는 신호 지연 시간을 발생시키고 신호 파형의 왜곡을

발생한다. 마찬가지로 캐패시턴스 기생성분은 신호 시간 지연, 신호 파형의 왜곡 현상을 일으킨다. 이러한 현상은 결국 신호의 잡음 마진, 시간 마진을 악화시켜 칩의 신뢰성을 급격히 떨어 뜨린다. 결국 패키지 설계에서는 이러한 신호선에서의 인덕턴스, 캐패시턴스 기생성분을 유효 적절히 조절하여 원하는 주파수까지 칩이 동작할 수 있도록 제공해야 한다.

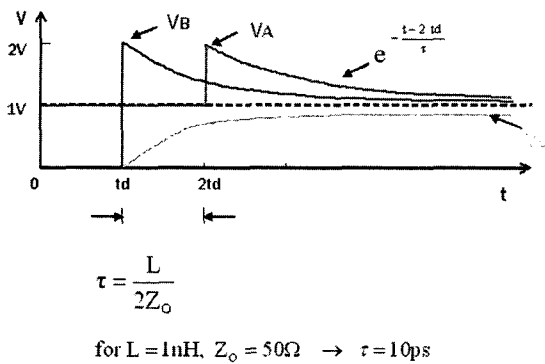


그림 5. 인덕턴스에 의한 신호 파형의 왜곡과 신호 지연.

앞에서도 언급한 것처럼 패키지의 인덕턴스 기생 효과는 1차 적으로 wire bond 에서 발생한다. 이러한 wire bond 에 의한 인덕턴스 효과를 줄이기 위해 flip chip bonding 기술이 사용되며 앞으로도 고전류, 고속 패키지에서는 flip chip bonding 기술이 더 많이 사용될 것으로 본다. 그림 5에서 보는 것처럼 신호선에 인덕턴스 기생효과가 생기면 디지털 신호의 잡음이 Positive overshoot 형태로 생긴다. 이 overshoot 의 크기는 당연히 인덕턴스의 크기에 비례하고 신호의 천이 시간이 짧아 질수록 커진다. 이러한 overshoot 은 그림에서 보는 것처럼  $L/Z_0$  시간 상수를 갖고 정상 상태로 복귀하게 되는데 이 시간이 시스템 및 소자의 시간 지연 현상으로 나타나 시스템 속도를 저하시킨다. 또한 이렇게 발생한 overshoot 은 최종단 임피던스의 부정합 현상에 의해서 반사가 일어나고 이러한 반사는 Inter-symbol Interference 를 발생시켜 디지털 신호간의 간섭을 일으킨다. 뿐만 아니라 이렇게 반사된 펄스는 반사를 거치며 하나의 공진기 역할을 하여 주파수 영역에서 특정 주파수의 잡음을

일으켜 이 신호가 외부로 방출되면 전자파 장애 문제를 일으킨다. 이러한 패키지의 인덕턴스 기생성분 뿐만 아니라 캐패시터 기생 성분도 마찬가지로 신호의 지연, 전자파 장애 문제를 일으킨다. 캐패시터 기생 성분은 bond pad, via 등에서 발생한다. 그림 6에서 보는 것처럼 이러한 패키지의 기생 성분은 종합되어 eye diagram 을 악화시켜 전송 가능한 최대 data rate 를 감소시킨다. 그림 6에서는 이러한 기생 성분으로 인해서 발생하는 Noise margin, Timing margin 의 감소를 눈으로 확인할 수 있으며 3Gbps 로 주파수가 높아감에 따라 Noise margin, Timing margin 이 크게 감소함을 알 수 있다.

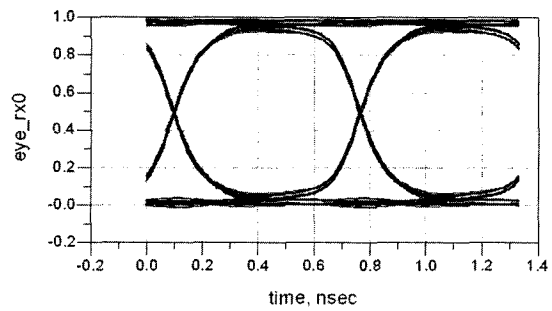


그림 6(a). 1.5 Gbps 에서 계산된 Eye Diagram.

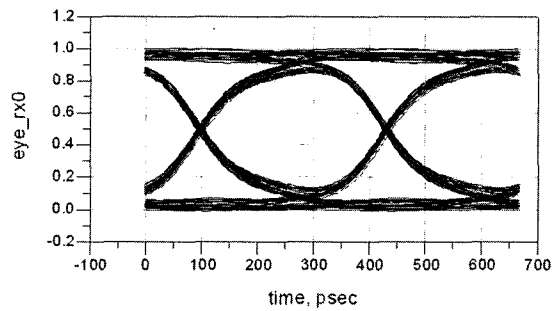


그림 6(b) 3Gbps 에서 계산된 Eye Diagram.

### 3. 누화 현상(CROSSTALK)

패키지에서 전송하는 신호선의 주파수가 상승하면서 새롭게 등장하는 문제가 신호 누화 현상이다.

즉 신호 누화 현상이란 인접한 두개의 신호선 사이의 전자파 간섭 현상으로 인해서 한 신호선에서 발생하는 전자파가 인접한 신호선에 잡음 형태로 유기되는 현상이다. 이러한 신호 누화 현상은 전기 신호의 주파수에 비례하고 신호 선간의 간격에 반비례하며, 신호선의 길이에 비례한다. 고속 디지털 시스템과 반도체의 발전 방향은 당연히 주파수가 증가할 뿐만 아니라 집적화가 발전하면서 신호선간의 거리가 짧아 지고, 길이가 늘어나고 있다. 이러한 총체적 발전의 결과가 신호 누화의 증가를 가져오고 있으며 이러한 문제는 앞으로도 계속 심화될 것으로 본다.

신호 누화 현상은 저주파 회로적 관점에서 보면 두 신호선 사이의 캐패시턴스에 의한 Capacitive coupling, 두 신호선 사이의 상호 인덕턴스에 의한 Mutual inductance 현상으로 구분된다. 저주파에서는 capacitive coupling 현상이 주로 발생하다 고주파가 되면 Inductive coupling 현상이 공존하게 된다. 따라서 신호 누화 현상을 억제하기 위해서는 두 신호간의 capacitive coupling, inductive coupling 현상을 줄여야 한다. 이러한 신호선 사이의 전자파 누화 현상은 신호선의 길이가 계속 증가하면서 전자파 전송 형태로 발전하여 even mode, odd mode 의 두개의 전자파 전송 모드가 발생하게 된다. 이렇게 되면 신호 누화를 억제하기 위해서는 이 두 가지 모드를 제어해 주

어야 한다. 두 가지 모드는 각기 다른 전파속도, 임피던스, 전자장 분포를 가지게 되며 신호 누화 방법도 각각의 모드에 대해서 대처하게 된다. 더 나아가 각각의 모드를 억제하기 위해서는 각각 다른 termination 저항이 필요하게 된다. 이러한 두 개의 다른 누화 모드의 존재는 Near End Crosstalk, Far End Crosstalk 이 서로 자르게 나타나고 해석된다. 그림 7에서는 이러한 even mode, odd mode 의 전자파에 대한 전자장 분포를 그림으로 보여주고 있다.

이러한 신호선 사이의 신호 누화 현상을 줄이기 위해 패키지 설계에서 할 수 있는 일은 두 신호선 사이의 거리를 늘려 주거나 두 신호선 사이에 접지 선이나 접지 면을 설치하는 방법이 있다. 이러한 방법 모두 패키지의 크기를 키우거나 다층 기판의 층수를 증가시켜야 하는데 이 결과는 패키지 가격의 상승을 내게 된다. 이렇게 볼 때 신호 누화 현상에 대한 정확한 예측과 가격과 성능에 맞는 적절한 대비가 필요하다고 본다. 그림 8에서는 측정된 신호 누화 현상을 보여주고 있다. 그림 8에서 보는 것처럼 신호선 사이의 거리(S)에 따라 신호 누화 잡음이 크게 영향을 받고 있음을 확인할 수 있다.

신호선 사이의 누화 잡음은 신호의 주파수의 증가에 따라 그 현상이 더욱 심각해진다. 그 결과로 인접한 신호선의 Noise margin, Timing margin을 줄여 패

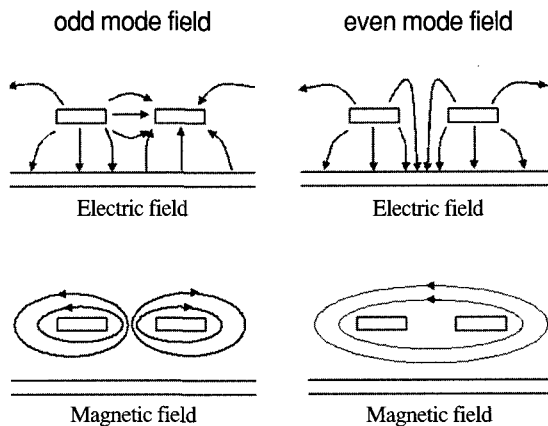


그림 7. 신호 누화 현상을 일으키는 Capacitive coupling, Inductive coupling 현상.

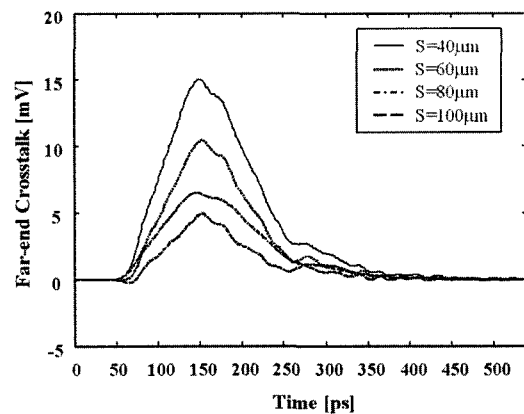


그림 8. 신호선 사이의 거리에 의한 신호 누화 잡음의 크기 변화.

키지가 허용하는 최대 신호 주파수를 억제하고 그 결과로 시스템의 성능을 악화시킨다. 뿐만 아니라 이러한 누화 잡음은 신호선을 따라 전파하게 되며 종단 임피던스가 맞지 않게 되면 중복 반사를 일으켜 송신 단 뿐만 아니라 수신 단에도 잡음을 전달하게 되고 이 잡음이 외부로 유출되게 되면 전자파 장애 현상으로 나타난다.

#### 4. 전력 및 접지선 설계

패키지의 또 다른 중요한 기능이 칩에 필요한 전력의 공급이다. 칩 내에서 필요한 고속 전류 전류를 충분히 공급할 수 있으면서도 동시에 전압 값이 일정한 상태를 유지해야 한다. 그러나 칩의 스위칭 시간이 감소하고, 스위칭 주기가 늘어나고, 스위칭 전류가 증가하면서 이 목표를 달성하는 일은 아주 어려운 설계 작업이 되었다. 특히 패키지내의 전원 배선에는 기생 인덕턴스가 존재하고 있는데 이 기생인덕턴스에 고주파 전류가 흐르게 되면 순간 전압강하가 일어나게 되고 이것이 전력선 잡음이 된다. 이 전력 잡음은 전류량이 증가할수록 주파수가 증가할수록 비례해서 심각해진다. 전력선 잡음이 생기면 바로 인근 회로의 전원의 불안정을 가져와 논리 오류를 발생시킬 수 있고, 송수신 단의 Noise margin, Timing margin을 감소시켜 시스템의 안정성을 악화시키고, 시스템 속도에 제한을 가하게 된다. 또한 이러한 접지선 잡음은 배선을 타고 전파되어 외부로 유출되면 전자파

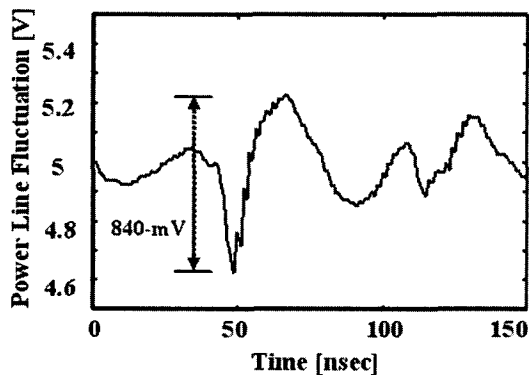


그림 9. 고속 전류 스위칭에 의한 전력 잡음.

장애 현상을 일으키게 된다. 그림 9에서는 이렇게 발생된 전원 잡음의 측정 결과를 보여 주고 있다.

이러한 패키지에서의 전원 잡음을 최소화 하여 많은 전류가 스위칭되어도 일정한 전압을 유지하기 위해서는 전원 배선의 임피던스를 최소 값으로 유지해야 한다. 즉 패키지를 설계하는 작업에서 전원선의 임피던스를 예측하고 적절히 조절해야 한다. 전원선 임피던스를 줄이기 위해서는 전원선의 기생 인덕턴스를 줄이고 전원선의 캐패시턴스 성분을 최대화해야 한다. 전원선의 인덕턴스를 줄이기 위해서는 전원선 배선의 길이를 줄이고 전원선 배선의 개수를 늘여야 한다. 전원선 배선 개수를 늘이기 위해서는 칩의 Bond pad의 개수 wire-bond의 개수, 패키지 핀의 개수가 급격히 늘어나게 된다. 즉 고성능 디지털 패키지의 경우 결국 많은 양의 전원 핀수, 접지 핀수의 증가를 가져오게 된다. 이 결과는 패키지 크기의 증가, 패키지 가격의 급격한 증가를 낳게 된다. 전원선의 기생 인덕턴스의 가장 큰 부분은 wire-bond에서 발생한다. 이 wire-bond에서 생기는 기생인덕턴스 효과를 줄이기 위해서 flip chip bonding 방법이 더욱 많이 사용될 것으로 본다.

전원선 임피던스를 줄이는 또 다른 방법은 decoupling capacitor를 설치하는 방법이 있다. Decoupling capacitor는 칩 내, 패키지 내, 또는 PCB에 설치 가능하다. Decoupling capacitor는 부분 전원 역할을 하여 뒷 단의 기생 인덕턴스 효과를 차단하는 역할을 한다. 특히 칩 내에 decoupling capacitor를 설치하는 것이 가장 효과적이거나 칩 가격의 급격한 향상을 가져오게 된다. 결국 칩 내, 패키지 내, PCB 내에 시스템의 가격 요구조건에 맞게 유효 적절히 배치해야 한다. 그러나 이러한 Decoupling capacitor에 의한 전력선 임피던스의 감소는 새로운 난관에 봉착하게 된다. 그 첫 번째 난관이 Decoupling capacitor의 self-resonance 현상과 mutual resonance 현상이다. 즉 Decoupling capacitor 자신이 갖고 있는 기생 인덕턴스 때문에 공진 주파수 이상의 주파수에서는 더 이상 캐피턴스로 작용하지 않고 인덕턴스로 작용함으로써 더 이상 전원선 임피던스 감소 효과를 바라볼 수 없게 된다. 이러한 공진 주파수를 더욱 고주파로 옮기기 위해서

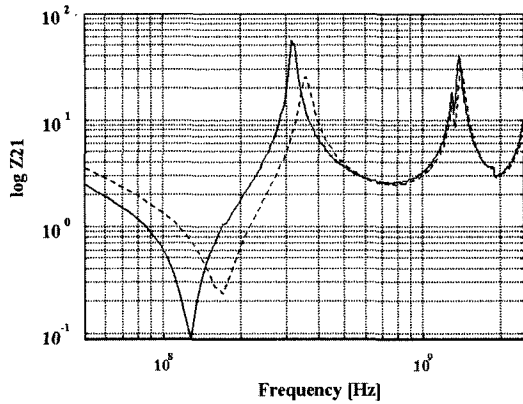


그림 10. 패키지에서의 전원선 임피던스.

는 Decoupling capacitor의 기생 인덕턴스를 줄여야 하고 이러한 설계가 패키지 설계에 중요한 관점이 된다. 더 나아가 주파수가 증가하게 되면 패키지 기판에서 발생하는 기판 공진 현상이 전원선 임피던스를 악화 시킨다. 이 기판 공진은 특히 전자파 장애의 중요한 요소가 된다. 이러한 기판 공진을 제거하기 위해서는 기판의 크기, 절연물질의 유전 상수, via의 배등을 고려해서 패키지를 설계한다.

### 5. 전자파 장애 문제

오늘날 우리는 전자파의 바다 속에 살고 있다고 해도 과언이 아니다. 방송, 통신을 위한 전자파 뿐만 아니라 각종 전자 기기, 전송선, 자동차 등에서 발생하는 많은 전자파의 영향을 받고 있다. 최근의 전자 기기의 범람과 자연 환경과, 인체 건강에 대한 인식이 증가하면서 학문적으로나 기술적으로도 그 어느 때 보다도 전자파의 영향에 대한 관심이 증가하고 있다. 원하지 않는 전자파의 발생 및 간섭 현상을 EMI (Electromagnetic Interference)라고 하고, 이러한 전자파의 환경 속에서 전자 기기의 안정적 동작을 보호하는 기술을 EMC(Electromagnetic Compatibility)라고 표현 한다. 두 기술을 총칭하여 EMI/EMC라고 한다.

최근에는 Personal Computer의 사용이 급증하고 있으며, 모든 전자 기기에 Computing 기능이 부여되고, 고속 신호 처리를 목적으로 Clock Frequency가 증가

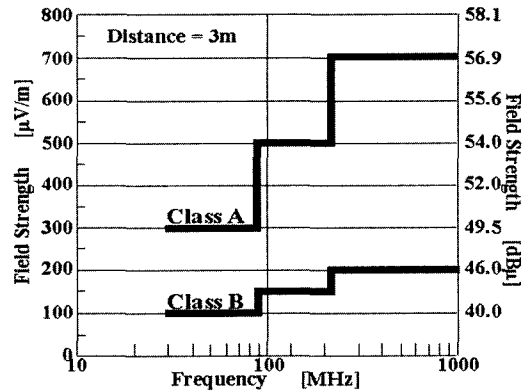


그림 11. FCC 에서 규정한 디지털 전자기기의 전자파 발생량.

하면서, Digital Circuit에서 발생하는 전자파에 대한 문제점이 증가하고 있다. 하루 종일 Computer앞에서 일하는 수많은 사람들을 생각할 때 Digital System에서 발생하는 전자파 문제에 관심을 기울이지 않을 수 없다. 따라서 Digital System, Board, Packaging, IC에서 발생하는 전자파 현상에 대해서 깊이 연구하여 최소한의 전자파를 발생하는 시스템 개발의 필요성이 절실한 시점에 왔다. 그림 11은 FCC 에서 통제하고 있는 고속 디지털 시스템에서의 전자파 발생량이다.

제품 개발의 측면과, 자연 환경의 측면에서 중요한 EMI 기술은 다양하고 복잡하여, 다루기 힘든 기술들 중의 하나이다. 학문적으로 볼 때에도 EMI 분야는 전자파 이론, 시스템 이론, Integrated Circuits(IC) 설계, 패키지 설계, Printed Circuit Board(PCB) 설계에 이르기 까지 다양한 분야의 많은 경험과 지식이 필요하다. 신호의 무결성(SI : Signal Integrity)을 보장하면서 EMI를 축소 시키기 위하여 다양한 기술을 적절하게 적용시켜야 한다. EMI 문제를 해결하기 위한 연구 방향은 전자파의 발생을 원천적으로 축소(Reduction) 시키는 쪽과 이미 발생한 전자파를 차폐(Shielding) 시키는 쪽으로 나눌 수 있으며, 접근 대상은 시스템, PCB, 패키지, 그리고 IC 등으로 나눌 수 있다. 시스템으로의 EMI 접근에서는 Power Supply, Cables 그리고 각종 Interconnection Line들에 대한 연구를 하고 있고, PCB를 대상으로 하는 EMI 연구에서는 효과적인 Clock Line의 배치, Power 공급 방법 및 Interconnection

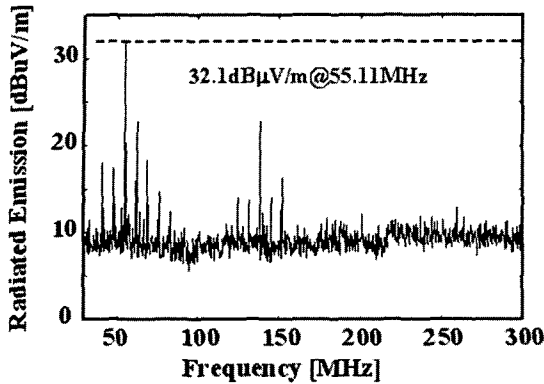


그림 12. 고속 디지털 시스템에서 발생하는 전자파 스펙트럼.

Line들의 모양 및 Routing 등이 다루어지고 있다. 따라서 앞에서 언급한 신호선 설계와 전원선 설계 기법들이 궁극적으로 전자파 장애를 극복하는 기술이 된다. 전통적으로 EMI 문제는 PCB 설계자의 과제였으나 특히 패키지 설계에서의 신호선 설계와 전력선 설계는 EMI 문제 해결에 결정적 기술로 등장하고 있다. 그림 12에서는 고속 디지털 제품에서 발생하는 전자파 스펙트럼을 보여주고 있다.

## 6. 결론

이처럼 디지털 시스템, 반도체의 속도가 증가하고, 전류가 증가하면서 패키지의 설계의 중요성은 크게 증가하고 있다. 아무리 칩의 설계와 특성이 우수하더라도 패키지에서 그러한 동작을 뒷받침해주지 못하면 그 반도체는 무용지물이 된다. 이처럼 패키지 설계의 중요성은 나날이 증가하고 있다. 패키지 설계 입장에서 보면 신호선의 구조는 최대한 이상적인 전송선 구조를 갖게 하고 반사를 없애기 위한 termination 을 시켜주는 방향이 된다. 뿐만 아니라 인접 신호선 사이의 간섭을 줄이기 위한 기술이 적용된다. 더 나아가 전력선의 임피던스를 최소화 하기 위한 어려운 설계 과정을 거쳐야 한다. 이렇게 기본 원리에 근거에 따라설계한 패키지는 최소한의 Noise, 최대의 timing margin 을 확보하여 신뢰성 있는 동작을 지원하게 된다. 그러나 이러한 설계 기법이

적용될 때 패키지의 비용이 증가하는 필연적인 난관에 봉착한다. 따라서 최소한 비용의 증가를 억제하면서 칩의 기능을 보장할 수 있는 높은 수준의 판단력과 결정력이 패키지 설계자에게 필요하다.

## 참고 문헌

- [1] Stephen H. Hall, "High-speed Digital System Design".
- [2] William J. Dally, "Digital Systems Engineering," 1998, Cambridge.
- [3] Mark I. Montrose, "EMC and the Printed Circuit Board," 1997, IEEE Press.
- [4] H.B. Bakoglu, "Circuits, Interconnections, and Package for VLSI," Addison-Wesley.
- [5] Howard W. Johnson, "High-speed Digital Design," Howard W. Johnson, Prentice Hall.
- [6] Rao R. Tummala, "Fundamentals of Microsystems Packaging," McGraw Hill.

· 저 · 자 · 약 · 력 · . . . . .

**성명 : 김정호**

◆ 학 력

- 1984년 서울대 전기공학과 공학사
- 1986년 서울대 대학원 전기공학과 공학석사
- 1993년 미시건대 전자공학과 공학박사

◆ 경 력

- 1993년 - 1994년 피프코메트릭스 연구원
- 1994년 - 1996년 삼성전자 수석 연구원
- 1996년 - 현재 KAIST 전자전산학과 부교수
- 2001년 - 2002년 실리콘이미지 엔지니어