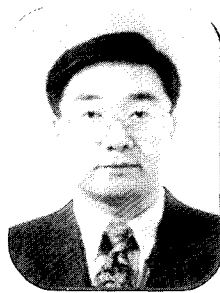


# 전자 패키지 기술 (Electronic Packaging Technology)



· 백경욱 ·  
KAIST  
재료공학과 부교수

## 1. 전자 패키징 기술의 중요성

오늘날 전자 제품의 급속한 발달을 가능케 한 4가지 핵심 기술로는 (1)반도체 기술, (2)전자 패키징 기술, (3)제조기술, (4)소프트 웨어 기술을 들 수 있다. 반도체 기술의 발달은 마이크론 이하의 선폭, 백만개 이상의 cell, 고속, 많은 열방출 등으로 발달하고 있으나 상대적으로 이를 패키징하는 패키징 기술은 상대적으로 낙후되어 있어 반도체의 전기적 성능이 패키징과 접속에 의해 결정되고 있다. 실제로 고속도 전자 제품의 delay는 50%이상이 칩과 칩 사이에서 발생하는 패키지 delay에 의해 발생하며 이는 향후 80%이상으로 예상되고 있으므로 그 중요성이 더하고 있다. 또한 반도체와 패키징 기술의 발달을 가능케 한 기술로는 이들을 저가로 안정적으로 생산할 수 있게 한 생산기술이 있었으며, 전자 하드웨어를 간편히 사용 가능하게 한 소프트웨어 기술이 있었다.

### 1.1 전자 패키징 기술의 정의 및 기능

전자패키징 기술과 제품이란 능동소자(반도체칩)와 수동소자(저항, 콘덴서 등)로 이루어진 전자 하드웨어 시스템에 관련된 기술을 통칭하는 매우 광범위하고 그 파급성이 큰 중요한 기술이다. 전자패키징

의 중요한 기능과 이에 따른 핵심 기술은 다음 그림 1과 같이 크게 4가지로 분류해 생각해 볼 수 있다.

#### (1) 전력 공급

전자 패키징은 소자에 필요한 전력을 공급해야 한다. 그러므로 이에 따른 저잡음 전력/접지 회로 구현, 관련 재료, 공정 등은 패키징 구조와 긴밀한 연관을 갖는다.

#### (2) 신호 연결

전자 패키징은 소자간의 신호 연결 기능을 갖는다. 신호의 속도, 신뢰성을 유지하기 위한 signal-integrity, 회로 설계, 도체/부도체 재료, 접속기술 등이 필요하다.

#### (3) 열방출

패키징은 소자에서 발생하는 열을 방출 시키는 기능을 갖는다. 열방산 없이는 소자의 동작과 패키지의 신뢰성을 보장할 수 없다.

#### (4) 보호

자연적, 화학적, 열적 환경 변화에도 견디고 전자 소자를 보호하는 기능을 가진다. 기계적인 신뢰성을

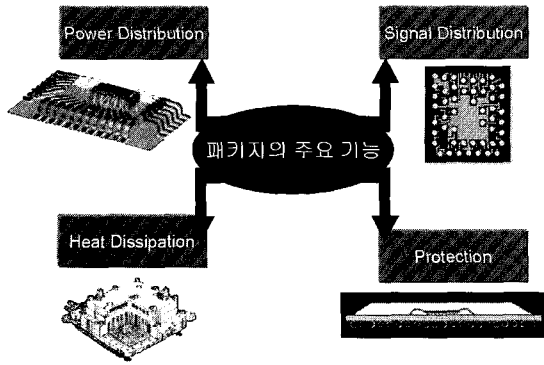


그림 1. 전자 패키지 주요 기능.

보장할 수 있는 기계적 설계 기술, 신뢰성 기술이 필요하다.

전자 패키징 기술에 있어서 반드시 다음과 같은 몇 가지 요소들을 고려해야 한다.

(1) 성능

패키지의 구조 및 설계는 기계적 안정성, 전기적 속도와 안정성, 열 방출 능력, 신뢰성 등의 성능 요구 특성을 만족해야 한다. 특히 성능은 전기적인 특성을 나타내는 것으로서 통상 컴퓨터의 CPU와 같은 경우 그 성능은 MIPS (Million Instruction Per Second) 의 개념으로 나타내며 이는 cycle time과 cycles per instruction에 반비례한다. 이중 cycle time의 경우 반도체와 패키지의 지연(delay)에 의해 결정되어 진다. 그러므로 칩과 칩 사이의 연결에서 발생하는 패키지 지연을 줄이기 위해 회로의 집적도를 높이거나, 접속 길이를 낮추거나, 재료를 개선하여 패키지의 성능을 높여야 한다.

(2) 패키지 크기

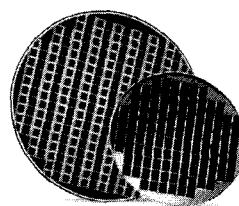
패키지의 크기를 줄여 패키지 효율(칩 면적/패키지 면적)을 높이는 것은 패키지의 소형화와 성능에 큰 영향을 미친다. 패키지 크기를 줄이기 위해 4면 주변형(peripheral)에서 격자형(area array) 접속을 이용하거나 lead의 피치를 줄이고 있으나 이는 handling 어려움과 생산성 저하를 가져 올 수 있다.

(3) 생산성 /가격

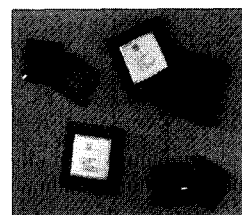
패키지의 선택에 있어서 가장 중요한 요인은 성숙한 생산 기술이 있는가 하는 점이다. 저가의 생산 기술은 패키지의 경쟁력을 결정한다. 가격 경쟁력이 있는 패키지의 설계, 재료, 공정과 지속적인 생산성 향상이 매우 중요하다.

(4) 신뢰성

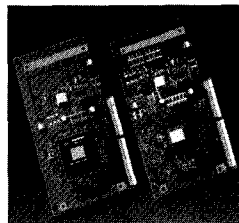
시스템의 신뢰성은 각 부품의 결합 발생에 의해 결정된다. 패키지의 신뢰성은 열, 전기적 신뢰성으로 결정된다. 예로 반도체 junction 온도가 매 10도 증가함에 따라 소자의 수명이 10% 감소하며 약 2%의 switching delay가 발생한다. 또한 Junction 온도는 115도 이하로 유지하는 것이 중요하다. Emission Coupled Logic(ECL)과 같은 소자는 약 50W의 열을 방출하며, 향후 이 같은 소자에 대한 열 설계와 재료 선택을 통해 신뢰성을 높여야 한다. 또한 패키지의 신뢰성은 전기적인 신뢰성, 즉 잡음(noise), 신호 안정성, cross-talk, switching 잡음에 의해 결정되는 것으로서 잡음을 줄이기 위한 신호와 접지면을 분리함으로써 Microstrip transmission 구조를 설계하거나 적절한 재료 선별 등이 패키지의 전기적 신뢰성 향상에 중요하다.



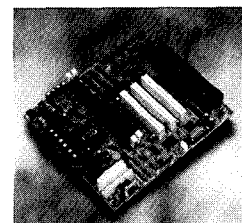
Level 1, Chip



Level 2, Module



Level 3, Card



Level 4, Board

그림 2. 전자 패키지 체계 (Hierarchy).

## 1.2 전자 패키지 체계(Hierarchy)

전자 패키지의 체계는 여러 단계로 나누어 진다. [1] 1단계 패키징이란 주로 반도체 칩을 와이어 본드(Wire Bond), Tape Automated Bonding(TAB), 플립칩(Flip Chip)을 사용하여 싱글 칩 모듈(Single Chip Module)을 만드는 단계이다. 2단계 패키징은 만들어진 싱글 칩 모듈을 표면 실장 기술(SMT)나 삽입식 실장 기술(PTH)을 이용하여 PCB, 금속 코어 또는 세라믹 카드 등에 접속하는 단계를 말한다. 3단계와 그 이상의 보드를 gate로 접속하는 제 4단계(level 4), gate를 프레임(frame)에 장착하는 제 5단계(level 5) 패키징 단계는 제조된 PCB등 카드를 보드에 접속하여 원하는 전자 회로 시스템을 제조하는 단계이다. 그림 2는 전자 패키지의 체계를 나타낸다.

## 1.3 전자 패키지 기술의 경제적 중요성

전자 패키징 기술의 경제적 중요성은 다음 표 1에서 볼 수 있듯이 전체적인 전자 패키지 수요는 전자 제품의 발달에 따라 계속 증가하고 있으며 특히 노트북 PC, 휴대용 전화기, 휴대용 자료 송수신 기기, 디스크 드라이버 등에 사용되는 QFP, CSP, BGA 와 같은 경박 단소형 패키지들이 급격히 성장하는 것을 볼 수 있다. 또한, 전체 시장규모는 1997년의 56억 달러에서 2002년에는 116억 달러로 두 배 이상 증가하게 될 것으로 전망되고 있다. 또한 새로운 패키지 기술인 MCM(Multichip Module)과 같은 고속, 고밀도 시스템 패키지의 수요가 급증할 것으로 보이며 MCM의 경우에는 2001년에 이르러 그 시장규모가 8억 달러 이상으로 커질 것이다.

## 2. 전자 패키징 기술의 동향

반도체 소자 패키지 기술은 초기 삽입형(plated-through) 패키지인 DIP, PGA 형태에서 패키지 크기가 작고 전기적 성능이 우수한 표면 실장형(surface mount technology(SMT)) 패키지인 QFP, SOP 형태로 발전하여 극세피치 표면 실장형 TQFP, TSOP 등을 거쳐 발전하고 있다. 이러한 경박 단소형 SMT 패키지는 1990년도 중반 부터 솔더 플립칩과 SMT 기술의 장점을 결합한 BGA(Ball Grid Array) 형태의 패키지로 발전하면서 새로운 솔더 볼 접속 패키지 기술의 새로운 장을 열게 되었다. 그러나 1990년대 후반 부터 이러한 BGA 패키지 크기와 전기적 성능을 더욱 개선한 칩 크기 패키지(Chip Size Package(CSP))형태로 발전하고 있다. CSP기술은 칩/패키지의 크기가 80%이상인 고집적 패키지로써 점차 소형화 되어 가는 전자제품에 없어서는 안될 패키지 부품이 되어 가고 있다. CSP 패키지 예로는 현재 16메가급 이상 메모리 칩 패키지의 주종을 이루고 있는 LOC(Lead On Chip)형 패키지가 대표적이다. 궁극적으로 개별 칩 패키지(single chip package)는 다중칩 모듈(multichip module(MCM)) 형태의 시스템 패키지로 발전하고 있다.(그림 3 참조) [1]

Chip Interconnection에 있어 기존의 접속 방식인 Wire Bonding, TAB기술로는 시스템 크기를 줄이며 전기적 성능을 향상시키는데 그 한계에 이르고 있다. 따라서 새로운 Interconnection기술인 Flip Chip 기술을 사용한 Direct Chip Attach(DCA)기술, Chip Size Package(CSP), Multichip Module(MCM)기술의 필요

표 1 전자 패키지 수요 자료

Type	1997	1998	1999	2000	2001	2002	연성장률(%)
DIP	11,108	9,465	8,705	7,884	7,202	6,631	-9.80
SO	32,937	34,572	39,159	42,968	47,396	52,144	9.62
CC	3,801	3,762	4,032	4,249	4,413	4,711	4.39
QFP	6,036	7,063	8,183	9,314	10,722	12,438	15.56
PGA	293	284	273	267	273	282	-0.77
BGA	930	1,651	2,720	3,914	5,243	6,755	48.67
CSP	158	554	1,494	2,869	4,430	6,144	107.98
DCA	3,074	3,523	4,160	4,747	5,308	5,814	13.59
Total	58,337	60,875	68,725	76,212	84,989	94,919	10.23

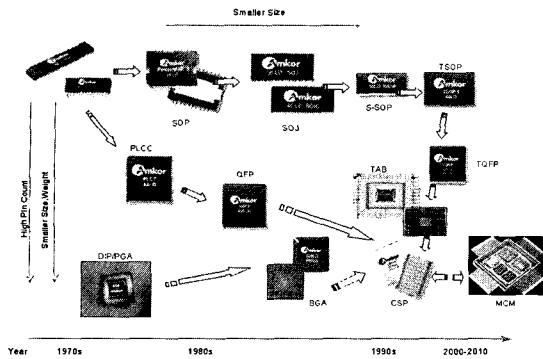


그림 3. 전자 패키지 발전 동향.

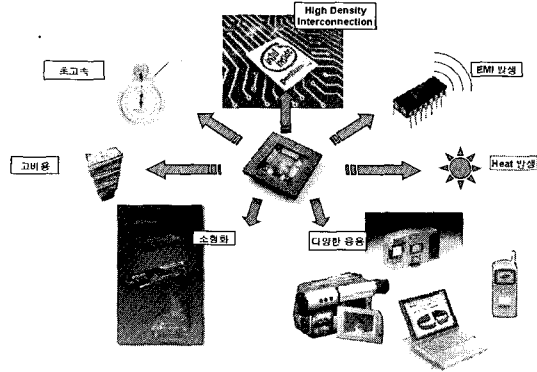


그림 4. 차세대 반도체 패키지 요구 사항.

표 2. 반도체 발전 동향.

Key need	1995-2000	2000-2005	2005-2010
cost/pin(¢)	0.8-5.4	0.6-4.1	0.4-2.7
power(W)	2-60	2-120	2-160
Die Size(mm <sup>2</sup> )	240-300	340-430	460-620
Performance(MHz)	100-200	200-400	400-625
Voltage(V)	1.8-3.3	0.9-2.0	0.9-1.2
Pin Count	300-675	675-1300	1140-2200

성이 점점 커지고 있다. Flip-Chip은 (1) 최소한의 크기와 무게, (2) 전기적 성능 향상, (3) I/O 수가 많은 고밀도 회로소자 접속 가능, (4) area array 접속 설계 가능 등이 있다

최근 전자 패키지 및 어셈블리 기술 요구 조건은 급격히 변화하고 있다. 표 2 에서 보듯 2010 년에는 현재에 비해 die size 2 배, 속도 4 배, 전압 1/2 배, pin count 4 배가 된다. 이러한 경향은 전자 패키징 연구에 새로운 패러다임인 고속, 고밀도 시스템 패키지를 요구하고 있다. 미래의 전자 패키징은 극소형/고밀도, 저전력, 다기능, 초고속 신호 처리, 영구적 신뢰성을 요구한다.(그림 4 참조)

### 3. 고집적 단일 칩 패키지기술

#### 3.1 Ball Grid Array(BGA) 기술

Ball Grid Array란 그림 5과 같이 이차원적 평면에 격자 형식으로 분포된 솔더 볼을 통하여 패키지와 다음 레벨 패키지인 PCB등과 전기적으로 연결하는

것을 말한다.[1] 따라서 BGA는 4면 주변만을 사용하는 주변(peripheral) 형태보다 단위 패키지 면적당 매우 높은 수의 I/O 수를 가질 수 있으므로 논리(Logic) 소자와 같은 고성능소자 패키지에 적합하다. 1980년대의 DIP 타입의 패키지는 약 1.2mm의 I/O 리드 피치를 가지고 있어 100개 이하의 I/O만이 가능하였고, 주로 메모리 칩과 같은 저급의 기능소자에 적용되었다. 이후에 개발된 QFP은 DIP에 비해 표면 실장 기술을 채택하고 피치를 0.5mm까지 감소시켜 200개 이상의 I/O를 얻을 수 있었으나, 리드프레임의 디자인 문제와 주변접속형의 한계에 의해 그 이상의 I/O 수를 요구하는 소자의 경우에는 극세 피치 기술(Fine Pitch Technology)을 요구하게 되었고 이에 따라 리드의 평탄성 문제 및 보드 조립시 발생하는 조립결함이 증가하는 문제로 인해 그 적용이 점차 어려워지게 되었다. 한편, 1990년 이후에 본격적인 양산체재를 갖춘 TAB(Tape Automated Bonding) 패키지의 경우 0.2mm의 극세 피치를 도입하여 300개 이상의 I/O가 가능하였으나, TAB패키지 역시 QFP와 같은 문제

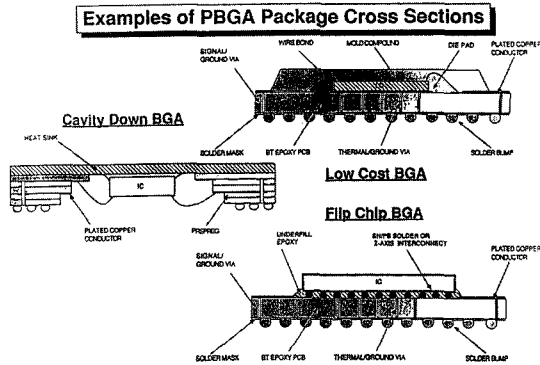


그림 5. BGA 패키지 단면도.

를 갖게 되어 현재 기술의 수준으로는 600여 개가 TAB 패키지의 I/O 수의 한계임이 보고된 바 있다. 이 같이 극세 피치 표면실장기술 또는 PGA 등의 패키지 방법으로는 보다 큰 수의 I/O 패키지를 보드에 조립함에 따르는 제조상의 문제로 인해 점차로 한계에 도달하게 되었다. 이에 따라 패키지 면적 전체를 격자형으로 사용하는 이른바 격자(area array)형 패키지의 개발이 필요하게 되었으며 이에 따라 개발된 것이 BGA라 할 수 있다.

BGA 패키지를 사용함에 따른 장점은 솔더 볼을 사용하여 전기적 접속을 함으로 짧은 접속거리에 의해 QFP보다 낮은 인덕턴스(225 BGA(5-9nH) vs. 208 QFP(9-15nH))와 커패시턴스(225 BGA(1.3pf) vs. 208 QFP(<2.3pf))를 갖으며, 또한 BGA 기판을 설계하는 과정에서 그라운드 면을 사용함으로써 고전기적 성능 패키지가 가능하다. 한편 BGA는 열 방출 솔더 볼을 칩 바로 밑에 넣어 직접적으로 열을 방출하여 열 특성도 우수하므로 BGA 패키지의 경우 냉각을 위한 팬을 제거할 수 있으며 같은 조건에서 표면 실장형 패키지 보다 더 오래 사용할 수 있다.

같은 면적을 가지는 1.2mm 피치 BGA 패키지와 0.5mm 피치 QFP를 비교해 볼 때 QFP의 경우 약 240개 I/O를 얻을 수 있는 반면 BGA의 경우는 패키지 전체 면적에 I/O의 전기적 접속이 가능하기 때문에 500개 이상의 I/O 수를 얻을 수 있으며, 만약 1mm 이하 피치의 BGA를 사용한다면 1000개 I/O까지도 기존의 기술 수준으로 얻을 수 있다. 또한 패키지 크기

로 볼 때 313 핀 BGA 패키지는 304 핀 PQFP 패키지에 비해 약 50% 보드면적에 해당한다. 이와 같이 BGA는 높은 I/O수와 적은 패키지면적의 장점과 비교적 조립이 용이한 피치로 인한 높은 조립 생산성 등의 장점을 갖고 있다.

그러나 BGA 문제점으로 솔더 볼 연결부위에서의 응력발생과 이에 따른 신뢰성 문제 및 솔더 볼의 결합을 검사하는 방법 및 reworkability 등이 해결해야 할 문제들로 지적되고 있다.

### 3.1.1 BGA 패키지 종류

이러한 BGA는 그 쓰이는 기판의 종류에 따라 Plastic BGA(P-BGA), Ceramic BGA(C-BGA), Tape BGA(T-BGA)등으로 분리되며, 각각의 특징은 다음과 같다.

#### 1) P(Plastic)-BGA

그림5 는 PBGA의 단면을 나타내고 있다. 칩은 Bismaleimide Triazine(BT) 에폭시 유리 라미네이트에 접합된다. BT 기판은 유리전이(glass transition) 온도가 170-215°C로서 일반 FR-4의 115-125°C 보다 높으므로 더 나은 열 안정성을 갖는다. P-BGA는 C-BGA 보다 가격이 낮고 기판 유전상수가 낮으므로 전기적 특성이 더 우수하다. 은을 함유한 에폭시 칩 접착제를 사용하며 칩은 BT에폭시 수지에 접착시키고 칩면을 에폭시 수지를 사용하여 transfer 몰딩을 한다. 많은 경우 BT 기판에 열 방출 비아를 설계하여 칩에 바로 접촉시킴으로서 열 방출 특성을 높인다. P-BGA는 가격이 저렴하여 가장 널리 쓰이고 있는 형태의 BGA 패키지로서 대개 600 I/O이하 75MHz 속도 고속 SRAMs, ASICs, 마이크로 프로세서 등에 사용된다. 그러나 플라스틱을 기판 재료로 쓰고 있기 때문에 수분 흡수에 따른 Popcorn Cracking과 같은 문제가 패키지의 신뢰성 문제를 유발하는 경우가 있다.

#### 2) C(Ceramic)-BGA

C-BGA(그림 6-a)는 세라믹 PGA의 핀을 솔더볼로 바꾼 것이다. 알루미늄 세라믹 기판을 이용하여 습기를 완전히 차단할 수 있기 때문에 P-BGA와 같이 수분 흡수로 인한 문제점이 비교적 적고, 견고한 구

조를 가지고 있기 때문에 특별한 신뢰성을 요구하거나, 패키지가 사용되는 환경이 열 적 안정성 또는 내식성 등을 요구하는 경우에 적합하다. 그러나 세라믹 기판과 PCB판 사이의 열팽창계수 차이에 의한 신뢰성문제를 줄이기 위해 솔더 볼 대신 기둥(column)을 사용하여 완충성(compliance)을 향상시키고 전단응력을 줄이기도 한다. 세라믹 기판의 무게가 상당한 비중을 차지하고 있기 때문에 다른 형태의 BGA보다 무겁고 제조 단가가 상당히 비싸다는 단점을 안고 있다.

3) T(Tape)-BGA

T-BGA(그림 6-b)는 격자구조 TAB 테이프와 BGA

**Cross Section of a CBGA Package**

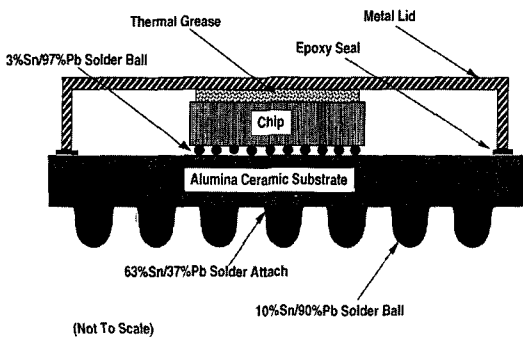
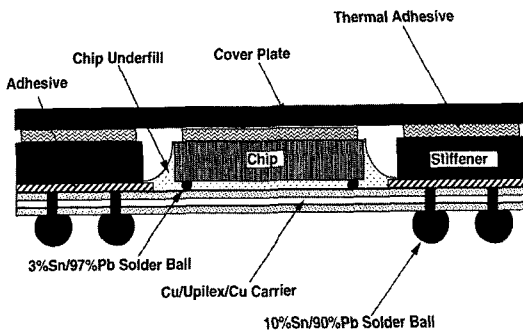


그림 6. (a) CBGA 패키지,

**Cross Section of a TBGA Package**



(b) TBGA 패키지.

의 장점을 복합한 구조를 가지고 있다. TAB테이프에 보강판(stiffener)을 접착시킨 후 칩을 플립 칩한다. TAB테이프의 반대쪽은 BGA형태로 솔더볼을 접착시킨다. 칩의 열 방출은 방열판을 칩의 뒷면에 부착시켜 칩으로부터 직접 방열시킨다. 이 T-BGA는 위의 다른 두 가지보다 미세 피치화가 가능하여 매우 큰 수의 I/O 접속이 가능하고, 상대적으로 소형화, 경량화에 유리한 구조를 가지고 있다. 또 다른 T-BGA의 장점으로 PCB와의 열팽창계수 차이가 비교적 작아 열 적 안정성이 매우 우수하다는 점이다.

3.2 Chip Size Package(CSP) 기술

CSP 패키지는 미세 피치 패키지와 BGA패키지가 더욱 발전한 차세대 패키지로써 BGA기술, 플립칩 기술, 기타 와이어 본딩 및 몰딩기술등 기존 패키지 기술의 장점을 모두 사용한 것으로 반도체 칩 크기보다 약간 큰(칩/패키지 비율 80% 이상) 패키지를 말한다.[2] CSP기술은 기존 단일 칩 패키지기술 중에서는 가장 작고, 가벼우며, 뛰어난 전기적 성능과, 일반 표면 실장기술을 이용할 수 있는 장점을 갖고 있다. 그러나 경박단소화에 따른 신뢰성 문제 및 CSP 규격화와 인프라 구조 문제, 높은 제조 가격 등이 앞으로 해결되어야 할 숙제이다. 이 같은 장. 단점에도 불구하고 미국, 일본 등을 중심으로 활발하게 여러 형태의 CSP기술이 개발되고 있으며 이미 일부 제품화가 되어 사용 중에 있다.

3.2.1 CSP 패키지 분류

CSP 패키지는 크게 나누어서 다음 그림 7과 같이 6가지 형태로 분류할 수 있다.

- 1) flex circuit interposers
- 2) rigid substrate chip carriers
- 3) custom lead frames
- 4) transfer molded structures
- 5) wafer-level assembled package
- 6) tape-chip-package(TCP) type packages

여러 종류의 CSP패키지중 대표적으로 알려진 Tessera사의 micro-BGA(그림 8)를 특징을 소개하면 다음과 같다.

- (1) 플립칩과 표면실장기술의 장점을 합함

- (2) 칩 크기와 같은 패키지 크기
  - (3) 칩 위에 특별한 범핑(bumping) 기술이 필요치 않음
  - (4) 최소의 인덕턴스 - 고성능용도
  - (5) 칩 뒷면을 통한 최대의 열 방출
  - (6) flex circuit interposer 의 응력 이완성
  - (7) 일반 표면실장기술 사용 가능
  - (8) 보드와 패키지의 좋은 신뢰성 특성
  - (9) ASIC, flash memory, SRAM, controller 칩에 사용
- 그러나 여러 가지의 CSP 패키지는 웨이퍼 상태에서 바로 패키지 형태로 가공하는 wafer level(WL) CSP 패키지의 출현을 통해 wafer 가공을 통해 패키지를 가공함으로써 가격을 낮출 수 있고 기존 CSP패

키지의 모든 장점을 유지함으로써 CSP 패키지의 새로운 추세가 되어 가고 있다. 이에 따라 현재 다양한 WLCSP 패키지가 개발 되고 있다.(그림 9 참조)

### 3.2.2 CSP 패키지용도

#### 1) PC cards

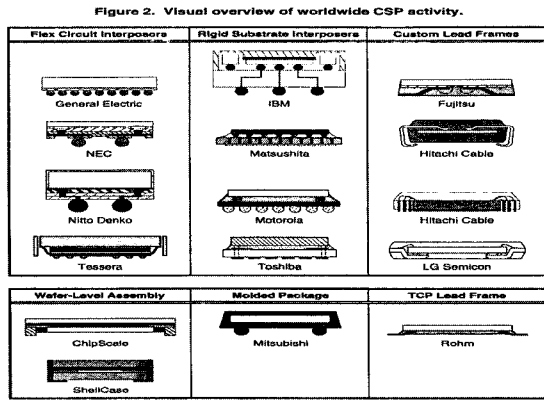
PC cards는 개인용 컴퓨터에 다양한 기능을 저렴한 가격에 제공해 줄 수 있는 방법으로서 고집적 패키지의 사용에 매우 중요한 분야이다. PC cards에 있어서 크기는 매우 중요하며 모든 부품들이 PC cards안에 들어가기 위해서 CSP와 같은 고집적 패키지의 사용이 필요하다. 실제로 일본의 몇 회사(Fujitsu)들은 CSP를 사용한 flash memory 모듈을 개발하였으며, 미국의 AMD와 Intel도 PC cards에 사용하기 위해 flash memory CSP패키지 생산을 시작했다. 장차 CSP는 flash memory 시장의 큰 부분을 차지할 것으로 예측된다.

#### 2) 카드 크기 개인 컴퓨터

카드 크기 개인 컴퓨터는 전체 두께와 크기를 줄이기 위해 고집적 패키지기술을 사용한다. CSP와 베어 칩 조립기술은 밀도를 증가시키고 보드의 개수를 줄이게 한다. 이외에도

#### 3) 가전 기기

소형 Global Position System 수신기, 캠코더,



Source: TechSearch International, Inc.

그림 7. CSP 패키지 종류.

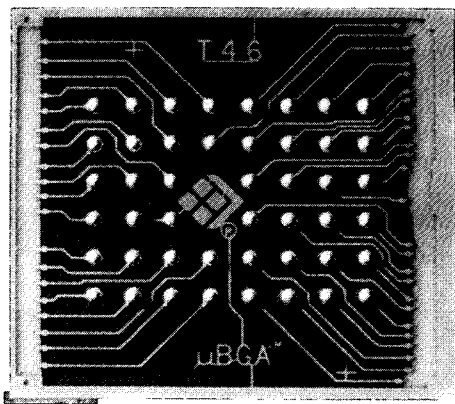


그림 8. Micro-BGA 패키지.

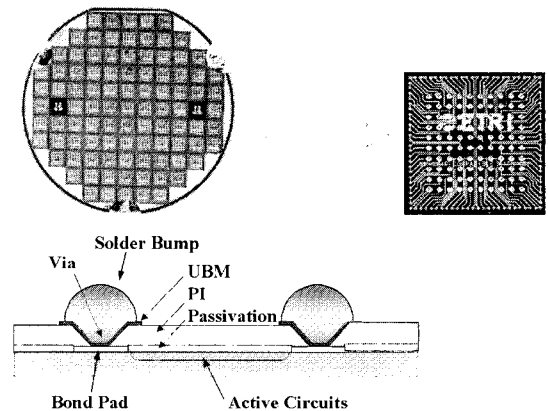


그림 9. Wafer Level CSP 패키지의 한 예.

Personal Digital Assistants (PDA), 노트북 컴퓨터, 휴대용 전화기 등에 CSP패키지 사용이 보고되고 있다.

#### 4. 플립(Flip Chip) 칩 기술

플립 칩 기술은 기존의 단일 칩 패키지 구조에서 패키지 자체를 생략하고 베어 다이(bare die) 자체를 사용하여 패키지는 기술로서 2차원적인 패키지 방법의 마지막 방법이라 할 수 있다. 반도체 칩 접속에 있어 기존의 접속 방식인 Wire Bonding, TAB기술로는 시스템 크기를 줄이며 전기적 성능을 향상시키는데 그 한계에 이르고 있다(그림 10 참조). 따라서 새로운 접속 기술인 Flip Chip 기술을 사용한 Direct Chip Attach(DCA)기술, Chip Size Package(CSP), Multichip Module(MCM)기술의 필요성이 점점 커지고 있다.

Flip-Chip 기술의 장점으로서는 다음과 같다.

- (1) 최소한의 크기와 무게, (2) 공정과 시스템 가격의 감소, (3) 전기적 성능 향상, (4) 열관리 가능, (5) I/O 수가 많은 고밀도 회로소자 접속 가능, (6) area array 접속 설계 가능 등이 있다.

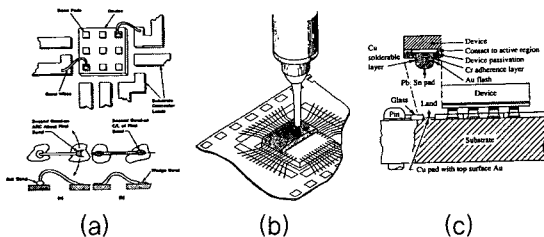


Fig 10. Wire-bonding, TAB(Tape Automated Bonding), and flip chip.

플립 칩 방법은 IBM에 의해 1970년대 고 용융점 솔더(95Pb-5Sn)를 사용하여 Inorganic 기판에 사용하도록 개발되었으며 칩의 Under Bump metallurgy(UBM)도 낮은 주석 함량에 맞도록 고안되었다. 그러나 이러한 고 용융점 솔더 Flip Chip 기술은 기판 가격과 솔더 Bump 제조 가격이 매우 높은 문제점을 갖고 있다. 따라서 근래에는 저가형으로 Organic기판을 사용하기 위해 녹는점이 낮은 solder 물질(공정 조성

납-주석) 또는 무연솔더를 이용하거나 솔더를 사용하지 않는 Flip Chip 기술을 미국의 IBM, Motorola, Delco, Flip Chip Technology(FCT)나 일본의 Hitachi, Toshiba등의 전세계 모든 회사들이 앞장서 개발하고 있다.

Flip Chip 기술의 활용도는 매우 다양하며 다음과 같은 분야에서 사용되고 있다.

- (1) 광 소자 (GaAs 소자, IR emitter / detector)
- (2) 마이크로웨이브 통신 (휴대용 단말기 등 4GHz ~10GHz에서 성공적으로 활용)
- (3) 메모리소자 (PCMCIA카드, PC 등에 SRAM, DRAM 소자 사용)
- (4) LCD 소자 (COG 기술에 사용)
- (5) 자동차 under hood 전자 부품용

이와 같은 광범위한 활용에 있어서 Flip Chip 기술의 가격을 낮추기 위하여 최근의 Flip Chip 기술에서는 저가형 Flip Chip bump 기술과 Flip Chip on organic substrates 기술이 복합된 direct chip attach(DCA) 기술이 매우 중요하게 되었다. 그러므로 저가형 Flip Chip bump 형성기술과 이를 이용한 interconnection 기술은 새로운 전자제품 개발을 위한 핵심기술로서 그 활용범위가 매우 큰 필수 불가결한 패키지 기술이다.

플립 칩 기술에 있어 중요한 기술은 범프 및 Under Bump Metallurgy(UBM)형성 기술이며 bump 형성 기술과 bump 재료에 따라 다음과 같은 기술로 분류할 수 있다.

##### · Solder Bumps

- 1) Evaporated solder bump
- 2) Electroplated solder bump
- 3) Screen printed solder bump

##### · Non-Solder Bumps

- 4) Electroless Ni/Au bump
- 5) Gold stud bump

이중에서 저가형 플립칩 범프 형성 기술로는 1) 스크린 프린트 솔더 bump, 2) 무전해 Ni/Au bump, 3) Gold stud bump 기술 등이 있다.[3, 4]

스크린 프린트 솔더 bump 형성 기술은 다음과 같은 공정에 의해 제작된다.



- (1) in-situ sputter clean,
- (2) sputter Al/Ni/Cu UBM deposition,
- (3) apply photoresist, pattern and develop,
- (4) etching of UBM,
- (5) removal of photoresist,
- (6) solder paste deposition,
- (7) reflow to form solder bump

스크린 프린트 솔더 bump 형성 기술(그림 11)의 장점은 (1) 용이하고 신뢰성이 높은 공정, (2) 저가, (3) 합금 성분 조정 용이( $\pm 2\%$ ), (4) 범프 높이 조절 용이, (5) 다양한 솔더 등이 있다.

무전해 Ni/Au bump(그림 12)의 경우 (1) 간단한 공정으로 인한 최저 가격, (2) 범프 균일성의 문제, (3) 대량생산 가능성 등의 특성이 있다. 현재 미국의 모토로라 등의 기업에서 이를 제품에 적용하기 위한 연구 개발을 수행하고 있는 선형 기술로서 그 활용 범위가 매우 넓은 기술이다.[5, 6]

금 stud 범프 기술은 와이어 본딩 기술을 활용하여 와이어의 ball bond 부근을 절단한 후 불을 압력을 사

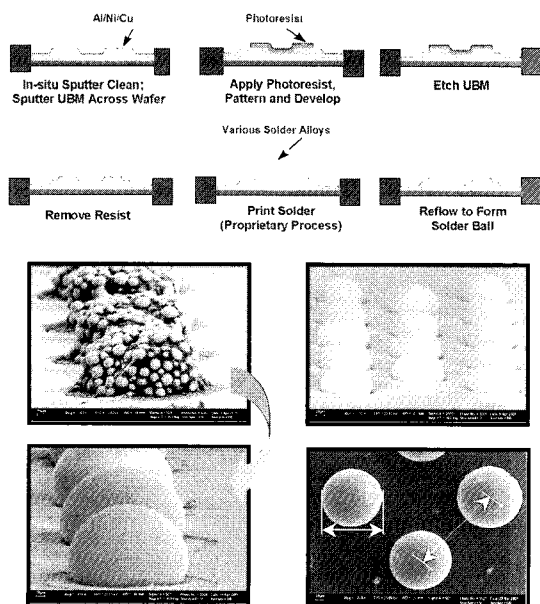


그림 11. 스크린 프린팅 방법을 이용한 솔더 범프.

용하여 coining하여 그림 13과 같이 만든 후[7]. 이를 기판에 전기 접속하기 위해 등방성 (isotropic) 또는 이방성(anisotropic) 전도 필름(conductive film)을 사용하여 전기 접속 시키는 기술로서 그 공정이 매우 간단하며 가격이 저렴하여 각광 받는 기술로서 그 개발의 필요성이 매우 크다.[8~11] 그러나 일반 솔더 범프에서와 같은 self-alignment기능이 없으므로 매우 정확한 칩 정렬과 높은 압력 및 온도가 필요한 문제점도 있다.

### 5. 내장형 수동 소자 기술

최근 들어 전자제품의 경박단소화와 전기적 고성능화를 위하여 수동소자에 대한 관심이 날로 증가하고 있는데 이는 사용되는 수동소자의 수가 능동소자의 수에 비해 훨씬 더 많기 때문으로, 그 단적인 예로

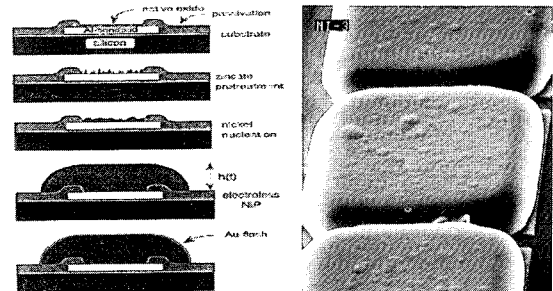


그림 12. 무전해 Ni/Au 범프 형성 순서 및 모양.

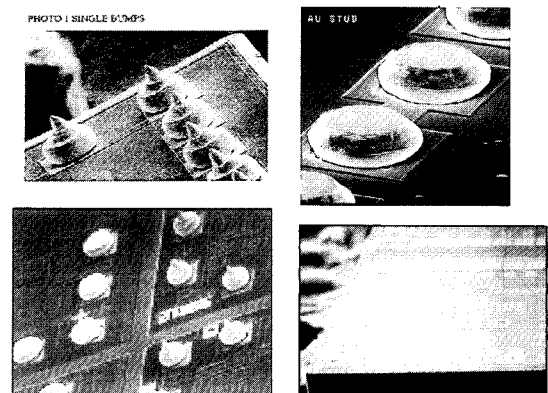


그림 13. Gold stud bumps and chips.

써 휴대용 이동통신 기기의 경우 능동소자에 대한 수동소자의 비가 20 : 1을 넘고 있다고 한다.[12, 13] 현재 이 수많은 수동소자들은 대부분의 경우 개별형 부품 (discrete component) 형태로 기판의 표면에 실장되고 있어 기판의 많은 면적을 차지할 뿐 아니라 특히 고주파에서 소자간의 접속거리가 길어 전기적 기생성분을 유발시킴으로 전기적인 성능을 저하시키며, 납땀을 통한 접속 수가 많아짐에 따라 신뢰성에 문제를 일으키는 것으로 알려져 있다.

내장형 수동소자(embedded 또는 integral passive)란 이러한 문제점을 해결하기 위해 제안된 기술로서 그림 14에서 보는 바와 같이 기존의 개별형 수동소자들을 기판의 표면으로부터 다층구조 기판의 한 층으로 집적 시키는 것을 의미한다. 이와 같은 방법을 이용하면 수동소자가 차지하던 면적을 줄일 수 있어

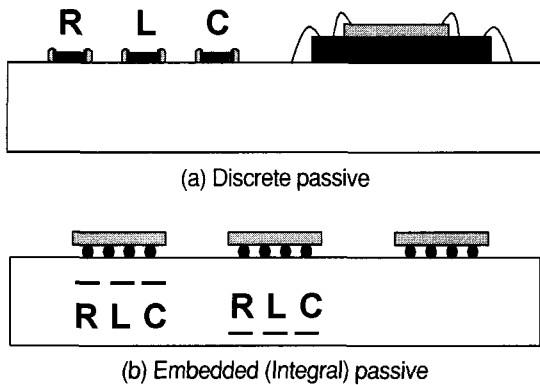
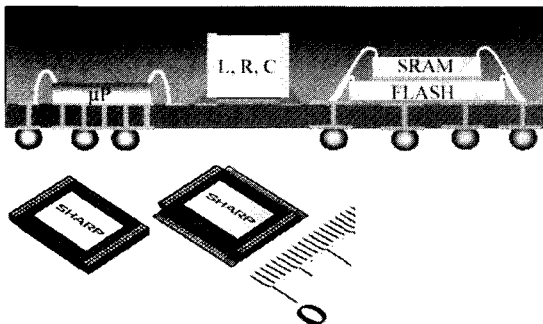


그림 14. 내장형 수동 소자의 개념.



3-D SIP(System in Package) Technology

그림 15. SIP 패키지 개념과 Sharp의 3-D SIP 예.

칩의 밀도를 높일 수 있을 뿐만 아니라 소자간의 접속길이가 짧아져 인덕턴스 성분의 감소에 따른 전기적 성능의 향상을 동시에 기대할 수 있다.[14] 수동소자 중에서도 커패시터(capacitor)에 대한 관심이 큰데 이는 수동소자의 40% 이상을 차지할 뿐만 아니라 decoupling capacitor 또는 by-pass capacitor와 같이 전자회로의 역할이 중요하기 때문이다. 또한 저항체의 경우에도 전체 수동 소자의 50%를 차지하며 termination resistor 등으로 회로에서 사용되고 있다.

## 6. SIP(System In Package) 기술

SIP 기술은 하나 이상의 반도체 소자와 수동 소자들을 사용하여 특별한 기능을 갖으며(예를 들면 송, 수신 모듈, power amplifier, 안테나 등) 규격화된 패키지 형태로 만들어진 few chip module로서 주로 통신 분야에 사용이 가능한 혁신적인 기술이라 하겠다. SIP 기술은 SOC(System On Chip) 기술로 가기 위한 중간 단계의 기술로서 매우 작은 크기, 우수한 전기적 성능, 저렴한 가격, 여러 종류의 칩 조립 가능 등의 장점을 갖고 있다. 그림 15는 SIP의 한 예를 보여 주고 있다.

## 7. 결론

전자 패키징 기술은 반도체 소자의 성능과 최종 전자 제품의 가격, 성능, 크기, 신뢰성을 결정하는 기술로서 그 중요성은 매우 크다 하겠다. 특히 경박 단소, 고성능화 되어 가는 전자 제품의 추세에 따라 극소형, 고성능, 고집적 패키징 기술의 필요성은 더욱 크다. 현재의 고집적 패키지 기술은 단일 칩 패키지 기술의 경우 BGA기술이 꽃을 피우고 있으며 또한 새로운 기술인 CSP기술을 거쳐 플립 칩 기술을 향하여 급속도로 개발되고 있다. 이들 패키징 기술이 관련 산업에 미치는 영향은 매우 클 것이며 특히 새로운 고성능, 고집적 전자, 통신 제품 개발에 있어 없어서는 안될 핵심 부품기술이라 하겠다. 한편 또 하나의 고기능, 고집적 패키지 기술인 플립 칩 기술, SIP 기술은 BGA나 CSP기술 보다 더 파급효과가 큰 기술로서 앞으로 컴퓨터, 정보통신, 이동통신, 고기능 가

전제품 등에 있어서 향후 없어서는 안될 필수이다.

### 참고문헌

- [1] John H. Lau, Flip Chip Technologies, McGraw-Hill, p.2, 1996.
- [2] H. Reichl, J. Wolf, and K.-D.Lang, "Packaging 2000+- Die Resolution geht weiter". 2000.
- [3] Glenn R. Blackwell, "The Electronic Packaging Handbook", CRC press, p.7.9, 2000.
- [4] Ken Gilleo, "Area Array packaging handbook", McGraw-Hill, p.20.2, 2002.
- [5] Young-Doo Jeon, Kyung-Wook Paik, Kyoung-Soon Bok, Woo-Suk Choi, and Chul-Lae Cho, Studies on the Electroless Nickel UBM-Solder Interfacial Reaction and Their Effects on Flip Chip Solder Joint Reliability, Journal of Electronic Materials, Vol. 31, No. 5, pp.520-528(2002.1).
- [6] Y. D. Jeon, K. W. Paik, Stresses in Electroless Ni-P Films for Electronic Packaging Applications, IEEE Transactions on Components and Packaging Technologies. Vol. 25, No. 1, pp. 169-173(2002. 3).
- [7] M. J. Yim and K.W. Paik, Design and Understanding of Anisotropic Conductive Films (ACFs) for LCD Packaging, IEEE Trans. on CPMT-part A, Vol. 21, No. 2, pp.226, 234(1998. 6).
- [8] M. J. Yim and K.W. Paik, The Contact Resistance and Reliability of Anisotropically Conductive Film (ACF), IEEE Trans. on Advanced Packaging, Vol. 22, No. 2, pp.166, 173(1999. 5).
- [9] M. J. Yim, Y. D. Jeon and K. W. Paik, Reduced Thermal Strain in Flip Chip Assembly on Organic Substrate using Low CTE Anisotropic Conductive Film, IEEE Transactions on Electronics Packaging Manufacturing, Vol. 23, No. 3, pp. 171-176(2000).
- [10] Lee Leuine, Ball bumping and Coining operations for Tab and Flip chip, ECTC.265 .1997.
- [11] <http://www.flipchips.com/tutorial03.htm>.
- [12] J. Prymark, et. al., "Fundamentals of Passives: Discrete, Integrated, and Embedded", Chap. 11 in Fundamentals of Microsystems Packaging, ed. By R. R. Tummala, p. 420, McGraw-Hill Book Company, New York(2001).
- [13] J. Rector, "Economics and Technical Viability of Integral Passives", in Proc. Of 48th Electronic Components and Technology Conference, Seattle, WA, p.218(1998).
- [14] S. K. Bhattacharya and R. R. Tummala, "Next Generation Integral Passives: Materials, Processes, and Integration of Resistors and Capacitors on PWB substrates", J. Mater. Sci: Materials in Electronics, 11(3), p. 253(2000).

· 저 · 자 · 약 · 력 · . . . . .

성명 : 백 경 욱

❖ 학 력

- 1979년 서울대 금속공학과 공학사
- 1981년 한국과학기술원 재료공학과 석사
- 1989년 미국 코넬대 재료공학과 공학박사

❖ 경 력

- 1982년 - 1985년  
KIST 재료공학부 연구원
- 1989년 - 1995년  
미국 General Electric 중앙연구소  
책임 연구원
- 1995년 - 현재  
KAIST 재료공학과 부교수