

# 도로교통 영상처리를 위한 고속 영상처리시스템의 하드웨어 구현

## An Onboard Image Processing System for Road Images

이 윤 근\*, 이 준 웅, 조 석 빈, 고 덕 화, 백 광 렬

(Un-Kun Yi, Joon Woong Lee, Seok Bin Cho, Deog Hwa Ko, and Kwang Ryul Baek)

**Abstract** : A computer vision system applied to an intelligent safety vehicle has been required to be worked on a small sized real time special purposed hardware not on a general purposed computer. In addition, the system should have a high reliability even under the adverse road traffic environment. This paper presents a design and an implementation of an onboard hardware system taking into account for high speed image processing to analyze a road traffic scene. The system is mainly composed of two parts: an early processing module of FPGA and a postprocessing module of DSP. The early processing module is designed to extract several image primitives such as the intensity of a gray level image and edge attributes in a real-time. Especially, the module is optimized for the Sobel edge operation. The postprocessing module of DSP utilizes the image features from the early processing module for making image understanding or image analysis of a road traffic scene. The performance of the proposed system is evaluated by an experiment of a lane-related information extraction. The experiment shows the successful results of image processing speed of twenty-five frames of 320×240 pixels per second.

**Keywords** : onboard image processing system, real-time implementation, Sobel edge operator, image pre-processing, FPGA, DSP

### I. 서론

최근, 차량의 안정성 향상을 도모하고, 나아가 자율주행 을 목표로 하는 지능형 안전자동차(intelligent safety vehicle, ISV)를 위하여 비전 센서를 이용한 주행차선의 검출 및 선행차량의 거리 검출을 위한 스테레오비전 등 도로교통 영상 처리에 대한 많은 연구가 이루어지고 있다. 특히, 주행정보 의 획득 방법으로 초음파, 레이더 등 다양한 센서 중에서도 비전 센서를 채택하는 이유는, 외부환경 변화에 민감하여 정보추출의 어려움이 따름에도 불구하고, 정보량이 많고, 인간에게 친근한 시각정보를 제공한다는 장점에 기인한다[1]. 그러나 지능형 안전자동차에 비전 센서를 채택하여 이를 실현시키기 위해서는 궁극적으로 많은 양의 영상 데이터를 시스템의 제어목적에 부합하도록 실시간으로 처리하기 위한 노력과 구현하고자 하는 영상처리시스템을 정적인 실내환경 과 달리 열악한 환경의 차량에 탑재가 용이하게 하기 위한 소형화의 노력이 요구되어진다.

지금까지 도로교통 영상처리를 위한 고속 영상처리시스템의 구현에 관한 연구를 살펴보면 다중의 프로세서를 사용하여 각각의 프로세서에서 처리된 알고리즘의 결과를 병렬처리 하는 구조와 알고리즘의 수행단계를 상·하위단계로 구분하여 하위단계에서 단일 기능의 반복처리가 요구되는 영상 전처리부를 전용의 ASIC 또는 FPGA 등의 하드웨

어로 대체하고, 상위단계에서 후처리를 수행하는 구조로 나누어진다. 다중의 프로세서를 이용한 병렬처리 구조의 예는 ASSERT-2 시스템과 GOLD 시스템을 예로 들 수 있다. ASSERT-2 시스템 [2]은 실시간 움직임 분할과 물체추적을 위해 VME 보드와 두 개의 PowerPC601을 사용하였다. VME 보드에서는 영상획득과 저장을 수행하고, PowerPC601에서는 각각 특징추적과 분할 및 형상추적을 담당하였다. 장애물 및 차선을 검출하기 위한 GOLD 시스템[3]은 초기 단계의 영상처리를 담당하는 PAPERICA(PARALLEL PROCESSOR for Image Checking and Analysis) 시스템과 중급단계의 처리를 담당하는 SPARC 기반의 워크스테이션으로 구성되었다. 이는 파이프라인으로 수행된다. 이들 시스템은 병렬처리를 통하여 비록 실시간 구현은 이루었지만 실용화를 위한 소형화는 다소 어려워 보인다.

이와 달리 영상처리를 상·하위단계로 구분하여 전처리와 후처리를 구분한 구조로 Hanawa 등 [4]은 ADA (active driving assist)를 위한 스테레오 영상인식 시스템을 위하여 스테레오 카메라부와 영상인식부로 나누고, 스테레오 카메라부에서는 셔터의 속도, 고장진단, 영상인식부와의 통신 등을 위해 16비트 마이크로 컨트롤러를 사용하고, 영상인식부에서는 스테레오 영상처리 게이트 어레이와 두 개의 RISC 칩을 사용하여 초당 10프레임의 처리결과를 얻었다. Shin 등 [5]은 ALV (autonomous land vehicle)를 위한 멀티 해상도 처리가 가능한 실시간 영상처리보드를 구현하였다. 이는 FPGA와 RISC의 조합에 의한 구조를 갖는다. Kang 등 [6]은 CIS(contact image sensor)를 위한 고속 영상처리보드를 구현하였다. 픽셀별 감도보정, 영상 평활화 및 해상도 조정을 위한 전용의 영상 전처리부를 FPGA를 사용하여 구성하고, 16 비트급 DSP를 사용한 영상처리부는 각각의 처리단계의 처리시간을 중첩하여 효율적인 시간단축을 꾀하였다. 이들 시

\* 책임저자(Corresponding Author)

논문접수 : 2002. 10. 22., 채택확정 : 2003. 4. 12.

이윤근 : 부산경상대학 디지털에니메이션과(yiuk@bsgs.ac.kr)

조석빈, 고덕화, 백광렬 : 부산대학교 전자공학과

(chosb@pusan.ac.kr/dhko1@pusan.ac.kr/krbaek@pusan.ac.kr)

이준웅 : 전남대학교 산업공학과(joonlee@chonnam.ac.kr)

※ 본 논문은 한국과학재단 목적기초연구(R05-2001-000-00973-0) 지원으로 연구되었습니다.

시스템의 영상획득 및 전처리부는 재구성이 가능한 FPGA를 사용하여 하드웨어적으로 구현하고, 영상처리부는 범용 RISC/DSP로 구성하여 실시간 영상처리를 도모하였다. 이는 알고리즘의 의존성이 강하여 전용의 하드웨어로 구성이 되며, 시스템의 목적에 부합되도록 설계되어 확장적용이 용이하지 않지만, 이러한 구조는 시스템의 소형화 및 시스템의 최적설계가 가능하여 실시간성을 도모할 수 있으므로 현재 일반적인 경향이 되고 있다.

본 논문에서는 비전 센서를 사용하여 획득된 여러 가지 잡음의 영향에 노출되어 있는 도로교통 영상의 해석을 위한 영상특징으로 소벨(Sobel) 에지를 선택하고, 이를 효율적으로 실시간에 검출할 수 있는 전용의 하드웨어를 구현하기 위한 구체적인 설계사양과 하드웨어 구조에 대해 기술한다. 일반적으로 에지 연산자의 선택기준은 검출력(detection)과 위치의 정확성(localization)이라 할 수 있다. 그런데, 에지검출기가 여러 픽셀뚜개의 에지를 생성한다면 정확한 에지 위치를 식별하기 어려워진다. 이러한 관점에서 볼 때 소벨 에지연산자는 검출력은 뛰어나지만 위치의 정확도에 문제가 있을 수 있다. 그럼에도 불구하고 본 연구에서 소벨 에지연산자를 선택한 것은 검출력이 좋다면 위치의 정확도는 비극대 억제(non-maxima suppression)를 통하여 해결할 수 있기 때문이다[7]. 랜덤한 잡음환경에서 영상특징 추출에 대한 다양한 경험을 바탕으로 본 논문에서는 에지연산자로 소벨 연산자를 선택하게 되었다.

구현된 하드웨어 시스템은 3×3 소벨 에지연산에 의한 에지의 크기 및 방향각 계산을 고속으로 수행할 수 있도록 하위단계의 영상처리부에 라인버퍼(line buffer), 록업 테이블용 메모리 및 FPGA로 구성하고, 상위단계의 영상처리부는 DSP에서 수행하는 구조이며, 이는 차량에 탑재가 용이하도록 소형의 온보드(onboard) 형태로 최적화하였다. 이러한 구조는 기존 PC 중심의 영상처리시스템이 갖는 문제점인 차량 탑재가 용이하지 않다는 점과 에지추출 등 단일 기능의 콘벌루션 연산에 비효율적인 점을 극복한 것이다. PC 중심의 영상처리시스템의 경우, 프레임 그래버에서 획득한 영상데이터의 전처리과정을 CPU가 순차적으로 모든 연산을 담당한다. 일반적으로 에지추출의 전처리과정은 콘벌루션 등의 단일기능 연산에 대한 반복수행으로 640×480 영상의 경우, 약 300만 번의 곱과 합, 그리고 탄젠트 연산이 필요하여 시스템의 전체 실행속도를 저하하게 한다. 그러나, 이를 재구성이 가능한 FPGA를 사용하여 구현 할 경우, 단일기능의 병렬처리가 가능하여 실시간화를 도모할 수 있다.

FPGA와 DSP의 조합에 의해 최적 설계된 실시간 전용 하드웨어의 성능검증을 목적으로 본 논문에서는 에지정보에 기반하여 도로교통 영상에서 차선정보를 추출하는 알고리즘의 적용실험을 수행하였다. 도로교통 영상의 처리에서 잘 알려진 것처럼 영상처리를 어렵게 만드는 여러 가지 잡음의 영향 즉, 광원의 급격한 변화, 그림자, 우천시, 차선표식 및 도로경계와 유사한 특징 등은 정보추출을 어렵게 하여 영상처리시 많은 영상의 특징들이 요구되며, 또한 필터링 등의 부가적인 처리시간이 요구되므로 고속 처리를 필요로 한다. 이러한 상황에서 제안된 하드웨어 시스템은 영상의 밝기정

보 뿐만 아니라 에지의 크기 및 부호정보, 특히 많은 계산시간이 소요되는 탄젠트 연산인 방향각 정보 등 다양한 영상특징을 실시간에 추출할 수 있음을 보였다. 기존 시스템이 실시간 처리를 위해 알고리즘에서 처리해야 할 영역을 제한하거나, 다중의 프로세서를 사용하여 각각에서 수행된 알고리즘의 결과를 병렬처리 하는 복잡한 구조로 설계된 점과 달리 제안된 시스템은 저비용의 온보드 형태로 최적화되어 전체적인 성능향상을 도모하였다. 본 논문에서 구현된 실시간 영상처리시스템의 하드웨어 구성은 도로교통 영상처리에 한정된 것이 아니라 영상의 밝기정보, 에지의 수직 및 수평 크기정보, 그리고 에지의 방향정보 등 다양한 영상정보를 필요로 하는 실시간 인식시스템 등의 다양한 분야에 직접적인 적용이 가능하다.

## II. 고속 영상처리시스템의 하드웨어 구성

본 논문에서 추구하는 영상처리시스템의 궁극적인 목표는 선택된 소벨 에지연산을 시스템의 목적에 부합되도록 고속으로 처리할 수 있는 전용의 하드웨어 구현이며, 차량에 탑재가 용이하고, 실시간 처리를 도모하는 것이다.

시스템의 전체적인 구성은 그림 1에 나타낸 것과 같이 CCD 카메라에서 출력된 아날로그 NTSC 신호를 비디오 디코더를 통하여 디지털 신호로 변환하는 영상 입력부, 영상 신호의 잡음제거 또는 에지추출 등을 수행하는 영상 전처리부, 각종 영상처리 알고리즘을 수행하기 위한 영상처리부, 처리된 결과를 출력하기 위한 영상출력부, 그리고 각종 신호의 흐름을 제어하기 위한 제어신호 발생부로 구성된다.

### 1. 영상 입력부

본 논문에서 영상입력으로 사용하기 위한 카메라는 NTSC 아날로그 신호를 출력하는 흑백의 CCD 카메라를 대상으로 하였으며, 영상 입력부는 카메라에서 출력되는 NTSC 아날로그 영상신호를 프로세서에서 처리하기 위해 디지털 값으로 변환하는 부분으로 그림 2에 나타낸 것과 같이 비디오 디코더, 필드 메모리, 멀티플렉서 및 제어회로로 구성된다. CCD 카메라에서 출력되는 NTSC 복합영상신

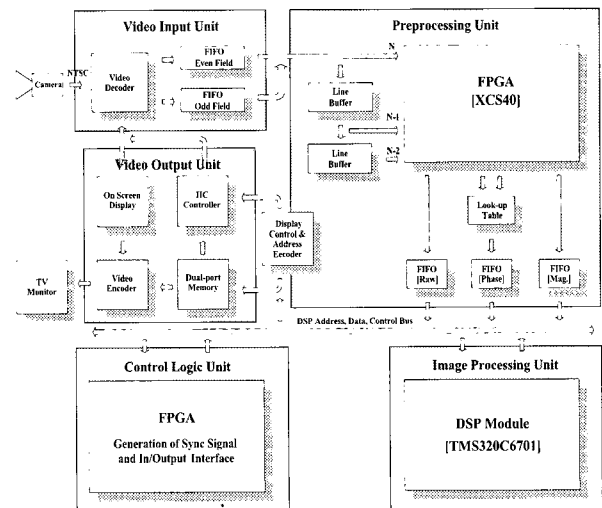


그림 1. 고속 영상처리시스템의 하드웨어 구성.

Fig. 1. System architecture for real-time image processing.

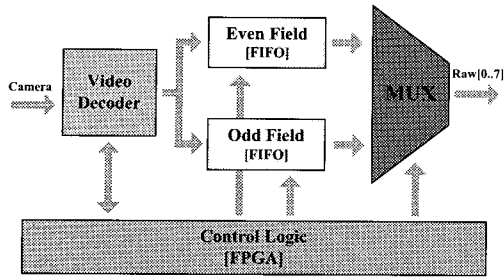


그림 2. 영상 입력부의 구성.  
Fig. 2. Structure of video input unit.

호는 비월주사(interlace)방식이며, 이 신호는 1개의 동축케이블로 송수한다. 1개의 케이블만으로 어디에나 접속할 수 있다는 점은 매우 편리하지만, 영상신호에는 화소의 휘도를 가리키는 본래의 신호외에 수평 및 수직의 동기신호가 포함된 복합신호이며, 이의 신호를 프로세서에서 실시간 처리하기 위해 고속으로 분리하기란 쉽지 않다. 1.0Vpp(75Ω중단)의 신호레벨을 갖는 아날로그 복합영상신호를 프로세서에서 처리하기 위해서는 아날로그 영상신호를 디지털화하기 위한 비디오 디코더가 필요하다. 범용의 A/D 변환기로 비디오 디코더를 설계할 경우, 수평 및 수직 동기신호 검출 회로가 포함되어야 하며, 변환시간이 고속인 칩을 사용하는 등 부가회로가 복잡하고, 또한 이의 회로를 정확히 구성하지 못하면 양질의 영상을 획득할 수 없기 때문에 영상처리 시스템의 전체에 영향을 미칠 수 있으므로 신중을 기해야 한다 [8]-[9].

본 논문에서는 복합영상신호의 처리를 위해 전용의 비디오 디코더 칩을 사용하였다. 이 경우 회로가 간단해 짐은 물론 획득된 영상의 깨끗한 화질을 보장할 수 있다. 선정된 칩은 Conexant사의 BT829이며, 이는 다양한 크기의 영상을 하드웨어적으로 설정 가능한 제어모드를 가지고 있다. 이 기능을 이용하면 특정영역의 영상처리영역을 쉽게 설정할 수 있다. 그림 3에서 나타낸 것과 같이 영상의 특정영역을 VDELAY, VACTIVE, HDELAY 및 HACTIVE 신호를 이용하여 설정할 수 있으며, 이는 I<sup>2</sup>C로 제어된다.

2:1 비월주사 방식의 표준 영상 1프레임을 처리하기 위해서는 Even/Odd의 두 필드를 각각 저장한 후 각각의 필드를 1라인씩 읽어야 하나의 프레임을 구성할 수 있다. 그러므로 본 논문에서는 비디오 디코더에서 변환된 영상데이터를 저장하기 위해 두 개의 메모리를 사용하였다. 이러한 구조는 필요에 따라 필드/프레임 처리를 가능하게 한다. 비디오 디코더에서 출력된 디지털 영상 데이터를 저장하기 위한 필드 메모리로 랜덤 액세스가 가능하다는 장점을 가지고 있는 범용의 SRAM을 사용할 수 있으나, 본 논문에서는 듀얼 포트(dual port) FIFO 메모리를 사용하였다. 이는 영상 데이터의 읽기와 저장을 독립적으로 수행하도록 하여 실시간 처리를 도모하기 위함이다.

그림 2는 Even 및 Odd 필드에 대하여 각각의 FIFO 메모리를 사용하여 2:1 비월주사 방식을 순차주사 방식으로 재정렬하기 위한 구조를 나타낸다. 비디오 디코더에서 처음 반주기 동안 출력되는 영상을 상위 FIFO 메모리에 기록하

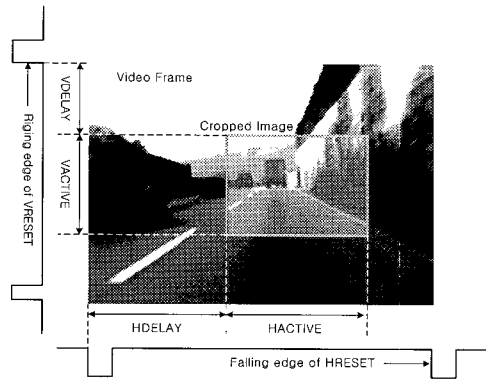


그림 3. 영상처리영역 설정.  
Fig. 3. Setting of region of interest.

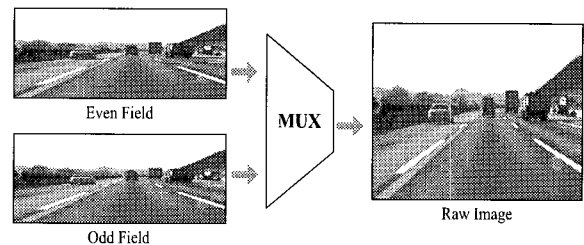


그림 4. 재정렬된 영상.  
Fig. 4. Non-interlaced image.

고, 다음 반주기에 출력되는 영상을 하위 FIFO 메모리에 각각 기록하면 한 프레임의 영상이 모두 저장된다. 그리고, FIFO 메모리에 저장된 데이터를 영상 전처리 등에서 사용하고자 할 때는 멀티플렉서를 사용하여 처리한다. 이때, 제어로직의 신호에 따라 영상 데이터가 저장된 FIFO 메모리의 출력을 전환하면 그림 4와 같이 FIFO 메모리에 저장된 영상이 순차주사 방식으로 출력된다.

2. 영상 전처리부

영상 전처리부는 에지연산 등의 처리를 담당하는 부분으로 본 논문에서는 3×3 소벨 에지연산의 수행에 알맞게 최적화되었다. 일반적으로 에지연산자 선택에 대한 논점은 에지 검출기가 올바른 에지를 찾는가와 찾아진 에지는 정확한 위치를 표시하는가에 있으며, 이들 사이에는 동시에 달성할 수 없는 절충(trade-off)이 필요하다[7]. 따라서 본 연구에서는 도로영상처리의 경험을 토대로 소벨 에지연산자를 도로 영상처리용 연산자로 선택하였다. 그러나, 그레디언트(gradient) 연산결과로 물체의 윤곽선 부근의 에지가 산의 능선처럼 분포되어 위치 정확성에 대한 문제가 제기된다. 이상적인 에지 검출기는 윤곽선에 존재하는 에지만을 표시하지만 만약 에지검출기가 여러 픽셀두께의 에지를 생성한다면 윤곽선의 정확한 위치를 찾기란 힘들다. 이러한 경우, 국부적으로 가장 큰 그레디언트값을 갖는 픽셀은 실제로 윤곽선에 해당할 확률이 높으므로 이들 픽셀만 남기고 부근의 다른 픽셀은 제거하는 방법을 활용한다면 이러한 문제의 해결은 가능하다. 바로 비극대 억제(non-local maximum suppression)가 이에 부합되는 방법이다.

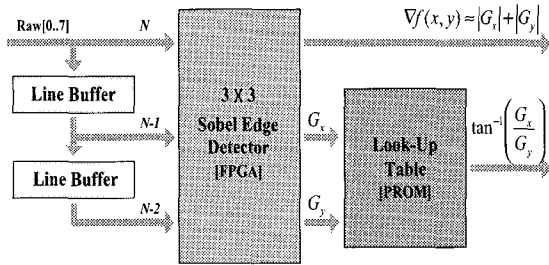


그림 5. 영상 전처리부의 구성.  
Fig. 5. Structure of image pre-processor.

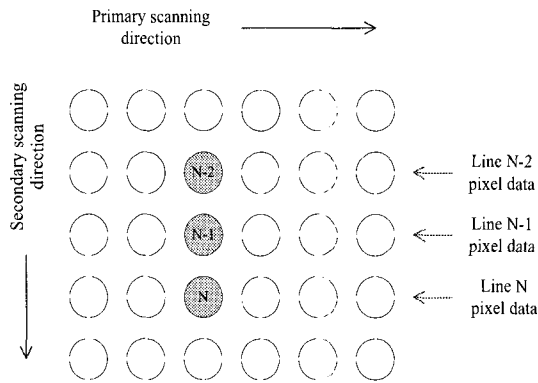
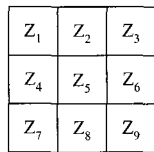
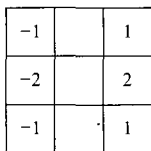


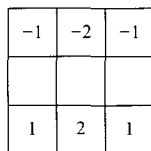
그림 6. 주사 방향.  
Fig. 6. Scanning direction.



(a) 3x3 영상영역



(b) G<sub>x</sub>용 마스크



(c) G<sub>y</sub>용 마스크

그림 7. 3x3 소벨 에지연산자.  
Fig. 7. 3x3 Sobel edge operator.

따라서 검출력은 뛰어나지만 위치 정확성 문제를 안고 있는 소벨 연산자는 비극대 억제에 의해 단점을 충분히 극복할 수 있었다.

본 논문에서 구현된 영상 전처리부는 그림 5에 나타난 것과 같이 라인 버퍼, FPGA, 그리고 룩업 테이블(look-up table, LUT)용 메모리로 구성된다. 기존 PC 중심의 영상처리 시스템에서는 전처리의 수행이 PC 프로그램에 의해 순차적으로 이루어지기 때문에 반복 계산처리에 많은 시간이 소요된다. 이러한 단일기능의 반복연산을 하드웨어로 구성하면 병렬처리가 가능하여 실시간 처리를 할 수 있다.

본 논문에서 구현된 영상 전처리부의 구성은 다음과 같다. 비디오 디코더에서 출력된 두 필드의 영상 데이터가 EVEN/ODD 필드의 출력 제어신호에 의해 1 라인씩 번갈아 출력되며, 그림 6에서 나타난 것과 같이 출력된 라인 데이터 N은 이전 N-1과 N-2 라인 데이터와 함께 제어신호에 따라 동시에 출력되므로 한번에 수직방향 3byte씩 처리가 가능하게 되어 소벨 에지연산을 효과적으로 처리할 수 있다. 만약, 필요에 따라 3x3 소벨 에지연산이 필요로 하지 않는 연산인 경우, 라인버퍼를 사용하지 않을 수 있으며, 재구성 가능한 FPGA를 통하여 또다른 전처리부의 구성이 가능하다.

전처리부에서는 그림 7에서 나타난 3x3 소벨 연산자를 하드웨어로 구현하기 위해 최적화 되었으며, 그림 8은 이를 하드웨어로 효과적으로 처리하기 위하여 그림 5에 나타난 영상 전처리부의 구성 중 3x3 소벨 에지검출부를 세부적으로 나타난 것이다. 이는 스테이징 레지스터부(staging register), 그레디언트 연산부(gradient calculator), 그리고 크기 연산부(magnitude calculator)로 구성된다. 에지추출을 위한 전처리부는 클럭에 동기하여 n번째 클럭이 인가되면 8bit 픽셀 데이터 3개가 스테이징 레지스터부에 인가되고, 동시에 각각의 래치에 저장된 이전 데이터는 시프트하게 된다. n+1 ~ n+3 번째 클럭이 인가되면 단계별로 구성된 8~10bit 덧셈기에서 x, y 방향의 기울기 성분을 계산한다. 그리고, n+4 번째 클럭이 인가되면 그레디언트 연산부에서 출력된 G<sub>x</sub>, G<sub>y</sub> 값으로 에지의 크기를 계산하고, 또한 에지의 방향 값을 얻기 위해 LUT에 G<sub>x</sub>, G<sub>y</sub> 값을 전달하여 LUT에서 방향값을 출력하도록 구성하였다.

스테이징 레지스터부는 그림 9에 나타난 것과 같이 9개의 래치로 구성되며, 클럭에 동기하여 8byte 데이터를 출력함과 동시에 시프트할 수 있는 구조를 갖는다. 여기에서 3x3 매트릭스 구조의 마스크를 사용하여 에지를 검출하려면 처음 2클럭의 주기 동안 1열과 2열의 데이터만 있어 연산이 불가능하므로 3번째 클럭부터 출력이 가능하도록 제어 신호 OE (output enable)의 신호를 추가하였다.

스테이징 레지스터부에서 출력된 8byte의 데이터를 입력으로 하여 에지를 추출하려면 먼저 x, y 방향으로 그레디언트 성분을 구해야 하며, 이는 그림 7에 나타난 것과 같이 3x3 영역의 각 픽셀의 밝기값과 소벨 연산자를 이용하여 다음의 (1)식과 같이 영역의 중심위치에서 에지의 기울기

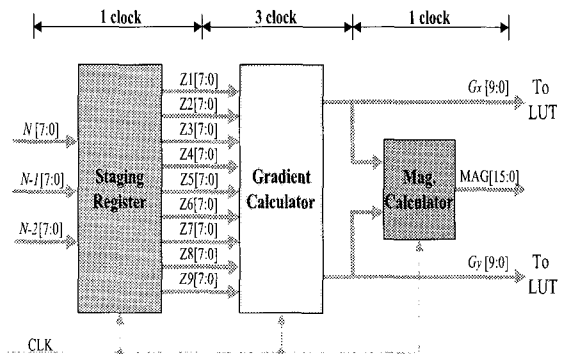


그림 8. 에지 검출기의 구성.  
Fig. 8. Structure of edge detector.

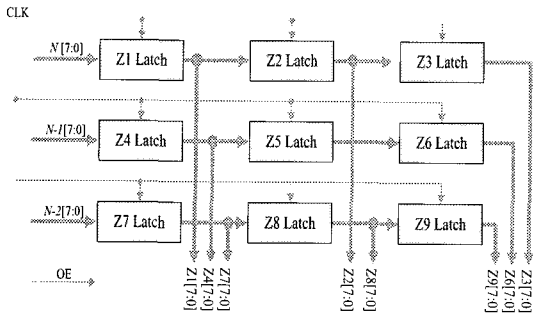


그림 9. 스테이징 레지스터부의 구성.  
Fig. 9. Structure of staging register.

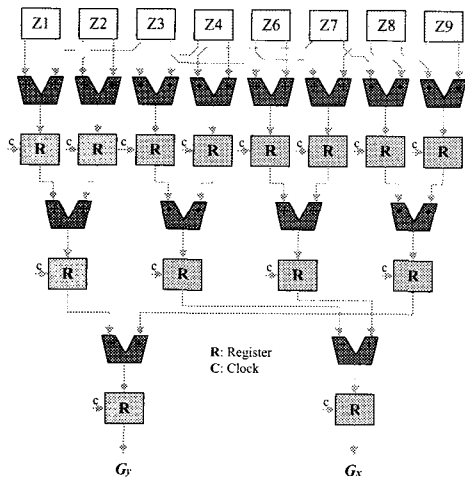


그림 10. 기울기 연산부의 구성.  
Fig. 10. Structure of gradient calculator.

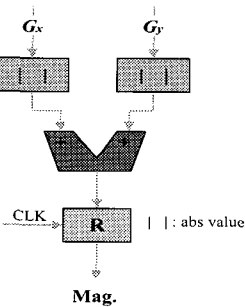


그림 11. 에지 크기 연산부의 구성.  
Fig. 11. Structure of gradient magnitude calculator.

성분을 구하면 된다.

$$\begin{aligned} G_x &= (Z_3 + 2Z_6 + Z_9) - (Z_1 + 2Z_4 + Z_7), \\ G_y &= (Z_7 + 2Z_8 + Z_9) - (Z_1 + 2Z_2 + Z_3) \end{aligned} \quad (1)$$

그레디언트 연산부의 구조는 그림 10과 같다. 각 단계에서 레지스터를 이용한 것은 클럭에 동기하여 다음 단계로 출력할 수 있도록 타이밍을 일정하게 하기 위한 것이다. 그레디언트 연산부에서 출력된  $G_x, G_y$ 의 값으로 크기 연산부에서 에지의 크기 값을 얻게 된다. 에지의 크기는

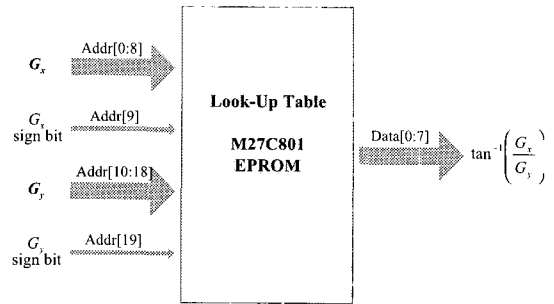


그림 12. 에지방향 계산용 LUT.  
Fig. 12. LUT for calculation of gradient direction.

$\nabla f(x, y) = \sqrt{G_x^2 + G_y^2} \approx |G_x| + |G_y|$ 로 근사되므로 다음의 그림 11과 같이 구성하였다.

FPGA에서는 영상신호의 전처리에 관련된 모든 제어신호를 생성한다. 또한, 이와 관련된 영상 메모리를 관리하고, 소벨 에지추출 결과인 에지의 크기 정보를 출력한다. 에지의 방향정보는 아크탄젠트의 계산을 필요로 하며, 이를 FPGA에서 구현시 단일 클럭으로 처리가 불가능하므로 본 논문에서는 LUT를 작성하여 메모리에 저장 후 참조하였다.

에지의 방향각에 대한 LUT를 미리 구축해 놓고, 에지추출시 매 픽셀마다  $\tan^{-1}(G_y/G_x)$ 에 의한 방향각의 계산없이  $G_x, G_y$  성분에 의해 곧바로 LUT에서 대응되는 값을 찾아 에지픽셀의 방향각을 결정할 수 있다. 문제는 LUT의 메모리 크기를 정하는 것인데, 이때 검토해야 할 사항은  $G_x, G_y$ 의 값의 범위와 이에 따른 아크탄젠트의 값의 범위이다.  $G_x, G_y$ 가 취할 수 있는 값의 최대범위는 -1020~1020이다. 아크탄젠트의 값의 범위는 프로그램에서 사용하는 함수에 따라 달라지는데 본 논문에서는 C언어의 atan()함수를 사용하므로  $-\pi/2 \sim \pi/2$ 까지이며 실수값을 돌려준다. LUT의 구축을 위하여 본 논문에서는 아크탄젠트 값을 정수(integer)화했고,  $G_x, G_y$ 의 값도 정규화(normalization)시켜 가질 수 있는 범위를 -512~512까지로 했다. 이렇게 하면 그림 12에 나타난 것과 같이 2차원 배열형태의 LUT가 형성되고, 메모리는 1Mbyte로 정할 수 있다.

### 3. 영상처리부

시스템의 전반적인 동작을 제어하고, 상위단계의 영상처리 알고리즘 구현을 위한 여러 가지 연산을 담당하는 영상처리부의 DSP는 Texas Instruments사의 부동소수점 프로세서인 TMS320C6701을 사용하였다[10]. 사용된 DSP는 1,600MIPS의 수행속도를 가지고 있으며, 1.9V의 저전압과 33MHz (또는 40MHz) 기준 클럭을 4 체배한 속도에서 동작하고 32비트 명령어, 8 파이프라인 구조로 현재 발표된 DSP 중에서 가장 빠른 제품군에 속한다. 그리고, 연산 결과와 중간 과정의 데이터를 저장하기 위하여 SBSRAM (synchronous burst static random access memory) 과 많은 양의 영상 데이터를 저장하고, 연산에 사용하기 위하여 속도는 SBSRAM에 비해 느리지만 대용량의 SDRAM (synchronous dynamic random access memory) 을 함께 사용하였다. 표 1은 영상 신호처리부

표 1. 영상 신호처리부의 기본적인 사양.

Table 1. Specification of DSP module for image processing.

Item	Specification
DSP Processor	Texas Instruments TMS320C6701 at 167MHz
Memory	Flash Memory : 8Mbits (AM29LV800B) SBSRAM : 4Mbits (MT58LC128K32) SDRAM : 128Mbits (MT48LC4M16A×2)
Debugging	JTAG Port
Power	Power supply = 5V DSP I/O supply = 3.3V DSP Core supply = 1.9V

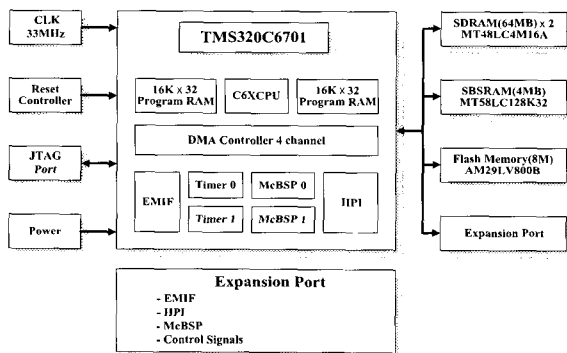


그림 13. 영상 신호처리부의 구성.

Fig. 13. Structure of DSP module for image processing.

의 기본적인 사양을 나타내며, 그림 13은 이의 구성을 나타낸다.

영상처리부는 영상입력부에서 얻은 밝기정보, 전처리과정을 통하여 출력된 에지의 부호정보, 크기와 방향정보 등을 토대로 하는 알고리즘을 구현한다. 이때, 전처리부에서 출력되는 에지의 크기와 방향정보의 데이터 전송경로는 CPU가 관여하지 않고, 주변장치가 직접 메모리 버스를 관리하도록 하여 전송속도를 증가시키는 DMA (direct memory access)를 이용하였다. TMS320C6701에서는 4개의 DMA 채널을 이용해서 내부 메모리나 주변장치들과 외부 메모리간의 데이터 교환을 가능하게 한다. 본 논문에서는 DMA를 통하여 전처리부에서 생성된 각종 정보를 DSP의 내부 메모리로 전송하였으며, 이는 외부 메모리의 접근에 소요되는 잉여 사이클을 단축하여 실시간 처리를 도모한다.

4. 영상 출력부

영상 출력부는 입력영상과 영상처리가 완료된 후 처리결과 등을 모니터링 하기 위한 부분이며, 영상처리가 완료되어 메모리에 저장된 데이터를 모니터에 출력하기 위해서는 표준 NTSC 아날로그 신호로 변환하는 과정이 필요하다. 본 논문에서는 그림 14에서 나타낸 것과 같이 두 개의 메모리와 제어회로를 이용하여 메모리 A에서 영상 데이터를 출력하는 동안 메모리 B에서는 영상처리 결과를 저장하도록 하거나 또는 이와 반대로 수행하는 메모리 뱅크를 전환하는 구조를 사용하여 실시간 영상처리 결과를 출력할 수 있도록 하였다. 사용된 비디오 인코더는 Conexant사의 BT864이며, 또한 문자정보를 출력하기 위하여 OSD (on screen display)를

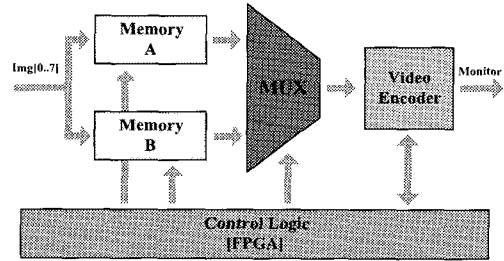


그림 14. 영상 출력부의 구성.

Fig. 14. Structure of video output unit.

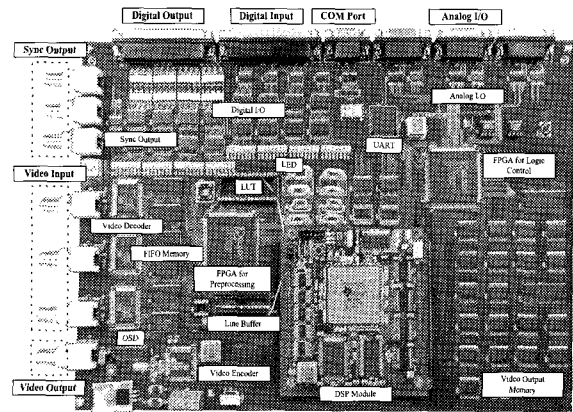


그림 15. 구현된 하드웨어 시스템.

Fig. 15. Implementation of a real-time image processing system.

사용하였다.

III. 고속 영상처리시스템의 하드웨어 구현 및 적용 실험

1. 하드웨어의 구현

그림 15는 도로영상처리를 위해 구현된 고속 영상처리시스템의 하드웨어를 보인 것이다. 그림에 나타낸 것과 같이 영상처리부는 모듈화하고, 나머지 부분은 하나의 기판에 내장하는 구조로 구현하였다. 본 시스템은 향후 스테레오 및 멀티뷰 영상처리까지 확장을 위하여 카메라의 입력을 3개 까지 동시에 입력이 가능하도록 범용으로 제작되었으며, 또한 스테레오 영상처리시 영상을 획득하게 되는 시점의 동기화가 중요하므로 카메라의 동기신호를 직접 제어 가능하도록 하였다. 기본적인 디버깅은 JTAG 포트를 통하여 이루어지며, 차량 장착실험을 위하여 별도의 모니터링 프로그램을 작성하였다.

2. 차선정보검출 알고리즘 적용 실험

본 논문에서 구현된 하드웨어의 성능을 검증할 목적으로 저자들이 개발한 차선정보검출 알고리즘을 적용하였다. 알고리즘에 대한 자세한 사항은 참고문헌 [11]에 제시되어 있다. 그림 16은 구현된 영상처리시스템의 적용 예로 도로영상의 차선정보추출 실험을 수행한 결과를 나타낸다. 그림 16(a)는 비전 센서로부터 입력된 원영상(raw image)을 나타내고, (b)와 (c)는 본 시스템에서 소벨 에지연산의 전처리 과정을 거쳐 생성된 에지의 크기와 방향성분을 나타낸 것이

며, (d)는 알고리즘에서 제시된 에지분포함수(edge distribution function, EDF)를 구축한 것이다. 그림 16(b) 및 (c)를 이용하여 구축한 그림 16(d)의 EDF는 입력영상의 소벨 에지연산을 통하여 얻어진 방향각에 관련된 에지크기의 히스토그램이다. EDF에서 국부최대점(local maxima point)은 차선의 방향과 잘 일치함을 알 수 있다. 실험결과 구현된 하드웨어 시스템은 양호한 영상을 제공하고, EDF에 기반한 차선정보추출 알고리즘의 핵심인 에지정보를 신뢰성 있게 추출함을 알 수 있었다.

3. 분석 및 고찰

구현된 영상처리시스템의 전체적인 동작의 흐름을 제어하는 것은 영상처리부의 DSP가 담당한다. DSP는 먼저 비디오 디코더, 인코더, 그리고 OSD 등의 하드웨어를 초기화하고, 또한 입력영상의 크기, 처리영역, 그리고 각종 변수 등 전체 시스템의 동작을 초기화한다. 초기화 동작이 완료된 후, 영상처리부의 DSP가 전처리용 FPGA에 영상입력을 지시하면 카메라에서 출력된 NTSC 영상 신호의 수직 동기신

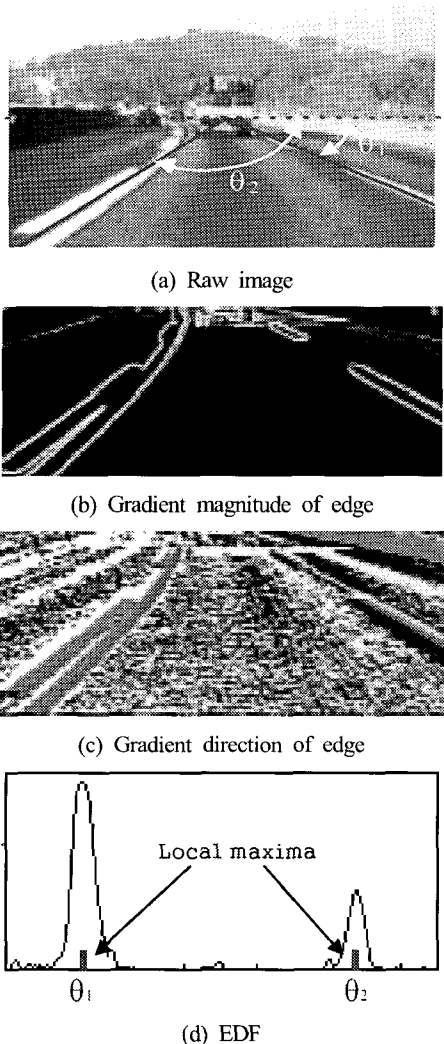


그림 16. 차선정보추출 적용 실험.

Fig. 16. Experimental result of detecting lane-related information.

호에 동기하여 비디오 디코더는 디지털 영상 데이터를 출력하고, 이를 FIFO 메모리에 기록한다. 현재 프레임의 영상 데이터가 모두 FIFO 메모리에 저장되는 시간은 그림 17에 나타낸 것과 같이 약 33.3ms가 소요된다. 실질적으로 FIFO 메모리에 저장되는 픽셀데이터는 그림 17에서 나타낸 것과 같이 EVEN/ODD 필드의 ROI부분이다. 입력 프레임의 영상 데이터의 저장이 완료되면 FPGA는 DSP에서 다음 영상입력을 명령할 때까지 대기한다. DSP에서 다음 입력영상의 입력을 명령할 때까지의 대기시간은 4.1ms이다. 이때, 영상 신호 처리부로부터 명령의 수수 또는 비디오 디코더와 FIFO의 제어신호를 발생하는 등의 실질적인 동작은 전처리용 FPGA가 담당한다.

영상처리부는 전처리용 FPGA의 처리와 병행하여 비디오 디코더가 현재 프레임의 영상 데이터 중 ODD 필드의 60라인 영상 데이터의 출력시점(그림 17에 A로 표시)에서부터 전처리부에서 입력영상, 소벨 에지연산에 의한 에지의 크기, 그리고 방향정보 등의 전처리 결과를 읽어 영상처리부의 메모리로 읽어온다. 이러한 작업은 FIFO가 듀얼 포트 메모리 구조이므로 영상 데이터의 읽기와 저장을 독립적으로 수행이 가능하기 때문이다. 그러나 동시에 같은 번지를 접근하지 못하며, 데이터 시트에 의하면 읽기와 쓰기의 주소간격을 600픽셀이상으로 할 것을 권유하고 있다. 사실상 이 시간차(그림 17에 B로 표시)를 단축하면 전체적인 처리시간이 단축된다.

시스템 평가에 사용된 차선정보검출 알고리즘은 EDF가 구축되고 나면 EDF에서 국부최대값(local maxima point, LMP)을 찾고, LMP와 일치하는 에지의 각도값을 가진 에지 픽셀들을 모아 산점도(scatter diagram)를 형성하여 선분근사화(line fitting)를 통하여 차선의 방향과 위치정보를 얻는 일련의 과정으로 되어 있다.

본 논문에서 구현된 하드웨어시스템은 전처리가 완료된 영상 데이터가 영상처리부의 메모리로 전송되면 DSP는 EDF 구축을 시작으로 선분근사화까지 일련의 과정을 수행한다. 이의 결과는 비디오 출력용 메모리로 전송되고, 뱅크

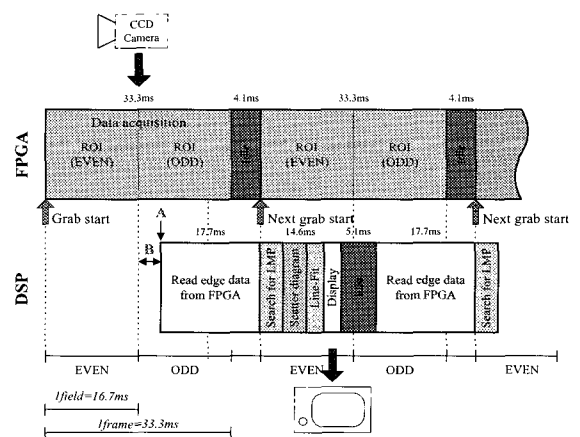


그림 17. 전체 시스템의 타이밍 분석.

Fig. 17. Timing analysis of the onboard image processing system.

전환 명령과 동시에 인코더를 통하여 출력된다. 실험결과 알고리즘의 처리시간은 약 14.6ms이었다. 그러므로 한 프레임의 영상 데이터를 처리하기 위한 처리시간은 37.4ms로 초당 25프레임 이상을 처리할 수 있음을 알 수 있었다. 일반적으로 재구성 가능한(reconfigurable) 컴퓨팅 시스템은 FPGA가 가지는 재구성 능력을 이용하여 구현하고자 하는 응용 알고리즘에서 연산시간이 많이 소요되는 부분을 하드 와이어링(hardwiring)에 의해 구현함으로써 알고리즘 수행시간을 크게 줄여줄 수 있는 능력을 나타낸다. 본 논문에서는 EDF에 기반한 차선정보추출 알고리즘의 적용실험에서 실시간 구현의 중대한 문제로 대두되었던 에지의 방향계산에 많은 연산시간이 소요되는 점을 해결하기 위해 FPGA를 사용하여 이의 처리시간을 감소시켜 전체 처리의 실시간을 도모하였다. 사용된 FPGA는 Xilinx사의 Spartan™ XCS40이며, 이의 전체 CLB수는 784개이다. 본 논문에서는 소벨 연산자를 이용한 전처리과정은 VHDL로 코딩하고 합성을 수행하였다[12]-[13]. 이 결과, 소벨 연산 및 비디오 디코더, FIFO 제어 등의 수행에 사용된 총 CLB수는 전체 21%인 169개였다. 그림 18은 소벨 연산자를 이용한 전처리과정을 FPGA에서 VHDL로 코딩(coding)하고 합성을 수행하여 생성된 내부 스케메틱의 레이아웃을 나타낸다.

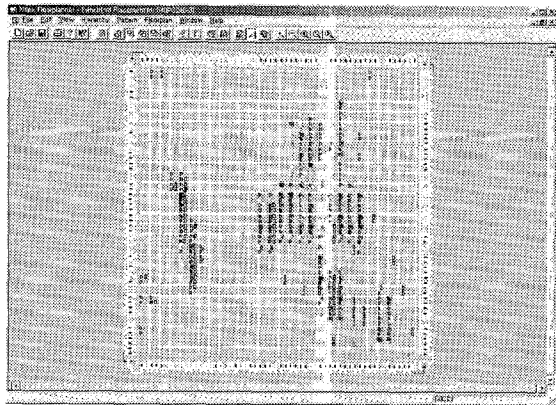


그림 18. 설계된 전처리용 FPGA의 레이아웃.  
Fig. 18. Layout of designed image pre-processor.

**IV. 결론**

본 논문에서는 랜덤한 잡음의 영향에 노출되어 있는 도로영상의 실시간 해석을 위하여 영상특징으로 소벨 에지연산자를 선택하고, 이를 효율적으로 고속 처리할 수 있는 전용의 하드웨어를 구현하기 위한 구체적인 설계사양과 하드웨어 구조에 대해 나타내었다. 구현된 하드웨어 시스템은 3x3 소벨 에지연산에 의한 에지의 크기 및 방향각 계산을 고속으로 수행할 수 있도록 하위단계의 영상처리부에 라인버퍼, 룩업 테이블용 메모리 및 FPGA로 구성하고, 상위단계의 영상처리는 DSP에서 수행하는 구조이며, 이는 차량에 탑재가 용이하도록 소형의 온보드(onboard) 형태로 최적화하였다. 이러한 구조는 기존 시스템이 실시간 처리를 위해 알고리즘에서 처리해야 할 입력영상의 영역을 제한하거나, 다중의 프로세서를 사용하여 각각에서 수행된 알고리즘의 결과

를 병렬처리 하는 구조로 설계된 점과 달리 저비용으로 전체적인 성능을 향상시킨다.

구현된 영상처리시스템의 성능을 평가하기 위해 도로영상의 차선정보추출 알고리즘을 적용한 결과, 구현된 영상처리시스템은 초당 25프레임 이상의 영상처리를 수행할 수 있는 연산속도를 가지며, 특히 탄젠트 연산인 에지 방향각의 계산에 효과적이었다. 이러한 처리속도는 오늘날 대부분의 영상처리 분야에서 처리할 정보량의 증가로 인한 실시간의 고속 데이터 처리를 요구하고 있는 실정에서 성공적인 결과라 할 수 있다.

본 논문에서 구현된 고속 영상처리시스템의 하드웨어 구성은 도로교통 영상처리에 한정된 것이 아니라 영상의 밝기 정보, 에지의 수직 및 수평 크기정보, 그리고 에지의 방향정보, 부호정보 등 다양한 영상정보를 필요로 하는 실시간 인식시스템 등의 다양한 분야에 직접적인 적용이 가능하다. 또한, 구현된 하드웨어시스템은 CCD 카메라의 입력을 3개까지 동시 입력이 가능하도록 범용으로 설계되어 향후 스테레오 및 멀티뷰 영상처리에 확장 적용이 가능하다.

**참고문헌**

- [1] S. Ozawa "Image processing for intelligent transport systems," *IEICE Trans. Information and Systems*, vol. E82-D, no. 3, pp. 629-636, 1999.
- [2] S. M. Smith and J. M. Brady, "ASSET-2: real time motion segmentation and shape tracking," *IEEE Trans. on PAMI*, vol. 17, no. 8, pp. 814-820, 1995.
- [3] M. Bertozzi and A. Broggi, "Real time lane and obstacle detection on the GOLD system," *Proc. IEEE Intelligent Vehicles '96*, pp. 213-218, 1996.
- [4] K. Hanawa and Y. Sogawa, "Development of stereo image recognition system for ADA," *IVS2001*, pp. 177-182, 2001.
- [5] C. W. Shin and K. I. Kim, "Design of real-time image processing board with multi-resolution processing method for ALV," *ITS*, pp. 1-8, 2000.
- [6] 강현인, 주용완, 백광렬, "Contact Image Sensor를 위한 고속 영상 처리 보드 구현," *제어·자동화·시스템공학 논문지*, 제 5 권, 제 6 호, pp. 691-697, 1999.
- [7] J. W. Lee and I. S. Kweon, "Extraction of line features in a noisy image", *Pattern Recognition*, vol. 30, no. 10, pp. 1651-1660, 1997.
- [8] H. Johnson and M. Graham, *High-speed digital design*, Prentice Hall, 1993.
- [9] 이운근, 이준웅, 백광렬, *보고 알 수 있는 노이즈의 시험법과 대책*, 대영사, 2001.
- [10] Texas Instruments, *TMS320C6701 floating-point digital signal processor*, Texas Instruments Ltd., 1998.
- [11] J. W. Lee, U. K. Yi, and K. R. Baek, "A cumulative distribution function of edge direction for road-lane detection," *IEICE Trans. Information and Systems*, vol. E84-D, no. 9, pp. 1206-1216, 2001.



[12] Xilinx, *The programmable logic data book 2000*, Xilinx, Inc., 2000.E. Beuville, K. Borer, E. Chesi, E.H.M.

[13] D. J. Smith, *HDL chip design*, Doone Publications, Madison, AL, USA, 1996.

**이 운 근**

제어 · 자동화 · 시스템공학 논문지 제 9 권 제 4 호 참조.

**이 준 응**

제어 · 자동화 · 시스템공학 논문지 제 4 권 제 3 호 참조.



**조 석 빈**

1977년 5월 25일생. 2000년 부산대학교 전자컴퓨터공학부 졸업. 동대학원 석사(2002). 2002년~현재 부산대학교 대학원 전자공학과 박사과정. 관심분야는 머신비전, 신호처리, 적응제어.

**고 덕 화**

제어 · 자동화 · 시스템공학 논문지 제 8 권 제 2 호 참조.

**백 광 렬**

제어 · 자동화 · 시스템공학 논문지 제 5 권 제 1 호 참조.