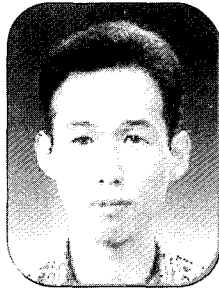


## 나노 영역에서의 전계 효과 트랜지스터의 연구동향



◦ 장문규 ◦  
ETRI  
선임연구원

### 1. 서론

1947년에 벨 연구소에서 존 바딘(John Barden), 월터 브래튼(Walter H. Brattain) 및 윌리엄 쇼클레이(William Shockley)에 의하여 트랜지스터(transistor)가 발명되었다. 이들은 트랜지스터를 발명한 업적으로 1957년 노벨 물리학상을 수상하였다. 당시에는 진공관이 널리 사용되고 있었으나, 이들에 의하여 발명된 트랜지스터는 진공관에 비해 많은 장점을 가지고 있었다. 트랜지스터는 크기가 작고, 속도가 빨랐으며 여러 개를 합쳐 하나의 패키지로 만들 수 있으며 정보를 전송하는데 전력소모가 훨씬 적었다. 또한 고체 물질로 이루어졌기 때문에 신뢰도가 증가하였으며, 진공관을 사용할 때보다 열이 훨씬 적었다. 이러한 이유로, 트랜지스터는 당시에 널리 사용되던 진공관을 급속한 속도로 대체하여 가기 시작하였다. 1954년에 텍사스 인스트루먼트사의(Texas Instrument) 골든 팀(Gordon Teal)은 최초의 상업용 실리콘 트랜지스터를 개발하였으며, 소니는 1954년 트랜지스터를 이용하여 소니 TR55<sub>1</sub>라는 라디오를 처음으로 제작하였다. 한편, 텍사스 인스트루먼트사의 킬비(Jack Kilby)는 1958년 여러 개의 트랜지스터회로를 집적할 수 있는 반도체 집적회로(IC : Integrated

Chip)를 완성, 본격적인 IC시대를 열었으며, 이로써 하나의 반도체 위에 다수의 저항과 트랜지스터가 공존할 수 있게 되었다. 이후 업계 최초로 완전히 트랜지스터로만 이루어진 컴퓨터인 7000 시리즈 메인프레임을 개발한 IBM을 필두로, IC를 이용한 반도체 칩의 개발이 본격화 되기 시작하였다. 이러한 반도체 칩의 트랜지스터의 집적화는 비약적인 추세로 발전하고 있다. 일례로, 1965년에는 약 1.5cm<sup>2</sup> 크기의 칩 하나에 1,000개의 회로소자를 넣을 수 있었다. 1970년에는 대규모 집적회로(LSI : Large Scale Integration)를 이용하여 한 칩 위의 소자수는 15,000개 이상으로 증가되었다. 오늘날은 수억 개의 소자를 수용할 수 있는 칩이 생산되고 있다. 이러한 발전의 추세는 인텔의 공동창업자인 고든무어(Gordon Moore)가 1965년에 주창한 매 18개월마다 한칩에 집적되는 트랜지스터의 수가 2배로 증가한다는 무어의 법칙에 의하여 잘 설명되고 있다. 이러한 무어의 법칙은 트랜지스터의 집적도뿐만 아니라 트랜지스터의 소형화의 추세에도 동일하게 적용될 수 있다. 현재까지의 트랜지스터의 소형화는 끊임없는 성공적인 scaling down 방법에 의하여 계속 발전되고 있다. 이러한 결과로, 오늘날 생산되고 있는 트랜지스터의 크기는 100nm정도이다. 그러나 선행연구는 더욱 앞

서가고 있으며, 이미 10nm 크기의 트랜지스터에 대한 특성들이 인텔, AMD등에 의하여 앞다투어 발표되고 있다[1, 2]. 그러나 이러한 크기의 트랜지스터는 동작원리가 10nm의 영역에서도 여전히 기존의 트랜지스터와 동일한 물리적인 원리에 기반하여 동작할 수 있다는 점을 입증한 것에 그 중요성이 있으며, 실제로 산업에 적용되기에는 많은 문제점을 가지고 있다. 따라서 본 논문에서는 트랜지스터의 100nm 이하의 기술에 있어서 존재하고 있는 문제점이 무엇인지를 살펴보고, 이를 극복하기 위하여 수행되고 있는 최근의 연구 동향에 대하여 살펴보도록 하겠다.

## 2. 전계효과 트랜지스터(MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor)

전계효과트랜지스터의 나노영역에서의 물리적인 한계를 논하기 전에 전계효과트랜지스터의 동작원리에 대하여 간단히 살펴볼 필요가 있다. 이장에서는 트랜지스터의 구조, 사용 용어 및 동작원리에 대하여 살펴봄으로써, 이후에 논할 문제점들에 대한 이해를 돕고자 한다. 그림 1은 현재 널리 사용되고 있는 전계효과 트랜지스터의 개략적인 단면을 나타낸 것이다[3, 4]. 전계효과 트랜지스터의 구조는 전자나 홀을 공급하는 소오스 영역과 소오스에서 공급된 전자나 홀을 받아서 고갈시키는 드레인 영역이 있으며, 이 전자나 홀의 흐름을 제어하는 게이트 영역이 존재한다. 게이트에서 전자나 홀의 흐름을 제어하는 방식이 게이트에 인가된 전압에 의하여 형성되는 전

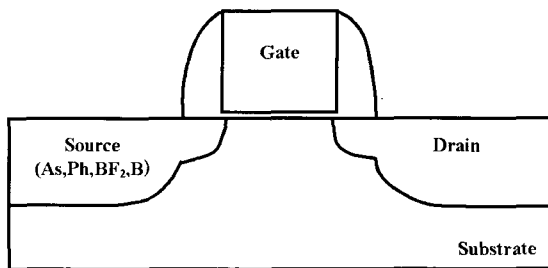


그림 1. 전계효과 트랜지스터의 단면도.

계를 사용하므로, 이러한 구조를 전계효과 트랜지스터라 명명한다. 또한, 소오스에서 유입된 전자나 홀이 드레인으로 흘러가는 영역을 채널이라 부르며 위치는 게이트 아래부근의 기판영역이며, 소오스와 드레인 사이에 존재한다. 게이트 전극과 이 채널영역을 전기적으로 절연시키기 위하여 이 사이에 게이트 절연막이 존재하게 된다. 현재 대부분의 경우, 게이트 절연막은 실리콘을 열산화시켜 형성되는  $\text{SiO}_2$ 을 사용하고 있다. 또한 소오스 및 드레인을 형성하기 위하여 사용하는 물질을 기판이라 부르며, 대부분 실리콘을 사용하고 있다. 전계효과 트랜지스터는 전류를 흐르게 하는 캐리어의 종류에 따라서 크게 N형과 P형으로 나뉘지며, 각각 전자와 홀이 전류를 흐르게 하는 캐리어가 된다. N형인 경우에는 기판은 P형을 사용하며, 소오스 및 드레인은 인(P)이나 비소(As)을 이용하여 형성한다. P형인 경우에는 N형 기판을 사용하며, 소오스 및 드레인은 붕소(B)나  $\text{BF}_2$ 를 사용하여 형성한다. 이렇게 실리콘에 인, 비소, 붕소 등을 첨가하는 과정을 도핑(doping)이라 부른다. 게이트 전극으로는 대부분의 경우 다결정 실리콘이나 비정질 실리콘을 사용하며, 비저항값을 줄이기 위하여 인이나 붕소를 높게 도핑하여 사용하고 있다. 또한 그림 1에서 소오스 및 드레인 영역에서 게이트 전극 가까운 부분은 도핑 농도가 상대적으로 소오스와 드레인보다 낮은 영역으로 형성하는데, 이를 LDD (Lightly Doped Drain) 영역이라 부른다. LDD영역을 형성하는 이유는 다음장에서 설명하도록 하겠다.

다음으로는 트랜지스터의 동작 원리에 대하여 간단히 살펴보도록 하겠다. 설명의 편의를 위하여 N형 MOSFET의 경우를 가정하도록 하자. 앞서의 그림 1에서 P형 기판, 소오스 및 드레인에 인가된 전압이 0V인 경우를 고려해 보자. 이 경우 게이트 전압이 0V이면, 실리콘 채널은 홀로 가득 채워져 있으며 따라서 이 경우에는 드레인에 1V의 전압을 인가하여도 소오스에서 드레인으로 전자가 흐르기가 어렵다. 게이트 전압을 점차적으로 양의 값으로 증가시켜가면 채널에 존재하던 홀이 게이트의 전압에 의하여 점차적으로 고갈되며 공간전하만 존재하는 경우가 생긴다. 이 경우에도 드레인에 항복전압 이상의 매우 높은 전압이 인가되지 않는 경우에는 소오스에서

드레인으로 전자가 흐르기가 어려운 상태이다. 이 상태를 지나서 게이트 전압을 더 증가시키면, 채널 영역에는 게이트 전계에 의하여 전자가 모여들게 된다. 이러한 경우를 캐리어 반전이라 부르며, P형 기판을 사용하는 경우 채널영역에 존재하는 P형 불순물의 농도와 전자의 농도가 같아지도록 하는 게이트 전압을 문턱치전압이라 명명한다. 문턱치전압 이상으로 전압을 게이트에 인가하면, 소오스에서 공급된 전자는 드레인 영역으로 흐르게 되며, 전류가 흐르게 된다. 이상에서, 전계효과 트랜지스터의 구조와 동작원리를 간단히 살펴보았다.

### 3. 나노영역에서의 트랜지스터의 소형화에 따른 물리적 한계요소

아래의 표 1은 2001년도에 발표된 ITRS(International Technology Roadmap for Semiconductor)에서 [5] High performance 소자에서의 대표적인 게이트 길이와, 게이트 절연막의 두께, 동작전압, 불순물접합의 깊이 및 면저항을 나타내었다.

표 1에서 보듯이 이미 트랜지스터의 기술은 게이트 길이가 30nm 정도가 되는 소자를 구현하여야 하는 단계에 있다. 이를 위하여서는 게이트 절연막의 두께가 약 1nm 수준으로 제작되어야 하며, 불순물 접합의 깊이 또한 10nm 수준으로 형성하여야 하며, 동시에 이러한 깊이로 형성된 접합에서의 면저항은 ~ 수백  $\Omega/\square$  정도를 만족하여야 한다. 그러나 이러한 특성을 만족하는 게이트 절연막 및 소오스/드레인에 대한 해결책이 아직 마련되지 않은 상태에 있다. 또한 트랜지스터를 구동하는 구동전압은 대략적으로

표 1. 2001년도 ITRS (High performance).

년도	2004	2005	2006
게이트 길이 (nm)	37	32	28
절연막 두께 (nm)	0.9 - 1.4	0.8 - 1.3	0.7 - 1.2
동작 전압 (V)	1.0	0.9	0.9
접합 깊이 (nm)	8 - 13		
접합의 면저항 ( $\Omega/\square$ )	200 - 600		

1V 부근에서 더 낮아지지 않고 있는 추세이다. 이는 동작전압이 낮아짐에 따라서 문턱치 전압도 낮아지게 되며, 이에 따라서 트랜지스터의 누설전류의 영향이 매우 커지기 때문이다. 트랜지스터의 문턱치전압(Threshold voltage ;  $V_T$ )은 구동전압의 약 1/4 정도의 값을 가지게 된다. 따라서, 1V의 구동 전압인 경우 문턱치전압은 N형 트랜지스터(이하 NMOS라 칭함) 및 P형 트랜지스터(이하 PMOS라 칭함)의 경우 각각 0.25V 및 -0.25V 정도가 된다. 이때 상온 300K의 열에너지는 약 0.026eV가 된다. 트랜지스터의 누설전류를 억제하기 위하여서는 트랜지스터의 동작 온도에서의 전자의 열에너지보다 문턱치전압이 약 10배 이상으로 충분히 높아야 한다. 이러한 이유로 ITRS roadmap에서 동작전압이 1V 부근으로 정의되어 있다. 아래의 그림 2는 MOSFET의 Technology별 구동전압과 문턱치전압 그리고, 게이트 절연막의 두께를 나타낸 그림이다[6].

그림 2에서 보면, 구동전압과 문턱치전압은 앞에서 설명한 바와 같이 Technology별로 거의 동일한 기울기를 가지면서 scaling down되고 있음을 알 수 있

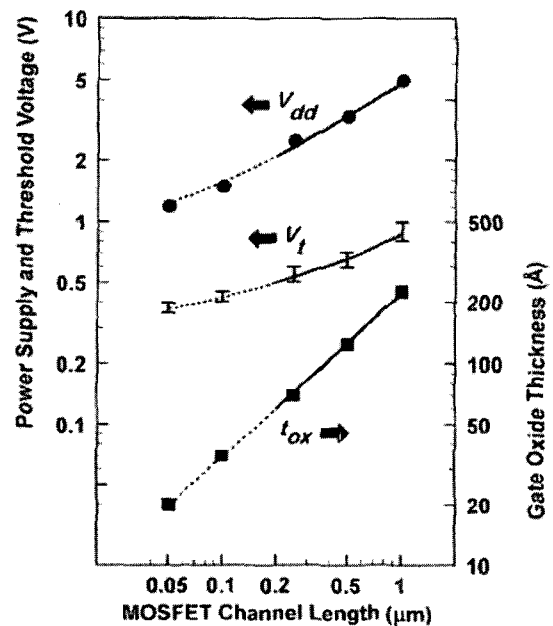


그림 2. MOSFET의 Technology별 구동전압 ( $V_{dd}$ )과 문턱치전압 ( $V_t$ ) 및 게이트 절연막의 두께( $t_{ox}$ ).

으며, 구동전압이 1V 부근으로 접근하고 있음을 알 수 있다. 그러나 이에 반하여 게이트 절연막의 두께는 Technology별로 구동전압이나 문턱치전압과는 달리 매우 급격한 기율기로 scaling down하고 있음을 알 수 있다. 이는 구동전압이 낮아짐에 따라서 트랜지스터의 전류 구동능력을 전세대의 기술과 거의 동일 수준으로 유지하기 위한 수단으로 1차적으로 게이트절연막의 두께에 대한 scaling방법을 채택하였기 때문이다. 그러나 종래의 실리콘을 열산화하는 방식으로 제조하는 SiO<sub>2</sub> 절연막의 두께가 계속적으로 물리적인 문제가 없이 줄어들 수는 없으며, 대략 트랜지스터의 게이트 길이가 100nm가 되는 영역 부근에서 SiO<sub>2</sub>를 이용한 게이트 절연막은 누설전류 특성이 급격히 나빠지며 그 한계를 나타내고 있으며, 세계 여러 연구기관에 의하여 SiO<sub>2</sub>를 대체할 수 있는 게이트 절연막 물질을 연구하기에 이르고 있다. 그러면, SiO<sub>2</sub>를 이용한 게이트절연막의 물리적인 한계 두께는 얼마일까? 그림 3은 SiO<sub>2</sub>의 물리적인 두께에 따른 전류-전압 특성 곡선을 나타내고 있다[7].

그림 3에서 점선은 실측치의 특성 곡선이며, 실선은 simulation에 의한 예측치의 특성곡선을 의미한다. 게이트절연막의 누설전류는 트랜지스터의 특성을 결정짓는 매우 중요한 인자이며, 최대 허용 누설전류는 1V의 전압이 인가된 경우, cm<sup>2</sup>당 1Ampere로 정의 된다. 이를 기준으로 보면, SiO<sub>2</sub>를 사용할 경우,

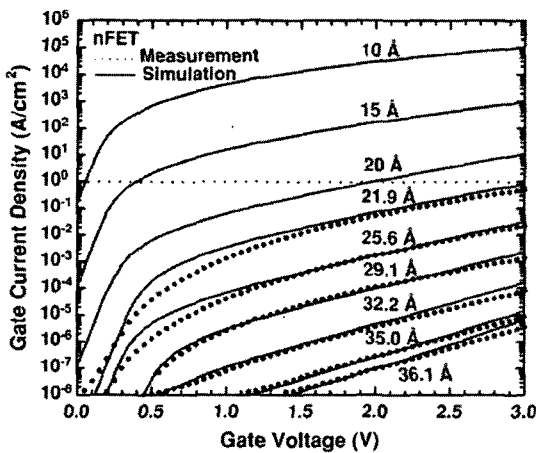
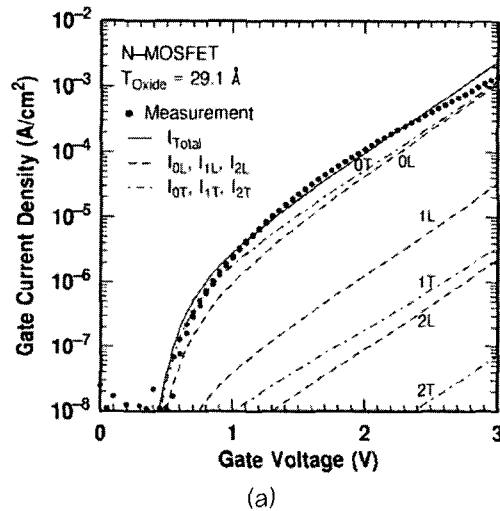


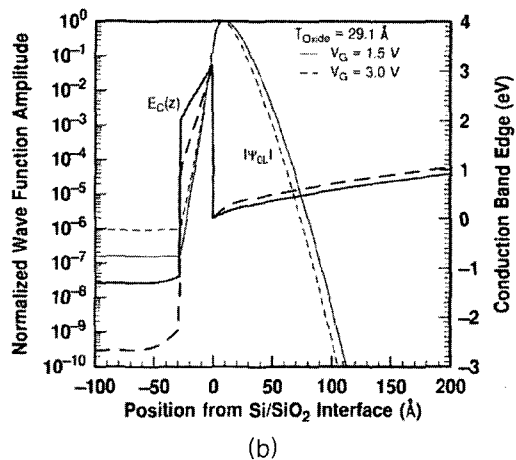
그림 3. SiO<sub>2</sub>의 물리적인 두께에 따른 전류-전압 특성 곡선.

게이트절연막의 물리적 두께의 한계치는 약 1.6nm 정도가 된다. 이러한 누설전류가 발생하는 이유는 게이트 절연막의 두께가 얇아짐에 따라서, 전자나 홀이 흐르게 되는 실리콘 채널영역에서 게이트전극으로 게이트 절연막에 의하여 형성된 장벽을 직접 관통하여 흐르게 되는 터널링 전류에 의하여 발생되게 된다.

그림 4(a)는 터널링에 의한 게이트 절연막 누설전류를 좀더 정밀하게 분석하기 위하여 수행한 터널링 계산 결과이다[8]. 그림에서 0, 1 및 2는 실리콘 채널



(a)



(b)

그림 4. (a) 터널링에 의한 게이트 절연막의 누설전류 특성. (b) 전자의 게이트 절연막의 터널링 확률함수.

내에서 전자가 가지는 sub-band index를 나타내며, T와 L은 각각 전자의 transverse mode와 longitudinal mode를 나타낸다. 널리 사용되는 실리콘 단결정의 (100) 면에서의 전자의 effective mass는 T와 L 모드에 따라서 서로 다른 값을 가진다. 그림 3(a)에서 보면, 이러한 양자역학적인 터널링 전류 계산결과가 점선으로 표시된 실측치와 정확하게 일치됨을 알 수 있으며, 이로부터 앞서 설명한 게이트 절연막의 누설 전류의 성분이 터널링에 의한 것임을 확인할 수 있다. 그림 4(b)는 전자가 실리콘 채널영역에서 게이트 전극으로 터널링 할 확률함수를 가시적으로 나타낸 그림이며, 가하여 지는 전압이 클수록 더 높은 터널링 확률을 가짐을 알 수 있다.

게이트 절연막의 두께는 지금까지 서술한 TEM (Transmission Electron Microscopy) 방법 등으로 직접적으로 확인할 수 있는 물리적인 두께와(Physical  $T_{ox}$ ) 전압에 따른 정전용량을 이용하여 측정하는 전기적인 두께가(Electrical  $T_{ox}$ ) 있다. 트랜지스터의 구동전류특성을 결정짓는 직접적인 인자는 전기적인 절연막의 두께이며, 일반적으로 물리적인 두께보다  $\sim \text{\AA}$  정도 더 두껍게 측정된다[9]. 이러한 원인으로서는 크게 두 가지 정도가 있다. 첫번째가 게이트 전극의 공핍에 의한 두께의 증가이다. 일반적으로 DRAM(Dynamic Random Access Memory)에서 사용하는 트랜지스터의 게이트 전극으로는 인(P)이 약  $10^{21} \text{ cm}^{-3}$  이상으로 높게 도핑된 N-형 다결정 실리콘을 사용한다. 이러한 경우 게이트 전극에 +1V의 전압이 인가되면 게이트 내에는 공핍층이 형성되며, 그 위치는 게이트전극과 게이트절연막의 경계면 부근이다. 알려진 N-형 다결정 실리콘의 +1V 전압에서의 공핍층 두께는 약 0.4nm 정도이다. 또한 고속 동작을 위하여 사용되는 로직용으로 사용되는 트랜지스터의 경우에는 NMOS 및 PMOS에서 각각 게이트 물질을 N형 다결정 실리콘과 P형 다결정 실리콘을 이용한 dual gate work function을 가지도록 제작하고 있으나, 이 경우에도 앞서의 DRAM의 경우와 동일하게 공핍층이 존재하게 된다. 이러한 게이트 전극에 존재하는 공핍층을 제거하기 위하여서는 메탈 게이트 구조를 적용하면 해결할 수 있다[10, 11]. 그러나, 메탈게이트를 사용하기 위하여서는 트랜지스

터 제조 공정의 저온화 및 게이트 절연막과의 전기적, 열적 안정성 및 적절한 work function값을 가지는 물질 개발 등이 필요하다. 두번째로 전기적인 절연막의 두께 증가에 영향을 미치는 인자는 채널영역에서 게이트에 의하여 유기되는 반전층(inversion layer)이 게이트 절연막과 채널의 경계면에서 약 0.3nm 아래쪽에 형성된다는 점이다. 아래의 그림 5는 채널영역에서 깊이 방향으로의 게이트의 전계효과에 의하여 형성된 반전층에서의 전자의 농도를 나타내고 있다[12].

고전적인 계산에 의하면 반전층 내에서의 전자의 깊이에 따른 분포농도는 지수함수적인 특성을 가진다. 즉, 표면에서의 전자의 농도가 가장 높으며, 깊이에 따라서 지수함수적으로 감소한다. 그러나, 양자역학적인 계산에 의하면 표면에서의 전자의 농도는 "0"이며, 점차적으로 증가한 후 다시 깊이에 따라서 감소하는 분포를 가진다. 게이트 절연막과 실리콘 채널의 경계면에서 전자의 농도가 "0"인 것은 양자역학에서의 경계조건을 고려하면 쉽게 이해가 된다. 즉, 실리콘의 밴드갭이 상온에서 1.12eV 정도인 것에 비하여 절연체인  $\text{SiO}_2$ 의 밴드갭이 8.02eV이므로, 무한 장벽으로 근사할 수 있으며, 이 경우 무한장벽에서의 전자의 확률함수가 "0"인 조건에서 이해될 수 있다. (좀더 엄밀히 기술하면, 실리콘의 전도대에서  $\text{SiO}_2$ 의 전도대의 에너지 차이가 3.10 eV임) 실리콘 채널에서의 불순물의 농도가  $10^{18} \text{ cm}^{-3}$  정도인 영역에서의 반전층의 평균 깊이는 표면에서 약 0.3nm

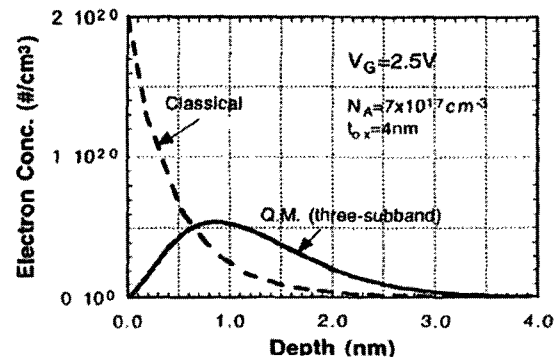


그림 5. 반전층에서의 깊이에 따른 전자의 농도에 대한 고전적, 양자역학적인 계산 결과.

아래쪽에 형성되는 것으로 알려져 있다. 결국 이 값은 전기적인 게이트 절연막의 두께가 증가된 것으로 나타난다. 최종적으로 SiO<sub>2</sub>를 게이트 절연막으로 사용할 경우, 전기적인 두께의 한계치는 물리적인 한계치인 1.6nm에 게이트 공핍층에 의한 두께 증가치인 0.4nm와 반전층의 형성위치에 의한 두께 증가치인 0.3nm를 고려하면 약 2.3nm이다. 현재 100nm 이하의 전계효과 트랜지스터를 제조하는데 있어서 가장 큰 걸림돌은 앞에서 살펴본 바와 같이 전기적인 두께가 2.3nm 이하의 값을 가지는 신뢰성 있는 게이트 절연막을 제조하는 기술이며, 이에 대하여 다양한 고유전율 물질이 연구되고 있다. 대표적으로 연구되고 있는 고유전율 절연막은 Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub> 및 Ta<sub>2</sub>O<sub>5</sub> 등의 다양한 물질들이 있다[13-15]. 하지만 이들 물질들은 유전율 상수값이(K) 3.9인 SiO<sub>2</sub>에 비하여 유전율은 수배~수십 배 큰 값을 가지지만, 실리콘 계면에서의 native SiO<sub>2</sub>층 형성 및 재결정화 특성 및 이에 따른 누설전류 특성의 저하 등 해결해야 할 몇 가지 문제점이 있다.

일반적으로 트랜지스터의 게이트의 길이가 점차적으로 줄어들어서 발생하는 문제점 중에 하나가 단채널효과이다[3]. 단채널효과는 여러가지 현상을 통칭하는 것으로, 대표적인 특성이 트랜지스터의 누설전류가 증가되고, 항복전압(Punchthrough voltage)이 감소되며, 포화 전류 특성을 보이지 않고 드레인 전압에 따라서 전류가 계속 증가하는 현상이 발생된다. 이러한 단채널 특성은 소오스와 드레인간의 거리가 점차적으로 가까워짐으로써 나타나는 현상이며, 이를 개선하는 방법중의 하나가 소오스 및 드레인의 접합 깊이를 얇게하는 방법이다. 그러나, 접합의 깊이가 줄어들어 따라서 소오스 및 드레인의 면저항이 급격하게 증가하는 문제점이 있다. 그림 6은 접합의 깊이에 따른 비저항의 값을 나타낸 그림이다[16]. 그림 6에서 L<sub>MET</sub>는 트랜지스터의 게이트 길이를 나타내며, R<sub>EXT</sub>는 게이트 길이에 해당되는 접합의 깊이에서의 소오스 및 드레인의 접합의 비저항값을 나타내고 있다. 그림 6에서 보듯이 접합의 깊이가 30nm 이하인 경우에는 비저항의 값이 기하급수적으로 증가하는 문제가 있다. 표 1에서 규정하고 있는 ITRS상의 면저항값을 만족하기 위하여서는 그림 6

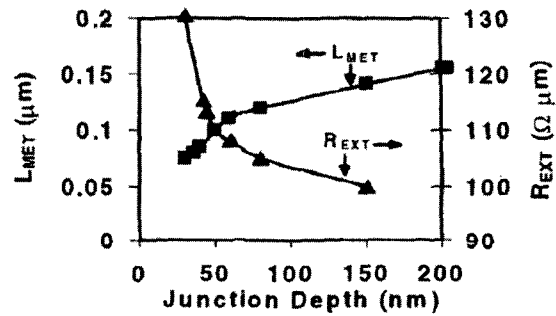
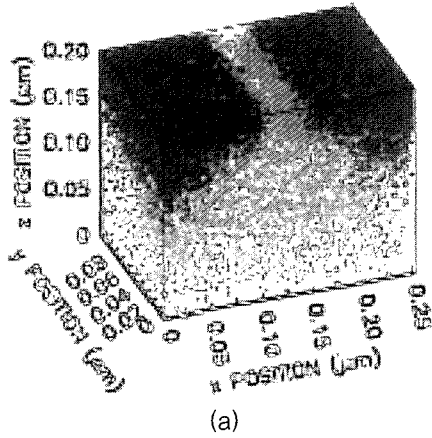


그림 6. 접합의 깊이에 따른 비저항 값.

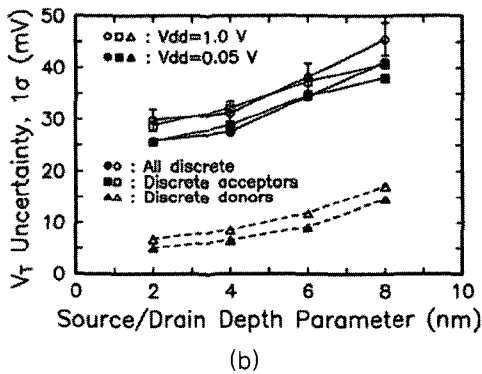
에서 보면 적절한 접합의 깊이가 약 30nm 정도임을 알 수 있다. 물론, 소오스 및 드레인의 면저항을 줄이기 위한 방안으로 타이타늄(Ti), 코발트(Co) 및 니켈(Ni) 등의 금속을 실리콘과 반응시켜서 실리사이드를 형성하는 방법이 이미 상용화 기술이 되어 사용하고 있다. 그러나, 이러한 경우에도 소오스 및 드레인의 불순물의 접합 깊이가 30nm 정도로 얇게 되면, 실리사이드층이 불순물 접합층보다 깊게 형성되어, 누설전류에 매우 좋지 않은 악영향을 미치게 되므로, 불순물 접합층의 깊이와 실리사이드층의 두께에 대한 적절한 고려가 필요하다. 또 다른 방안으로 소오스 및 드레인 영역에서의 silicon epitaxial growth 기술을 적용하는 방법이 제시되고 있다[24].

한편, 나노미터 크기의 트랜지스터의 제조에 있어서 고려하여야 하는 또 한가지 중요한 점은 문턱치 전압 조절을 위한 채널영역의 불순물 도핑시에 불순물 농도의 편차로 인하여 발생하는 문턱치전압의 변화이다. 그림 7은 채널길이 25nm인 경우에 있어서 몬테카를로 시뮬레이션에 의한 불순물의 분포와 접합의 깊이에 따른 불순물 분포의 편차로 인한 문턱치의 변화값을 나타낸 그림이다[7, 17].

그림 7(a)에서 어둡게 표시된 영역은 NMOS에서 N형 불순물을 도핑하여 형성된 소오스 및 드레인영역을 나타내며, 밝게 표시된 영역은 채널영역 내에 분포하는 P형 불순물의 분포를 나타낸다. 그림 7(b)에서 문턱치전압의 표준편차는 소오스 및 드레인의 접합의 깊이가 증가할수록 커지며, 접합의 깊이가 10nm일 경우 50mV 정도의 값을 가지게 됨을 알 수 있으며 접합의 깊이가 ITRS roadmap에서와 같이 약



(a)



(b)

그림 7. (a) 몬테카를로 시뮬레이션에 의한 불순물의 분포와 접합의 깊이에 따른 불순물 분포. (b) 문턱치전압의 표준편차.

30nm인 경우를 고려하면, 문턱치전압의 편차가 100mV를 상회하게 된다. 이는 앞에서 언급한 트랜지스터의 문턱치전압이 약 0.25V인 경우를 고려하면 매우 큰 표준편차 값을 알 수 있다. 이러한 문턱치전압의 편차는 게이트길이가 25nm이하로 줄어들수록 점점 더 커지게 되며, 궁극에는 불순물을 도핑하는 방법에 의한 문턱치전압의 조절방법 자체가 무의미하게 된다. 따라서 이에 대한 해결책도 고려되어야 하며, intrinsic silicon wafer를 이용하고, 게이트전극의 work function을 이용하여 조절하는 방법, SOI wafer를 사용하는 방법 등이 제시되고 있다.

그림 8은 트랜지스터의 technology별 게이트전극에 의한 수직방향의 electric field에 따른 전자의 이동

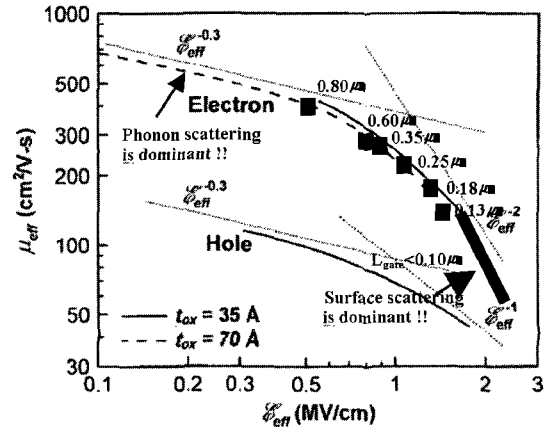


그림 8. Technology별 게이트전극에 의한 수직방향의 전계에 따른 전자의 이동도.

도를 나타낸 그림이다[6]. 그림에서 보듯이 technology별로 게이트길이가 줄어들어 따라서 수직방향의 전계는 점점 증가하고 있으며, 이에 따라서 전자의 이동도 또한 급격히 감소하고 있다. 이는, 게이트 절연막의 두께가 과감하게 scaling down 되는 것에 반하여 동작전압은 그림 2에서 보았듯이 크게 줄어들지 않음에 따른 결과이다. 전자의 이동도는 게이트에 의한 전계가 낮은 경우에는 실리콘 채널내의 불순물과의 산란에 의한 효과가 우세하였지만, 전계가 증가됨에 따라서 실리콘 채널의 전자의 흐름이 표면 부근으로 집중됨에 따른 표면 산란이 우세한 경향으로 바뀌며, 이동도가 급격하게 줄어든다. 이러한 현상은 100nm 이하의 트랜지스터의 경우는 더욱 심각해지며, 따라서 포화전류의 감소로 인한 트랜지스터의 성능 감소가 일어나게 된다. 최근에는 이러한 전자의 저이동도 특성을 개선하기 위하여 실리콘에 SiGe층을 epitaxial growth하고, 위에 다시 얇게 실리콘층을 성장시키는 연구가 진행되고 있다[18]. 이런 경우 실리콘 채널에서의 전자의 이동도는 채널 아래쪽에 존재하는 SiGe층의 함량에 따라서 전자의 이동도가 많게는 2배 가까이 증가한다. 이동도의 증가는 트랜지스터의 포화전류 증가에 직접적으로 영향을 준다. 그러나, 이러한 SiGe층의 epitaxial growth 기술을 실용화하기 위하여서는 Ge 원자의 실리콘 채널 영역으로의 확산 방지 및 interface trap 발생 등 몇 가

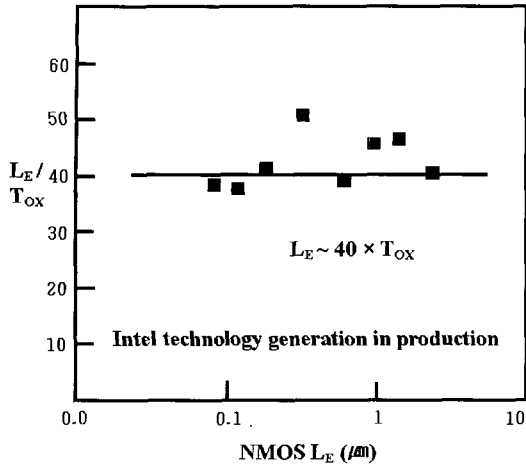


그림 9. NMOS의  $L_E$ 에 따른  $L_E/T_{ox}$ 경향.

지 해결하여야 하는 문제점들이 있다.

이상에서 100nm 이하의 트랜지스터 제조에 있어서 down scaling에 문제가 되는 몇 가지 요소들을 살펴보았다. 마지막으로  $SiO_2$ 를 게이트 절연막으로 사용할 경우, 현재의 상용화된 트랜지스터의 구조에서 사용 가능한 트랜지스터의 게이트 길이의 최소값이 대략 얼마인가를 예측해볼 필요가 있다. 아래의 그림 9는 Intel에서 그간 생산해온 NMOS 트랜지스터의 채널 길이에 따른 채널길이를 게이트절연막의 두께로 나눈 값을 표시한 그림이다[19].

그림 9에서  $L_E$ 는 전기적인 게이트 길이이며, 이는 물리적인 게이트 길이와는 약간 다른 값을 가진다. 물리적인 게이트 길이는 노광공정과 식각공정을 수행한 후 형성되는 게이트를 SEM(Scanning Electron Microscopy)이나 TEM(Transmission Electron Microscopy)등의 방법으로 측정하여 결정되는 길이이며, 전기적인 길이는 소오스 및 드레인 영역의 불순물의 채널영역으로의 확산으로 인하여 물리적인 게이트 길이보다 다소 작은값을 가진다. 따라서 그림 9에서 나타낸  $L_E$ 의 값은 물리적인 게이트 길이보다는 다소 작은 값이다. 또한 게이트 절연막의 두께도 앞서 설명한 전기적으로 추출된 두께 값이다. 그림에서 보면, 트랜지스터의 게이트 길이에 관계없이 거의  $L_E/T_{ox}$ 의 값이 약 40으로 일정한 값을 가짐을 알 수 있다. 이로부터,  $T_{ox}$ 의 한계치를 알면, 최소의 트랜지

스터의 전기적 게이트길이의 최소값을 유추할 수 있다. 앞서 설명한대로,  $SiO_2$ 를 절연막으로 사용할 경우에는 전기적인 두께의 최소값이 약 2.3nm임을 알 수 있었다. 이로부터 트랜지스터의 최소값은 약 90nm 부근의 값을 유추할 수 있다. 100nm 이하의 트랜지스터를 제조하는 경우 약간의 공정 여유를 두어서  $L_E/T_{ox}$ 를 30으로 산정하고,  $T_{ox}$  또한 약간의 여유를 두어서 2nm로 산정하면, 대략적인 한계값은 대략 60nm 정도로 추정을 할 수 있다. 현재 세계적인 반도체회사가 생산을 준비하는 트랜지스터의 게이트 길이가 90nm임을 감안하면,  $SiO_2$ 를 게이트 절연막으로 사용한 상용 트랜지스터의 구조의 한계상황은 그리 멀지 않은 것으로 예측된다. 다음장에서는 트랜지스터의 최소크기를 더 아래영역으로 확장할 수 있도록 하는 얇은 접합 공정 및 새로운 트랜지스터 구조의 연구에 대하여 살펴보도록 하겠다.

#### 4. 나노 크기의 트랜지스터를 위한 얇은 접합 형성 공정

트랜지스터의 채널 길이를 100nm이하로 제작하기 위하여 필요한 여러가지 공정 중 우선적으로 필요한 것이 게이트 절연막의 특성 개선 및 얇은 접합 깊이를 가지는 소오스와 드레인을 형성하는 공정이다. 도표 1 및 그림 6에서 살펴본 바와 같이 소오스 및 드레인의 접합의 깊이는 대략 30nm정도로 형성을 하여야 한다. 불순물에 의한 접합을 형성하는 공정은 크게 불순물을 실리콘내에 함유시키는 도핑

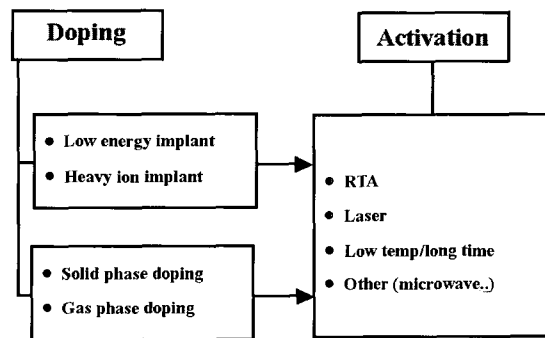


그림 10. 여러가지 도핑 공정 및 열처리 공정.



(doping)공정과, 불순물의 전기적인 활성화를 위한 열처리(annealing) 공정으로 나눌 수 있다. 아래의 그림 10은 대표적인 도핑 공정과 열처리 공정을 나타낸 그림이다.

불순물의 도핑방법은 크게 이온화된 원자를 가속해서 실리콘내에 강제적으로 주입하는 이온주입법(implant)과, 고상이나 기상의 원자를 열확산방식으로 주입하는 방법으로 나눌 수 있다. 이온주입법은 또한 기존에 널리 사용하고 있는 고에너지 이온 주입법을 응용하여 약 ~KeV정도의 가속 에너지로 이온 주입을 할 수 있는 저에너지 이온 주입법과 무거운 원자를 이용하여 불순물주입 깊이를 제어하는 이온주입법, 그리고 소규모 실험실에서 비교적 쉽게 사용할 수 있는 플라즈마 이온 주입법등으로 나눌 수 있다. 또한 실리콘내에 도핑된 불순물의 전기적 활성화를 위한 열처리 방법으로는 급속열처리방식, 레이저를 이용한 열처리방법 및 저온열처리 방법등이 있다. 저에너지 이온 주입법이나 플라즈마를 이용한 이온주입법은 불순물의 농도 및 주입 깊이의 조절 용이성 및 불순물 분포의 균일성등의 장점으로 인하여 대량생산 등에 비교적 용이하게 적용할 수 있는 장점이 있다. 그러나, 불순물이 주입된 특정영역에 많은 결함들이 존재하게 되므로, 누설전류에 대한 특성들을 고려하여야 하며, 채널링효과 및 불순물에 의한 확산의 활성화에 의하여 불순물의 분포 깊이가 다소 깊어질 수 있는 단점이 있다. 이에 비하여 고상이나 기상의 열확산방식에 의한 도핑방법은 불순물의 농도 및 깊이에 대한 용이성은 떨어지지만 저비용으로 쉽게 얇은 접합을 형성할 수 있으므로 소규모 실험실에서 비교적 쉽게 사용할 수 있다. 또한, 불순물 도핑이후에도 불순물에 의한 결함이 거의 형성되지 않아서, implant법에 비하여 양호한 누설전류 특성을 가지는 얇은 접합을 쉽게 형성할 수 있다[20].

Implant법에 의하여 실리콘에 주입된 불순물은 전기적인 활성화를 위하여 열처리 공정을 거쳐야 하며, 기상이나 고상 열확산법 또한 실리콘 내로의 불순물의 확산을 위하여 열처리 공정이 필요하다. 열처리 공정으로 최근에 널리 사용되는 방법이 급속열처리 방법이다. 급속 열처리장비는 여러 개의 할로

겐램프를 이용하므로, furnace에 비하여 온도 상승이 매우 빠르며, 원하는 열처리 온도에 ~초 이내에 도달할 수 있어서 얇은 접합을 형성하는데 매우 용이하다. 또한, 최근에는 펄스 레이저(XeCl)를 이용하여 ~십 ns이내에 불순물이 doping된 층을 가열하여 얇은 접합을 형성하려는 연구도 많이 수행되고 있다.[21] 아래의 그림 11은 여러가지 온도에서 급속 열처리 방법과 고상확산법을 이용하여 인(P)원자를 실리콘 내로 확산시킨후 SIMS(Secondary Ion Mass Spectroscopy)를 이용하여 깊이별 불순물 분포를 측정 한 결과이다[20].

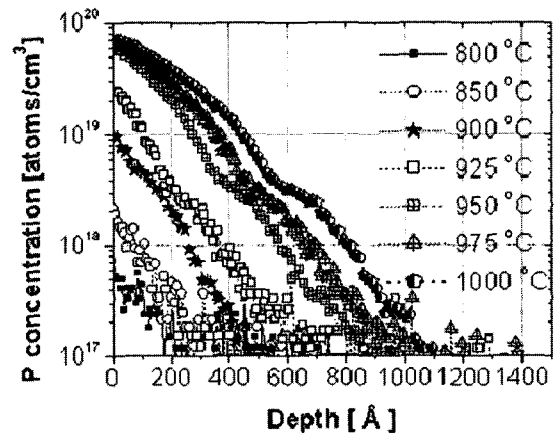


그림 11. 급속 열처리 방법 및 고상확산법에 의한 인(P)원자의 SIMS 결과. 열처리 시간은 30초로 동일함.

결과에서 보면 열처리 온도가 약 900°C 정도이면 채널영역의 불순물 농도가  $10^{18} \text{cm}^{-3}$ 인 경우를 가정하면 접합의 깊이를 약 30nm 정도로 형성할 수 있음을 알 수 있다. 이 경우 면저항은 약  $\sim 3 \text{K}\Omega/\square$  정도이다. 이상에서 얇은 접합을 형성하는 공정에 대하여 살펴보았다. 단채널 효과를 줄이기 위한 방법으로 얇은 접합의 형성이 필수적이지만, 접합의 깊이가 알아질수록 면저항이 증가하므로, 이는 트랜지스터의 특성을 저하시키게 된다. 따라서 이들의 상호관계를 최적화 하여, 얇은 접합에서 낮은 저항을 가지는 구조에 대한 연구가 필요하다.

### 5. 새로운 트랜지스터 구조에 대한 연구 동향

앞에서 살펴본 바와 같이 현재 널리 사용되고 있는 전계효과 트랜지스터의 구조의 경우 게이트 절연막에 대한 신뢰성 있는 고유전을 절연막이 개발되지 않으면 60nm이하의 영역에서는 많은 문제점이 존재한다. 따라서 본 장에서는 트랜지스터의 한계 크기를 확장하기 위하여 제안된 새로운 구조의 트랜지스터에 대하여 살펴보려고 한다. 그림 12는 Toshiba의 H. Takato에 의하여 제안된 surrounding gate transistor (SGT)구조이다[22].

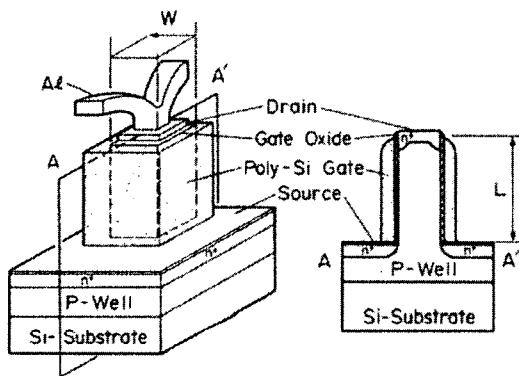


그림 12. surrounding gate transistor (SGT)구조.

SGT 구조의 특징은 트랜지스터의 소오스 및 드레인이 수직으로 배치되어 있으며, 전류가 수직 방향으로 흐르게 된다는 점과, 트랜지스터의 게이트가 원통형으로 실리콘의 채널영역을 둘러싸고 있다는 점이다. SGT의 전류-전압 특성은 그림 1과 같은 Planar 형 트랜지스터와 거의 유사한 특성을 나타냈으며, sub-threshold swing은 Planar형 트랜지스터에 비하여 다소 나은 특성을 보였다. 그러나 이러한 구조는 제조상은 어려움으로 인하여 널리 연구되지는 않았다. 이후, 1990년에는 SGT의 구조를 기초로 하여 SOI(Silicon on Insulator)기판을 사용한 Gate-all-around(GAA) transistor가 J. P. Collinge에 의하여 제안되었다[23].

이는 그림 13에서 보듯이 SOI층 아래의 BOX(Buried Oxide)층을 Mask 공정 및 습식각 공정을 이용하여

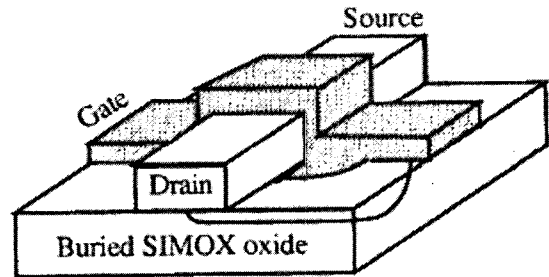


그림 13. Gate-all-around(GAA) transistor의 구조.

선택적으로 제거한 후 폴리실리콘층을 증착, 에칭을 함으로써 폴리실리콘이 실리콘 채널을 완전히 감싸는 구조로 제작하였다. 이는 앞서의 SGT구조에 비하여 소오스 및 드레인이 동일한 평면에 구성되어 planar형 트랜지스터와 거의 동일한 공정으로 제작할 수 있는 장점이 있다. 또한 동일한 크기를 가지는 planar형 트랜지스터에 비하여 포화전류가 약 3배 이상 증가하는 특성을 보였으며, sub-threshold swing도 매우 우수한 특성을 보였다. 그러나 아래쪽 BOX층에 형성된 게이트의 면적이 위의 게이트보다 크기 때문에 게이트와 소오스 및 드레인의 overlap 정전용량이 매우 커져서 실제 응용면에서는 문제점을 가지고 있는 구조이다. 이후 SGT 및 GAA 구조를 개선한 double gate MOSFET(DG-MOSFET)이 많은 그룹에 의하여 연구가 수행되어오고 있다[24-26]. DG-MOSFET은 SOI기판을 이용하여 Fin을 형성하고 이 Fin의 양 측면을 게이트 전극이 감싸는 구조로 되어 있다. 따라서 planar 트랜지스터와는 달리 게이트가 2개가 있는 구조이며 이로부터 double gate MOSFET이라 명명한다. 최근에는 Fin의 상부도 게이트 전계에 의하여 조절되도록 하는 Tri gate MOSFET구조도 제안되고 있다. 그러나, Fin의 구조상 전류의 전도가 일어나는 대부분의 Fin의 양측임을 고려하여 double gate MOSFET으로 명명하는 것이 현재까지의 일반적인 추세이다. 그림 15는 IBM에서 제작한 DG-MOSFET을 나타내고 있다[24]. 그림 14(a)에서 볼 수 있듯이 게이트로 사용된 폴리실리콘층이 SOI층의 식각으로 형성된 Fin의 상부와 좌우측을 감싸고 있는 형태로 되어있다. 여기서 Fin의 높이는 65nm이며, 두께는 20nm, SiO<sub>2</sub>로 형성된 게이트 절연막의 물리

적 두께는 1.6nm이며, 게이트의 길이는 30nm이다. 또한, 얇은 Fin으로 인하여 발생하는 소오스 및 드레인 기생 저항을 줄이기 위하여 epi-growth를 진행하였다. 그림 14(b)는 DG-MOSFET의 드레인 전압에 따른 드레인 전류 특성을 의미하며, epi-growth를 진행한 NMOS 및 PMOS의 경우 포화 전류가 동작전압 1.0V에서 각각  $1300\mu\text{A}/\mu\text{m}$  및  $870\mu\text{A}/\mu\text{m}$ 의 값을 나타내고 있다. Planar 트랜지스터에서의 NMOS 및 PMOS의 포화 전류의 표준이 동작전압 1.0V에서 각각  $600\mu\text{A}/\mu\text{m}$  및  $300\mu\text{A}/\mu\text{m}$ 임을 감안하면, DG-MOSFET의 경우 포화전류가 매우 높음을 알 수 있다. 대개의 경우 DG-MOSFET의 경우에는 planar MOSFET에 비하여 scaling margin이 약 2정도이다 따라서, DG-MOSFET을 이용할 경우에는 MOSFET의

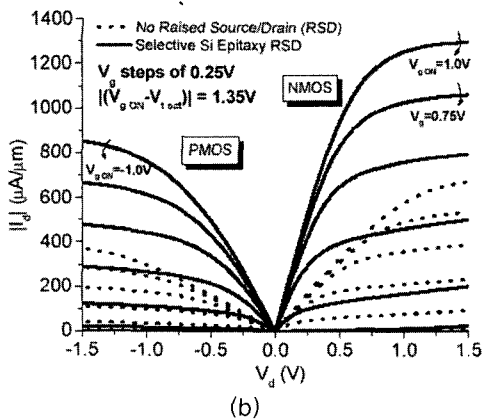
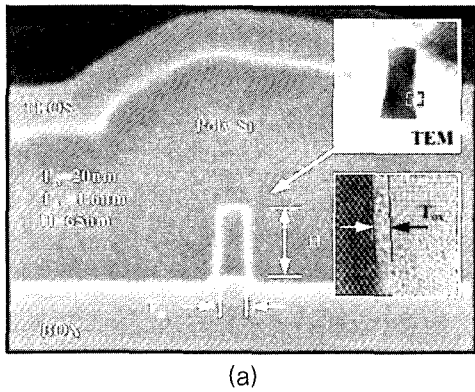


그림 14. 게이트의 길이 30nm로 제작된 N형 DG-MOSFET의 단면 및 전압-전류 특성.

최소 크기가 약 30nm부근까지임을 앞의 planar MOSFET의 경우로부터 유추할 수 있다.

그림 15는 SOI기판을 이용할 경우 DG-MOSFET 및 Planar MOSFET의 SOI층의 두께에 따른 문턱치 전압의 roll-off 특성을 simulation한 결과를 나타낸다[27].

문턱치전압은 트랜지스터의 게이트의 길이에 따라서 변화하기 않는 것이 이상적인 경우이나 일반적으로 게이트 길이가 줄어들어 따라서 급격히 감소하게 된다. 그림 15에서 보면, SOI층의 두께가 동일한 경우에는 DG-MOSFET이 우수한 문턱치전압의 roll-off특성을 나타낸다. 이는 DG-MOSFET의 경우에는 게이트에 의한 전계가 채널영역을 효과적으로 제어하기 때문에 나타나는 현상이다. 또한, SOI층의 두께가 얇아질수록 문턱치전압의 roll-off특성이 개선되며, 이 또한 SOI층의 두께가 얇아질수록 게이트에 의한 전계가 채널영역을 효율적으로 제어하기 때문이다. 따라서 최근에는 SOI층의 두께를 ~십 nm 정도로 하여 트랜지스터를 제조하는 연구들이 많이 수행되고 있으며, 이러한 두께의 SOI기판을 UTB (Ultra-Thin-Body)라 명명한다. UTB의 경우 SOI층의 두께가 ~10nm 이하로 매우 얇아지게 되면 고전적인 MOSFET의 특성과는 다소 다른 양자효과가 나타나게 된다. 즉, 실리콘의 전도대의 에너지 준위가 실리콘의 두께가 얇아짐에 따라서 여러 준위로 나뉘어지는 현상이 일어나게 되며, 이는 결국 실리콘의 밴드갭을 증가시키는 효과로 나타나게 된다. 따라서, SOI층의 두께가 상당히 얇아지는 경우에는 문턱치

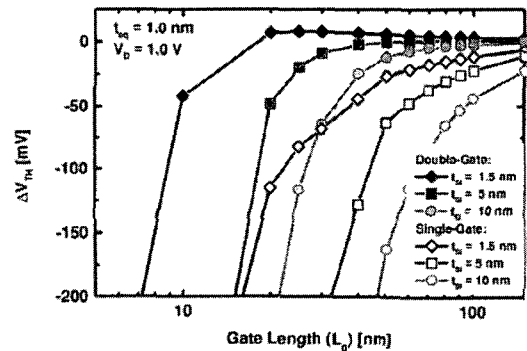


그림 15. DG-MOSFET 및 Planar MOSFET의 SOI층의 두께에 따른 문턱치전압의 roll-off 특성.

전압이 급격하게 증가하는 특성을 나타내게 된다. 그림 16은 이론적으로 계산한 SOI층의 두께에 따른 문턱치전압의 고전적인 계산과 양자효과를 고려한 계산결과를 나타낸 그림이다[28-30].

그림 16에서 보면 SOI층의 두께가 5 nm 정도이면 문턱치전압의 증가가 약 50 mV 정도이며, 더 얇아질수록 급격히 증가함을 알 수 있다. 따라서 UTB를 이용하여 소자를 제작하는 경우에는 SOI층의 두께의 variation에 따라서 제조된 트랜지스터의 문턱치전압의 변화가 생기게 되며, 이 또한 제한 요소가 되므로, UTB를 이용하여 트랜지스터를 제작하는 경우에는 고려하여야 하는 사항이 된다.

이상에서는 planar transistor 구조를 기초로 하여 scaling margin을 확보할 수 있는 구조에 대하여 살펴 보았다. 다음으로는 앞에서 살펴본 MOSFET과는 동작원리 및 구조가 다소 다른 Schottky barrier tunnel transistor(SBTT)에 대하여 살펴보도록 하겠다.

금속과 반도체간에 접촉이 형성되면 이들간에는 쇼트키 장벽이 형성된다. 실리콘의 경우 불순물의 농도가 약  $10^{16} \text{cm}^{-3}$  이하로 낮으면 금속-실리콘접촉의 전기적 특성은 다이오드 특성을 나타내며 불순물의 도핑에 의하여 형성된 다이오드보다 낮은 다이오드 turn-on 전압을 보이기 때문에 고속소자에 널리 용

되고 있다. 한편, 불순물의 농도가  $10^{20} \text{cm}^{-3}$  이상으로 매우 높으면 쇼트키 장벽의 폭이 매우 얇아지며 전자나 홀의 터널링이 용이하게 일어나기 때문에 다이오드의 정류 특성은 사라지며 ohmic한 전류-전압 특성을 나타내게 된다[31, 32]. 따라서 현재의 반도체 제조공정에서 메탈과 실리콘의 접합부위는 불순물을 높게 도핑하여 사용하고 있다. SBTT는 불순물의 농도가 낮은 경우 금속-실리콘 접합이 다이오드로 동작하는 특성을 이용하여 이 접합을 트랜지스터의 소오스 및 드레인으로 사용한다. 아래의 그림 17은 SBTT의 단면 구조를 나타내고 있다.

그림 17에서 보듯이 SBTT의 소오스 및 드레인이 불순물이 아닌 금속으로 바뀐 점을 제외하면 planar 트랜지스터와 거의 유사한 구조로 되어 있다. 여기서 소오스 및 드레인은 실리콘과 금속의 화합물인 실리사이드를 이용하여 형성한다. 그림 18은 널리 사용되는 실리사이드의 종류 및 이의 N형 실리콘 기판에서의 쇼트키 장벽을 나타내고 있다.[33]

그림 18에서  $\text{TiSi}_2$ ,  $\text{CoSi}_2$ 나  $\text{NiSi}_2$ 는 실리콘의 밴드갭의 중간값에 가까운 값을 가지기 때문에 NMOS 및 PMOS에서의 소오스 및 드레인과 접촉시 ohmic 특성을 가지기 용이하므로 산업에서 실리콘을 이용한 칩을 제조하는 경우에 널리 사용되는 물질이다. 이에 반하여 SBTT에서는 쇼트키 장벽이 매우 크거나 매우 작은 경우의 실리사이드 물질을 사용하며, planar Tr.의 NMOS에 해당되는 N형 SBTT를 제조하기 위하여서는  $\text{ErSi}_2$ 를, PMOS에 해당되는 P형 SBTT를 제조하기 위하여서는  $\text{PtSi}$  나  $\text{IrSi}$ 를 널리 사용한다. 이러한 실리사이드를 형성하는 온도는 대략 600

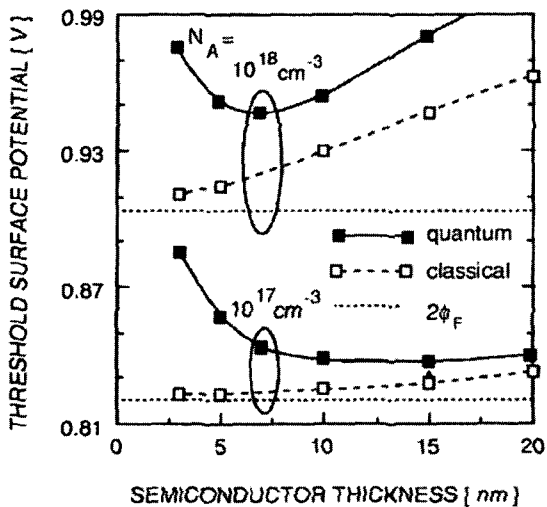


그림 16. SOI층의 두께에 따른 문턱치전압의 고전적인 계산과 양자효과를 고려한 계산결과.

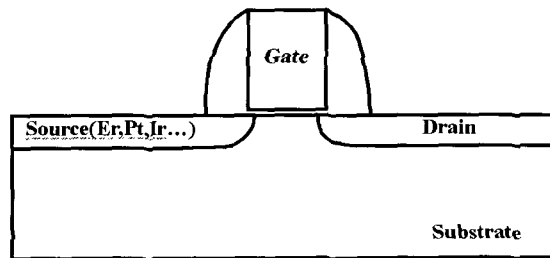


그림 17. SBTT의 단면 구조.

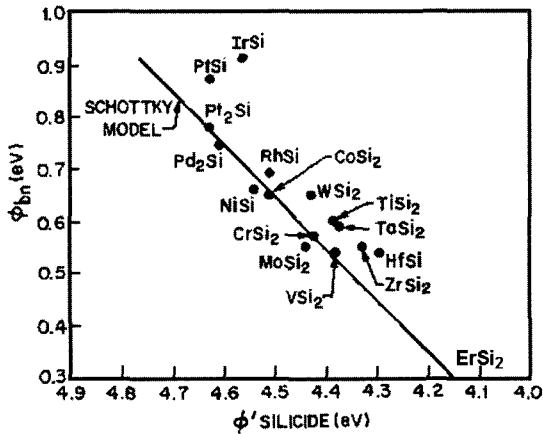


그림 18. 널리 사용되는 실리사이드의 종류 및 이의 n-형 실리콘 기판에서의 쇼트키 장벽.

°C이하로 planar 트랜지스터에서 불순물의 활성화를 위하여 사용하는 약 1000°C의 온도와 비교하면 매우 낮은 온도이다. 따라서 그림 18에서 저온공정으로 인하여 메탈 게이트 및 고유전율 물질을 사용하기에 용이하다. 메탈게이트의 사용은 게이트 공핍층에 의한 게이트 절연막의 두께 증가 문제를 최소화할 수 있으며, 칩의 동작속도를 증가시킬 수 있다. 또한, 소오스 및 드레인의 접합의 깊이가 실리사이드층의 두께에 의하여 결정된다. 실리사이드층의 두께는 증착하는 금속 물질의 두께 및 열처리 온도 및 시간의 함수이므로 매우 얇은 접합을 쉽게 형성할 수 있다. 또한 실리사이드층의 면저항값은 약  $\sim\Omega/\square$ 에서  $\sim$ 수십 $\Omega/\square$  정도의 값을 가지므로 얇은 접합으로 인한 기생저항을 크게 줄일 수 있는 장점이 있다. 그림 19는 게이트 및 드레인의 전압에 따른 N형 SBTT의 동작원리를 간략히 설명하는 그림이다[3].

그림 19(a)에서 P형 불순물이 낮게 도핑된 기판위에 ErSi<sub>2</sub>를 이용하여 제조된 SBTT의 경우 게이트, 소오스 및 드레인의 전압이 0V로 인가된 상태에서의 밴드를 나타낸 그림이다. 이 경우 ErSi<sub>2</sub>는 P-형 기판에서는 홀의 쇼트키 장벽(Bp)은 0.86V로 매우 높기 때문에 홀이 소오스에서 채널영역으로 유입되기 어려우며, 전자의 경우에는 장벽의 높이(Bn)은 0.26V로 낮지만 실리콘 채널에 존재하는 공핍영역에 의하여 형성된 built-in potential에 의하여 채널로 유입되

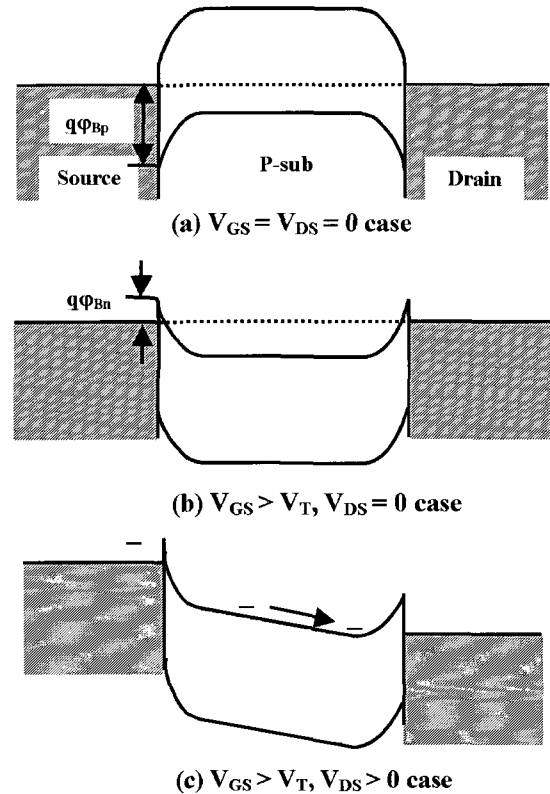


그림 19. 게이트 및 드레인의 전압에 따른 N-형 SBTT의 동작원리.

기가 어렵다. 그러나 그림 19(b)의 경우처럼 게이트 전압이 문턱전압이상인 가해지면 P-형 채널의 표면 부분이 반전된다. 이 경우에는 built-in potential이 제거되며, 전자가 쉽게 채널영역으로 유입될 수 있다. 최종적으로 그림 19(c)와 같이 드레인 전압이 인가되면, 전자는 소오스에서 드레인으로 흐르게 되며, 트랜지스터 동작을 하게 된다. 이상에서 알 수 있듯이 SBTT는 동작원리가 MOSFET과는 다소 다르며, 쇼트키장벽의 양자역학적인 터널링이 주요 전도의 인자임을 알 수 있다. 그림 20은 SBTT의 전류-전압특성을 좀더 명확히 분석하기 위하여 이론적으로 계산한 드레인전압에 따른 전류 특성을 나타낸 그림이다 [34].

계산에서 게이트의 전기적 길이는 1 $\mu$ m로 가정하였으며, 쇼트키 장벽의 높이는 0.3, 0.4 및 0.5V로 변화시켰다. 그림 21에서 SBTT의 드레인 전압에 따른

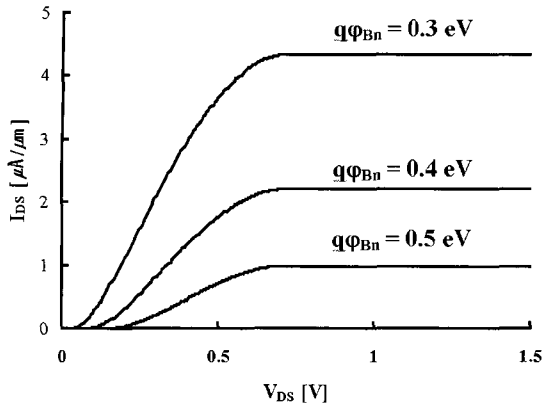


그림 20. 쇼트키 장벽의 높이에 따른 드레인 전압에 따른 드레인 전류 특성. 전기적인 게이트 절연막의 두께는 3nm이며, 낮은 게이트 전압하에서의 전자의 이동도( $\mu_0$ )는  $650\text{cm}^2/\text{V}(\text{sec})$ , P-형 기판의 농도는  $10^{15}\text{cm}^{-3}$  그리고 기판의 온도는 300K로 가정하였음.

전류 특성은 MOSFET과 매우 유사함을 알 수 있으며, 쇼트키 장벽의 높이에 따라서 포화전류값이 달라짐을 알 수 있다. 그림 21은 게이트 전압에 따른 드레인 전류 특성을 나타낸다. 이때 드레인 전압은 0.5V로 두었다. 그림 21에서 보면 SBTT의 문턱치 전압이 쇼트키 장벽의 높이가 0.3, 0.4 및 0.5V인 경우 1, 1.5 및 2.0V로 매우 높음을 알 수 있다. 이 경우 MOSFET의 문턱치 전압은 약 0.3V의 값을 가진다. SBTT에서의 문턱치 전압이 MOSFET에 비하여 높아지는 이유는 다음과 같다. 즉, 게이트에 의하여 채널영역에 반전층이 형성되어도 게이트 전압이 충분히 증가하여 쇼트키 장벽의 두께가 터널링이 일어날 수 있을 정도로 충분히 얇아질 때까지는 전류가 흐르지 않고 있다가, 이후에 급격히 증가하게 된다. 이러한 이유로 MOSFET에 비하여 동일한 게이트 절연막의 두께 및 채널의 불순물 농도인 경우에 문턱치 전압이 높아지게 된다. SBTT의 문턱치 전압을 감소시키기 위해서는 게이트 물질을 금속으로 사용하여야 하며, 알루미늄을 게이트로 사용하는 경우를 고려하여 계산하면 쇼트키 장벽이 약 0.26eV인 경우 문턱치 전압이 약 0.25V가 된다.

한편, 그림 21에서 낮은 게이트 전압에서의 누설전류는 터널링이 아닌 열적으로 여기된 전자가 쇼트키

장벽을 넘어서 채널로 유입되어서 나타난 결과이다. 결과적으로 보면, SBTT에서 누설전류를 결정하는 성분은 열적으로 여기된 전자에 의한 전류이며, 포화전류를 결정하는 성분은 터널링 전류이다. 이상의 계산의 결과로부터, SBTT의 동작원리를 알 수 있다. 그림 22는 PtSi를 이용하여 제작한 P-형 SBTT의 드레인 전압에 따른 전류특성을 보여주고 있다. 다결정 실리콘을 이용하여 형성한 게이트 길이는 27nm이며,  $\text{SiO}_2$ 를 이용하여 형성된 절연막의 두께는

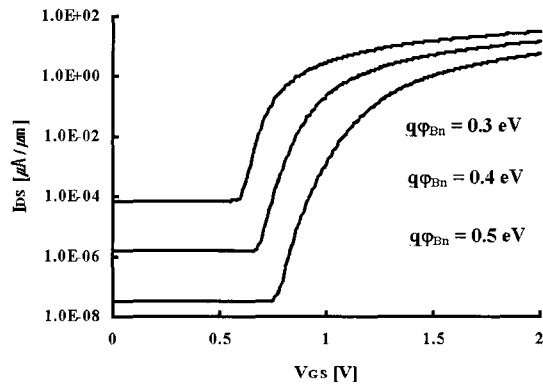


그림 21. 게이트 전압에 따른 드레인 전류 특성. 계산시 사용한 상수의 조건은 그림 21의 경우와 동일함.

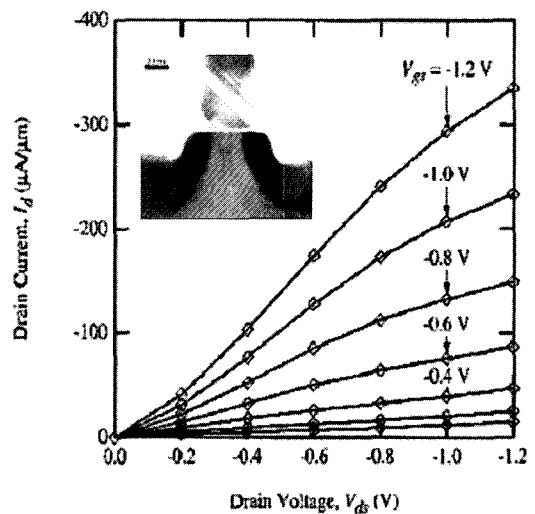


그림 22. PtSi를 이용하여 제작한 게이트 길이 27nm의 P-형 SBTT의 전기적 특성.

1.9nm 이다. 그림 22에 나타낸 드레인 전압에 따른 전류 특성은 전형적인 트랜지스터 특성을 보여주고 있다[35]. 또한, 게이트 길이가 27nm인 크기에서도 P형 SBTT가 트랜지스터로서 동작함을 알 수 있으며, 포화전류의 값도 상당한 수준이다. 이로부터, 30nm 이하의 영역에서 SBTT의 적용가능성이 충분히 있음을 유추할 수 있다.

SBTT 기술은 현재 MOSFET의 축소화(scaling)에 있어서 해결해야 할 가장 중요한 문제인 소스 또는 드레인 전극과 채널간의 얇은 접합 문제를 해결하고자 하는 기술이며, 더불어 게이트 산화막 문제도 부수적으로 해결할 수 있는 가능성을 지니고 있다. 여기서 이 두가지 요소는 채널이 축소화됨에 따라 야기되는 단채널 효과(short channel effect)를 억제하기 위한 핵심 요소로서, MOSFET 기술의 한계가 되는 30nm이하의 영역에서 적용될 수 있는 가능성을 연구하고 있는 단계이다.

이상에서 소개한 트랜지스터의 down scaling에 대한 연구 동향은 planar 트랜지스터를 기초로 하여 크기를 나노영역으로 확장할 수 있는 접근법에 기초하고 있다. 이러한 접근 방식을 top-down approach라 부른다. 또 한가지 나노영역에서의 트랜지스터의 연구 방법은 종래의 노광, 식각기술등을 기초로 한 방법이 아니라 화학적인 자발 방법을 이용하거나, 분자, DNA등을 이용하여 매우 작은 크기의 트랜지스터를 제조하려는 연구가 수행되어지고 있다[36-43]. 이러한 접근 방식은 bottom-up approach라 부른다. 특히, 1991년에 S. Iijima교수에 의하여 처음으로 발견된 탄소나노튜브(carbon nanotube)는 구조에 따라서 반도체의 성질을 띠게 되며[36], Dekker 그룹에 의하여 처음으로 트랜지스터로서의 응용가능성이 확인된 이후[37], 나노 영역에서의 전자소자로의 응용 가능성이 활발히 연구되고 있는 물질이다[38-40]. 그림 23은 C. Dekker 그룹에서 제작한 탄소나노튜브를 이용한 트랜지스터의 구조이다. 지름이 1.4nm인 단층 탄소나노튜브를 사용하였으며, 실리콘 기판위에 SiO<sub>2</sub> 층을 형성하고 백금 전극을 먼저 형성한 후, 이위에 탄소나노튜브를 배치된 경우를 선택하여 트랜지스터를 제조하였다. 기본적으로 탄소나노튜브를 이용하여 제작된 트랜지스터의 전기적 특성은 그림 23에

서 보듯이 P-형 트랜지스터의 특성을 보였다. 그러나 최근에는 PMMA를 이용한 미세가공 기술과 O<sub>2</sub>, K등을 이용한 도핑기술이 연구되면서 P-형 및 N-형 트랜지스터를 동시에 제작할 수 있게 되었으며, inverter, OR, AND 및 NOR와 같은 간단한 논리회로가 제작되고 있다[38]. 그러나 탄소나노튜브를 이용하여 트랜지스터를 제작하는 경우에는 적절한 밴드갭을 가지는 나노튜브의 선택성, 기관위에서의 탄소나노튜브의 규칙적인 정렬성등 해결해야할 문제점들이 있다. 이외에도 나노선을 이용한 소자 제작[41], 분자를 이용한 이용한 전자소자의 제작[42] 및 중시

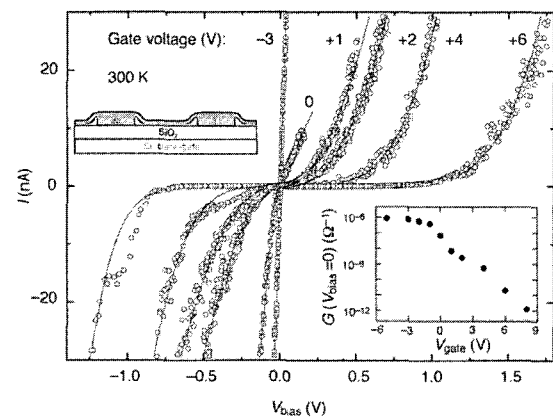


그림 23. Pt를 소오스 및 드레인으로 사용하고 실리콘을 back-gate로 사용하여 제작한 탄소나노튜브 트랜지스터의 단면 및 전기적 특성 그래프. 이로부터, P-형 트랜지스터의 특성을 가지고 있음을 알 수 있다.

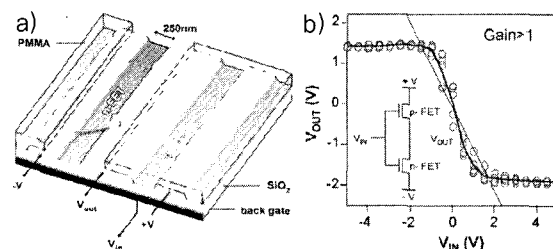


그림 24. 진공에서의 열처리 및 PMMA를 이용한 미세가공과 산소분위기에서의 노출을 통한 N-형 및 P-형 트랜지스터의 제작 및 이를 이용하여 제작한 inverter 특성.

계에서의 전자의 양자적인 거동에 대한 연구도 활발히 진행되고 있어서[43-45] 미래의 전자소자로의 활용 가능성이 기대되고 있다.

## 6. 결론

이상에서, 나노 영역에서의 트랜지스터의 제작시에 발생하는 문제점 및 이의해결 방안에 대하여 살펴보았다. 실리콘을 이용한 top-down 접근법에 의한 고전적인 특성을 가지는 소자의 한계크기가 얼마인가에 따라서 미래에 펼쳐질 반도체 산업의 발전방향은 매우 다르리라 예측된다. 이러한 실리콘을 기반으로 한 트랜지스터의 한계상황 이전에 bottom-up 접근방식이든 아니면 새로운 또 다른 방향에서이든 MOSFET을 대체할 수 있는 실용성을 가진 대안이 제시되어야 하며, 이를 위해서는 기초재료분야, 전기전자공학분야, 물리화학분야 등 다양한 분야에서 지속적인 연구가 수행되어야 한다.

## 참고 문헌

- [1] B. Doyle, R. Arghavani, D. Barlage, S. Datta, M. Doczy, J. Kavalieros, A. Murphy and R. Chau, "Transistor elements for 30nm physical gate lengths and beyond", Intel Technology Journal, Vol. 6, p. 42, 2002.
- [2] B. Yu, H. Wang, A. Joshi, Q. Xiang, E. Ibok and M. Lin, "15nm gate length planar CMOS transistor", Tech. Dig.-Int. Electron Devices Meet. p. 937, 2001.
- [3] S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, Inc., New York, 1981.
- [4] N. Arora, *MOSFET Models for VLSI Circuit Simulation*, Springer-Verlag Wien, New York, 1993.
- [5] ITRS Roadmap, "Process integration, devices and structures and emerging research devices section", 2001 edition.
- [6] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. Lo, G. A. Sai-halasz, R. G. Viswanathan, H. C. Wann, S. J. Wind and H. Wong, "CMOS scaling into the nanometer regime", Proc. of IEEE, Vol. 85, p. 486, 1997.
- [7] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur and H. P. Wong, "Device scaling limits of Si MOSFETs and their application dependencies", Proc. of IEEE, Vol. 89, p. 259, 2001.
- [8] S. H. Lo, D. A. Buchanan, Y. Taur and W. Wang, "Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFET's", IEEE Electron Device Letters, Vol. 18, p. 209, 1997.
- [9] W. K. Henson, K. Z. Ahmed, E. M. Vogel, J. R. Hauser, J. J. Wortman, R. D. Venables, M. Xu and D. Venables, "Estimating oxide thickness of tunnel oxides down to 1.4nm using conventional capacitance-voltage measurements on MOS capacitors", IEEE Electron Device Letters, Vol. 20, p. 179, 1999.
- [10] I. Polishchuk, P. Ranade, T. King and C. Hu, "Dual work function metal gate CMOS transistors by Ni-Yi interdiffusion", IEEE Electron device Letters, Vol. 23, p. 200, 2002.
- [11] H. Shimada, Y. Hirano, T. Ushiki and T. Ohmi, "Threshold voltage adjustment in SOI MOSFET's by employing Tantalum for gate material", Tech. Dig. - Int. Electron Devices Meet. p. 881, 1995.
- [12] S. A. Hareland, S. Krishnamurthy, S. Jallepalli, C. f. Yeap, K. Hasnat, A. F. Tasch, Jr., and C. M. Maziar, "A computationally efficient model for inversion layer quantization effects in deep submicron N-channel MOSFETs", Tech. Dig.---Int. Electron Devices Meet. p. 933, 1995.
- [13] H. Iwai, S. Ohmi, S. Akama, C. Ohshima, A. Kikuchi, I. Kashiwagi, J. Taguchi, H. Yamamoto, J. Tonotani, Y. Kim, I. Ueda, A. Kuriyama and Y. Yoshihara, "Advanced gate dielectric materials for sub-100nm CMOS", Tech. Dig. - Int. Electron Devices Meet. p. 625, 2002.
- [14] C. H. Choi, S. J. Rhee, T. S. Jeon, N. Lu, J. H. Sim, R. Clark, M. Niwa and D. L. Kwong, "Thermally stable CVD HfOxNy advanced gate dielectrics with poly-Si gate electrode", Tech. Dig.



- Int. Electron Devices Meet. p. 857, 2002.
- [15] Y. Morisaki, T. Aoyama, Y. Sugita, K. Irino, T. Sugii and T. Nakamura, "Ultra-thin poly-Si-gated SiN/HfO<sub>2</sub>/SiON high-k stack dielectrics with high thermal stability", Tech. Dig. - Int. Electron Devices Meet. p. 861, 2002.
- [16] S. Thompson, P. Packan, T. Ghani, M. Stettler, M. Alavi, I. Post, S. Tyagi, S. Ahmed, S. Yang and M. Bohr, "Source/drain extension scaling for 0.1 $\mu$ m and below channel length MOSFETs", Tech. Dig. - Int. Electron Devices Meet. p. 132, 1998.
- [17] H. S. Wong and Y. Taur, "Three-dimensional atomistic simulation of discrete random dopant distribution effects in sub-0.1 $\mu$ m MOSFETs", Tech. Dig.-Int. Electron Devices Meet. p. 705, 1993.
- [18] K. Rim, S. Koester, M. Hargrove, J. Chu, P. M. Mooney, J. Ott, T. Kanarsky, P. Ronsheim, M. Jeong, A. Grill, H. S. P. Wong, "Strained Si NMO SFETs for high performance CMOS technology", Symposium on VLSI Technology Digest of Technical Papers, p. 59, 2001.
- [19] S. E. Thompson, "Technology performance: trends and challenges", Int. Electron Devices Meet., short course, 1999.
- [20] K. Im, H. Hwang, W. Cho, S. Lee and K. Park, "Formation of a shallow junction by using the spin-coating solid-phase diffusion method for sub-micron SOI MOSFETs", Journal of the Korean Physical Society, Vol. 42(2), p. 229, 2003.
- [21] S. Maeng, T. Kang, W. Cho, M. Jang, S. Lee, K. Park and K. Im, "Source and drain formation by using plasma doping and laser melt annealing technique for deca-nanometer SOI MOSFETs", Journal of the Korean Physical Society, Vol. 42, p. S666, 2003.
- [22] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi and F. Masuoka, "High performance CMOS surrounding gate transistor (GAA) for ultra high density LSIs", Tech. Dig. - Int. Electron Devices Meet. p. 222, 1988.
- [23] J. P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes and C. Claeys, "Silicon-on-insulator gate-all-around device", Tech. Dig.-Int. Electron Devices Meet. p. 595, 1990.
- [24] J. Kedzierski, D. M. Fried, E. J. Nowak, T. Kanarsky, J. H. Rankin, H. Hanafi, W. Natzl, D. Boyd, Y. Zhang, R. A. Roy, J. Newbury, C. Yu, Q. Yang, P. Saunders, C. P. Willets, A. Johnson, S. P. Cole, H. E. Young, N. Carpenter, D. Rakowski, B. A. Rainey, P. E. Cottrell, M. Jeong and H. S. P. Wong, "High-performance symmetric-gate and CMOS-compatible V<sub>t</sub> asymmetric-gate FinFET devices", Tech. Dig. - Int. Electron Devices Meet. p. 437, 2001.
- [25] Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor and C. Hu, "Sub-20nm CMOS FinFET technologies", Tech. Dig. - Int. Electron Devices Meet. p. 421, 2001.
- [26] F. Yang, H. Chen, F. Chen, Y. Chan, K. Yang, C. Chen, H. Tao, Y. Choi, M. Liang and C. Hu, "35nm CMOS FinFETs", Symposium on VLSI Technology Digest of Technical Papers, p. 104, 2002.
- [27] H. P. Wong, D. J. Frank and P. M. Solomon, "Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFETs at the 25nm channel length generation", Tech. Dig. - Int. Electron Devices Meet. p. 407, 1998.
- [28] B. Majkusiak, T. Janik and J. Walczak, "Semiconductor thickness effects in the double-gate SOI MOSFET", IEEE Transactions on Electron Devices, Vol. 45, p. 1127, 1998.
- [29] Y. Omura, S. Horiguchi, M. Tabe and K. Kishi, "Quantum-mechanical effects on the threshold voltage of ultrathin-SOI nMOSFETs", IEEE Electron Device Letters, Vol. 14, p. 569, 1993.
- [30] L. Ge and J. G. Fossum, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs", IEEE Transactions on electron devices, Vol. 49, p. 287, 2002.

- [31] M. Jang, W. Cho, W. Jung, S. Lee, K. Park, J. Lee and J. Cha, "Extraction of Schottky barrier height in highly boron doped small size metal-Silicon contact", Journal of the Korean Physical Society, Vol. 42, p. S189, 2003.
- [32] M. Jang and J. Lee, "Analysis of Schottky barrier height in small contacts using a thermionic-field emission model", ETRI Journal, Vol. 24, p. 455, 2002.
- [33] J. M. Andrews and J. C. Phillips, "Chemical bonding and structure of metal-semiconductor interfaces", Physical Review Letters, Vol. 35, p. 56, 1975.
- [34] M. Jang, K. Kang, S. Lee and K. Park, "Simulation of Schottky barrier tunnel transistor using simple boundary condition", Applied Physics Letters, Vol. 82, p. 2718, 2003.
- [35] C. Wang, J. P. Snyder and J. R. Tucker, "Sub-40 nm PtSi Schottky source/drain metal-oxide-semiconductor field-effect transistors", Applied Physics Letters, Vol. 74, p. 1174, 1999.
- [36] S. Ijima, "Helical microtubules of graphitic carbon", Nature, Vol. 354, p. 56, 1991.
- [37] S. J. Tans, A. R. M. Verschueren and C. Dekker, "Room-temperature transistor based on a single carbon nanotube", Nature, Vol. 393, p. 49, 1998.
- [38] V. Derycke, R. Martel, J. Appenzeller and P. Avouris, "Carbon nanotube inter- and intramolecular logic gates", Nano Letters, Vol. 1, p. 453, 2001.
- [39] J. Lee, H. Oh, J. Kim, K. Kang and J. Kim, "Nonlinear transport properties in multiwall carbon nanotube heterojunctions", Applied Physics Letters, Vol. 79, p. 1351, 2001.
- [40] A. Y. Kasumov, R. Deblock, M. Kociak, B. Reulet, H. Bouchiat, I. I. Khodos, Y. B. Gorbatov, V. T. Volkov, C. Journet and M. Burghard, "Supercurrents through single-walled carbon nanotubes", Science, Vol. 284, p. 1508, 1999.
- [41] Y. Huang, X. Duan, Y. Cui, L. J. Lauhon, K. Kim and C. M. Lieber, "Logic gates and computation from assembled nanowire building blocks", Science, Vol. 294, p. 1313, 2001.
- [42] W. Liang, M. P. Shores, M. Bockrath, J. R. Long and H. Park, "Kondo resonance in a single-molecule transistor", Nature, Vol. 417, p. 725, 2002.
- [43] S. Tarucha, D. G. Austing, Y. Tokura, W. G. van der Wiel and L. P. Kouwenhoven, "Direct coulomb and exchange interaction in artificial atoms", Physical Review Letters, Vol. 84, p. 2485, 2000.
- [44] S. Sasaki, S. De Franceschi, J. M. Elzerman, W. G. van der Wiel, M. Eto, S. Tarucha and L. P. Kouwenhoven, "Kondo effect in an integer-spin quantum dot", Nature, Vol. 405, p. 764, 2000.
- [45] S. Tarucha, D. G. Austing, T. Honda, R. J. van der Hage and L. P. Kouwenhoven, "Shell filling and spin effects in a few electron quantum dot", Physical Review Letters, Vol. 77, p. 3613, 1996.

· 저 · 자 · 약 · 력 · . . . . .

**성명 : 장문규**

❖ 학 력

- 1991년 경북대 물리학과 이학사
- 1993년 한국과학기술원 물리학과 이학석사
- 1997년 한국과학기술원 물리학과 이학박사

❖ 경 력

- 1997년-2001년 HYNIX 책임연구원
- 2001년-현재 ETRI 선임연구원