

유기박막 트랜지스터의 기술 동향

송 정 근

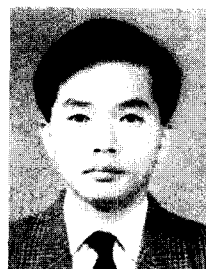
1. 서론

전도성 유기 반도체를 이용한 전자소자의 발상은 1940년대부터 시작되었으나 1977년에 단순한 공액성 유기 고분자인 폴리아세틸렌이 반도체 특성을 나타내고, 도핑하면 금속의 전기 전도도를 가질 수 있다는 연구결과가 보고되면서 새로운 전기전자 재료로서 전도성 유기 반도체에 대한 연구가 활발히 시작되었다. 유기 반도체의 특성은 합성 방법의 다양함, 섬유나 필름 형태로 성형이 용이함, 경량성, 유연성, 비선형 광학적 특성, 전도성, 높은 분극성, 저렴한 생산비, 높은 생산성 등이며, 무기물과 같이 벌크 성질을 이용할 수 있을 뿐만 아니라, 분자 자체가 기능성을 가지므로 초박막의 형태에서도 기능성이 유지되어 새로운 초박막 기능성 전자소자 및 광소자의 개발이 가능하다.¹⁻⁴ 이러한 관점에서 볼 때 전도성 유기 반도체를 이용한 전자소자 및 광소자는 기존의 실리콘 중심의 무기물 소자를 완전히 대체할 수 없으나, 광범위한 분야에서 무기물 소자를 보완 대체하거나 독자적인 특수한 응용 분야를 창출할 것으로 예상된다.⁵⁻¹⁰

현재 유기 반도체의 활용은 차세대 발광소자로 주목받고 있는 유기 EL소자의 개발에 집중되고 있고, 일부 이 발광소자의 구동소자로서 유기물을 활성층으로 사용하는 유기박막트랜지스터 (Organic Thin-Film Transistor; 이하 OTFT라고 함)의 개발에 사용되고 있다. 이러한 소자들이 성공적으로 개발되면 완전 플라스틱 표시소자가 실현되고, 이는 LCD-TFT를 이은 차세대정보표시 소자로서 EL-

OTFT가 각광 받을 것으로 예상되며, 이것은 초박형·초대형 벽걸이 표시소자, 두루마리 TV 등의 출현을 가능하게 한다.¹¹

OTFT는 EL의 구동소자 이외에 정보처리용 집적회로에도 활용도가 높다.^{12,13} 예를들면 플라스틱 칩은 제작비가 저렴하고 많은 정보를 저장할 수 있으므로 차세대 스마트카드에 곧 활용될 것으로 예상된다. 현재 스마트카드는 플라스틱 기판 위에 별도 제작한 실리콘칩을 실장하는 형태인데, 이 과정에서 많은 불량품이 발생하고 있다. 실리콘칩 대신에 플라스틱칩을 사용하면 기판과 재료가 동일하므로 플라스틱 기판 위에 직접 유기 집적회로를 동시에 제작 (monolithic integration)할 수 있기 때문에 불량률을 현격히 줄일 수 있으며, 또한 제작비용도 줄일 수 있다. 이외에도 기존의 바코드를 대신하여 물품, 화물, 컨테이너, 화차 및 자동차와 같은 차량 관리용 ID 소자 (세계적으로 유통되고 있는 이들의 수량을 고려하면 그 시장성은 막대함), 관리와 휴대가 편리한 유기 전자책 등 유기물의 특성을 고려할 때 OTFT는 상상할 수 없을 만큼 많



송정근

1980 서울대학교 전자공학과 (학사)
 1984 서울대학교 전자공학과 (석사)
 1992 Univ. of Cincinnati (박사)
 1992~ 동아대학교 전기전자컴퓨터공학부
 현재 교수

A Review of Recent Progress in Organic Thin Film Transistors

동아대학교 전기전자컴퓨터공학부 (Chung-Kun Song, Dong-A University, 840 Hadan2-dong, Saha-gu, Busan 604-714, Korea) e-mail:cksong@daunet.donga.ac.kr

은 분야에서 활용될 수 있는 핵심 전자소자이다.

이와 같이 활용도가 높고 산업에 미치는 영향이 막대하므로 미국의 Bell Lab.와 Lucent Technology, Penn. State Univ., 영국의 Cavendish Lab., 네델란드의 Philips 그리고 일본의 Mitsbishi 등이 OTFT의 개발에 주력하고 있다. 그러나 국내의 연구는 화학 및 재료공학 분야에서 유기 EL 소자와 관련 유기반도체 개발에 주력하고 있고, OTFT와 플라스틱칩에 대한 연구는 ETRI와 홍익대학교 그리고 동아대학교에서 다소 수행되고 있다.

현재 OTFT의 전도성 유기 활성층으로 폴리아세틸렌, 펜타신, 티오펜 올리고머 등 다양한 유기물이 사용되고 있지만, 성능은 전계효과이동도 (field effect mobility)가 $0.04 \sim 2 \text{ cm}^2/\text{V} \cdot \text{sec}$, ON/OFF 전류점멸비, $I_{ON/OFF}$ 가 10^6 로서 아몰퍼스 실리콘 TFT (각각 $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 와 10^7 임)에 미치지 못하고 있다. 이것은 금속의 접촉저항, 유기 박막의 선택적 식각의 어려움, 게이트와 유기반도체 박막 계면의 전하 특성 불량 등 여러 가지 이유가 있지만 유기 반도체 박막 자체의 작은 전도성이 가장 큰 요인이 되고 있다.

본 논문에서는 OTFT의 동작원리를 살펴보고, 이를 토대로 소자의 각 영역의 역할과 소자성능과의 연관성을 분석한다. 특히 OTFT의 성능과 직결되는 유기 반도체 박막의 결정도 (crystallinity) 개선을 중심으로 현재 시도되고 있는 다양한 방법들을 소개하고, OTFT의 발전방향을 예측해 본다.

2. OTFT의 동작원리와 성능 결정 요소

OTFT는 **그림 1**과 같이 게이트 전극, 게이트 절연층, 소스와 드레인 전극 그리고 유기 반도체 활성층으로 구성된다. 게이트 전극의 전압은 게이트와 접해 있는 유기 반도체의 전위를 조절한다. 편의상 n형 유기 반도체를 예로서 동작을 설명한다. 게이트에 전압을 인가하지 않으면 **그림 1(a)**의 전도대 (conduction band)에서 보듯이 소스와 유기 반도체 사이에 에너지 장벽이 존재하기 때문에 전자들이 유기 반도체로 주입할 수 없다. 게이트에 양전압을 인가하면 유기 반도체 계면의 전위는 **그림 1(b)**와 같이 낮아져서 소스로부터 전자가 쉽게 유기 반도체로 주입하게 된다. 이러한 상태를 누적상태 (accumulation)라고 한다. 이 때 드레인에 양전압

을 인가하면 드레인 전극의 전위가 소스보다 낮아져서 전자는 **그림 1(c)**와 같이 드레인으로 전송되고, 드레인 전류는 드레인 전압에 비례하여 증가한다. 그리고, 드레인 전압이 충분히 증가하면 드레인 주변의 전위는 **그림 1(d)**와 같이 급격히 변하여 전자의 공핍영역이 형성되고 드레인 전류는 포화된다.

이와 같은 동작을 바탕으로 생각해 보면 OTFT의 성능은 유기 반도체 계면의 전위가 게이트 전압에 대하여 얼마나 효과적으로 변화하는지, 캐리어가 소스로부터 유기 반도체로 주입하는데 방해 에너지가 존재하는지, 캐리어가 유기 반도체와 게이트 계면을 따라 전송하는데 산란 (scattering) 요소들이

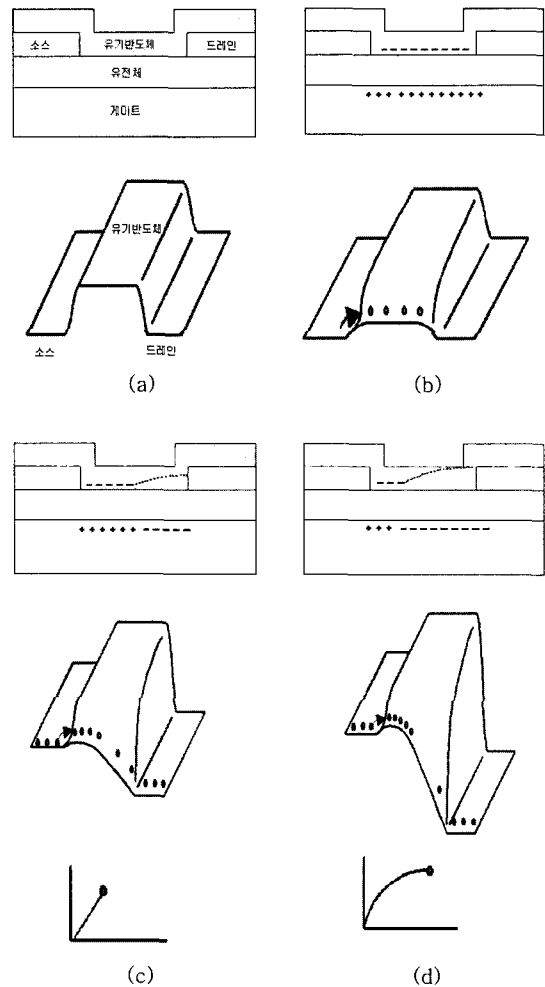


그림 1. OTFT의 구조와 게이트(V_{GS}) 및 드레인(V_{DS}) 전압에 따른 유기반도체의 전도대 변화; (a) $V_{GS} = V_{DS} = 0V$, (b) $V_{GS} > 0V, V_{DS} = 0V$, (c) $V_{GS} > 0V, V_{DS} > 0V$, (d) $V_{GS} > 0V, V_{DS} \gg 0V$.

얼마나 있는지, 게이트는 유기 반도체에서 전송하는 캐리어들이 게이트 전극으로 누설되는 것을 방지할 수 있는 충분한 절연성을 가지고 있는지 등에 의하여 결정되는 것을 알 수 있다. 상기한 OTFT의 성능을 평가하는 성능지수 (parameters)로서 전계이동도 (μ_{FET} , $\text{cm}^2/\text{V}\cdot\text{sec}$), sub-threshold slope (SS, V/dec), 문턱전압 (threshold voltage, V_{th} , V), 전류점멸비 ($I_{ON/OFF}$) 등이 있다. 전계이동도는 단위전계 1 V/cm에 의하여 이동하는 거리를 나타내고, 각종 산란요소들이 이동도를 결정한다. 특히 OTFT에서는 입계경계에 있는 포획전하들에 의한 산란의 영향이 가장 크게 나타난다. 전계이동도는 전류식 (1)에 의하여 표현되며, 측정된 I_D - V_G 관계 그래프와 비교하여 추출한다. SS는 문턱전압 아래 영역에서 전류 10배 증가하는데 필요한 게이트 전압의 크기로서 게이트의 유기 반도체 계면의 제어능력을 나타낸다. Si FET의 경우 SS가 약 60 mV/dec 이며, OTFT는 1 V/dec 이하가 되기 어렵다. 이는 OTFT의 게이트 계면에 계면전하에 의한 캐패시턴스 성분이 있기 때문이며, 식 (2)로 표현된다. 여기서 C_O 는 게이트 절연막 캐패시턴스, C_D 는 유기 반도체의 공핍영역 캐패시턴스, C_n 는 계면전하 캐패시턴스이다. 문턱전압은 게이트와 유기 반도체의 일함수 차이 그리고 게이트 절연막의 내부전하 및 계면전하 등에 의하여 결정되며, 게이트 표면처리 방식에 따라서 문턱전압은 달라진다. 전류점멸비는 특히 유기EL의 구동소자로 사용될 때 중요한 성능지수이며, 차단상태 (off-state)일 때 흐르는 전류가 작을수록 증가한다. 차단상태 전류는 식 (3)으로 표현되며, 유기 반도체의 두께 (t)가 작고, 도핑농도 (N_A)가 작아야 차단상태 전류가 작아진다. OTFT의 성능지수들은 모두 I_D - V_G 관계 그래프로부터 추출할 수 있다.

$$I_D = \frac{\mu_{FET} C_O W}{2L} (V_G - V_{th})^2 \quad (1)$$

$$SS = SS_0 \frac{1+(C_D+C_n)/C_O}{1+C_D/C_O}, \quad SS_0 = \frac{kT}{q} \ln 10 \left(1 + \frac{C_D}{C_O} \right) \quad (2)$$

$$I_{off} = \frac{Z\sigma}{L} \left\{ (t+P)V_D + \frac{2P}{3Q} [1 - (1+QV_D)]^{3/2} \right\},$$

$$P = \frac{\epsilon_S}{C_O}, \quad Q = \frac{2C_O^2}{qN_A \epsilon_S} \quad (3)$$

유기 반도체는 실리콘 반도체와는 달리 분자결합

즉 van der Waals 결합을 하고 있기 때문에 유기 단결정의 경우 분자결합력이 10 kcal/mole로서 실리콘의 76 kcal/mole에 비하여 상당히 작다. 따라서, 열에 의한 분자진동에너지와 분자결합력과의 상호 크기에 따라 전자의 전송 방식이 달라진다. 즉 온도가 증가하여 분자진동에너지가 분자결합력보다 클 경우 분자 간 간격이 벌어짐에 따라 분자 간 π -밴드 중첩이 약화되어 전자는 hopping 전송을 하게 되고, 이동도 (mobility)는 감소한다. 그러나, 온도가 낮을 경우 분자결합력이 분자진동에너지보다 커져서 분자 간 π -밴드 중첩이 강화되어 단결정 실리콘 반도체와 같이 밴드전송을 하게 되고, 이동도는 증가한다. 따라서, 단결정 유기 반도체의 이동도는 상온에서 약 1~10 $\text{cm}^2/\text{V}\cdot\text{sec}$ 정도로 실리콘의 정공 이동도 480 $\text{cm}^2/\text{V}\cdot\text{sec}$ (전자 이동도 1350 $\text{cm}^2/\text{V}\cdot\text{sec}$)에 비하여 상당히 작은 값을 가진다.

유기물의 응용범위를 확대하려면 이동도를 개선해야 하는데, 이동도를 개선할 수 있는 방법은 세 가지 정도로 정리할 수 있다. 첫째는 전도성을 유지하면서 분자결합력이 강화된 새로운 유기물을 개발하는 것이다. 이것은 화학자들이 연구하여야 할 분야이다. 둘째로, 긴 사슬의 고분자 (단일 고분자의 전자 이동도가 1,000 $\text{cm}^2/\text{V}\cdot\text{sec}$ 정도 되는 것으로 보고된 바 있음)로 소스와 드레인 두 전극을 바로 연결하는 것이다. 그러나, 고분자의 전도성을 유지하면서 사슬을 아무리 길게 만든다고 하더라도 수 천 nm 이상 되기는 어렵기 때문에 소스와 드레인 전극 간격이 nm 크기가 되어야 하고, 그러면 공정이 복잡해 지므로 유기물의 장점 중 하나인 간단한 공정의 특성을 잃게 된다. 결합력이 강한 새로운 유기물을 사용할 수 없고, 기존의 공정을 활용해야 하는 현 상황에서 이동도를 개선할 수 있는 세번째 방법으로 분자 간 π -밴드 중첩이 가급적 강화되도록 분자배열을 조절하여 유기박막의 결정도를 향상시키는 방법이 널리 활용되고 있다.

게이트 절연막은 OTFT의 성능에 큰 영향을 주는 영역으로서 고절연성, 고평탄성, 유기 반도체 성막 시 큰 확산계수를 제공할 수 있는 낮은 표면전위, 그리고 게이트 금속과의 강한 결합 등이 요구된다. 일반적으로 실리콘 산화막을 사용하고 있으나 전유기 (all organic) TFT를 실현하기 위해서는 게이트 절연막도 상기한 특성을 갖춘 유기물로 대체해야 할 것이다. 또한 photolithography가 가능

하도록 광반응성을 가지면 공정을 더욱 단순화할 수 있을 것이다.

소스와 드레인 전극은 유기 반도체에 캐리어를 공급하는 역할을 한다. 유기 반도체와 전극금속과의 일함수 차이는 캐리어 주입을 방해하는 에너지 장벽을 제공하고 이는 접촉저항 (일반적으로 수 백 MΩ ~ 수 GΩ 정도)으로 나타난다. 펜타센 (HOMO= 5.1 eV, LUMO=2.9 eV)은 p형 반도체이므로 정공의 주입이 원활한 금속을 사용해야 한다. 그러므로, 펜타센 OTFT에서는 일함수가 큰 Au (5.1eV)을 가장 많이 사용하고 있다. Pt (5.7eV)의 일함수가 Au 보다 더 크기 때문에 정공 주입이 원활할 것으로 기대되지만 실제의 경우 Au 전극의 접촉저항이 더 작은 것으로 나타났다. 이는 Au의 확산계수가 크기 때문에 Au 전극 증착시 Au 원자들이 유기박막으로 확산하여 접촉저항이 감소한 것으로 생각된다. 전유기 TFT를 실현하기 위해서는 고전도성을 유지하면서 유기 반도체와 접촉저항도 작은 유기금속의 개발이 필요하다. 지금까지 시도된 유기금속으로 polyaniline과 PEDOT 등이 있다.¹⁴

고성능 OTFT를 실현하기 위해서 각 영역들이 갖추어야 할 요소들과 개선 방향에 대하여 간단히 살펴보았다. 현재 시도되고 있는 여러 가지 방법에 대하여 절을 달리하여 구체적으로 알아본다.

2. 유기 반도체 박막 성장

OTFT의 성능은 캐리어가 직접 전송되는 유기 반도체 박막의 결정도에 좌우된다. 유기 반도체 박막 성장 메커니즘을 분석하고, 결정도를 결정하는 요소들을 살펴보면, 유기 반도체 박막 성막 공정에 대하여 알아본다.

OTFT의 발달은 새로운 유기 반도체의 적용과 성막 공정 개발의 반복과정으로 설명할 수 있다. 새로운 유기 반도체를 처음으로 OTFT의 활성층에 적용하고, 그 유기 반도체의 성막 공정의 개선으로 성능을 지속적으로 향상시켜왔다. 더 이상의 성능 개선이 없는 포화상태에 이르면 다시 새로운 유기 반도체를 적용하고, 성막 공정을 최적화하는 반복과정을 통하여 발전하였다. 이러한 과정을 **그림 2**에 나타내었다.¹⁵ OTFT의 활성층으로 유기 단분자(pentacene) 뿐¹⁶⁻²⁰ 아니라 고분자 (polyacetylene, oligothiophene, PTV, C60, α-6T, poly-

thiophene)²¹⁻²⁶ 등 다양한 유기물이 사용되고 있다. 전도성 고분자는 분자 자체의 이동도는 상당히 양호하지만, 박막상태에서는 고분자들을 규칙적으로 정렬할 수 없기 때문에 캐리어가 분자와 분자 사이를 이동하는 과정에서 포논산란 등으로 이동도가 $10^{-3} \text{ cm}^2/\text{V} \cdot \text{sec}$ 으로 현격히 감소한다. 반면에 단분자는 박막상태에서 분자정렬이 양호하므로 고분자보다 높은 이동도를 나타내고 있다. 현재로는 진공증착한 유기 반도체 단분자 박막을 사용하는 OTFT가 높은 이동도를 나타내고 있으며, 펜타센 박막이 $2 \text{ cm}^2/\text{V} \cdot \text{sec}$ 로 가장 높은 이동도를 보여주고 있다. 따라서, 본 논문에서는 펜타센 박막을 중심으로 유기 반도체 박막의 성막 공정에 대하여 알아본다.

유기박막의 성장은 기판에 도달하는 분자와 기판의 구성 분자 그리고 핵자 (nucleation site)의 구성 분자 간의 상호결합력에 의하여 이루어진다. 펜타센 박막 성장을 예로 유기박막의 성장 메커니즘을 분석해 본다. 펜타센 박막은 **그림 3(a)**에서 보듯이 기판에 형성된 핵자를 중심으로 성장한다.²⁷ 일단 핵자가 형성되면 펜타센 분자는 핵자로 이동하여 핵자 분자와 결합하면서 나뭇가지 모양으로 성장한다. 이렇게 제 1분자 층이 성장하여 기판 표면의 70%를 덮게 될 때 제 2분자 층이 성장하기 시작하고, 제 2분자 층이 1층 분자층 표면의 70%를 덮게 되면 제 3분자 층이 성장한다. 제 1분자 층의 핵자가 성장하여 입계 (grain)를 이루고, 입계가 서로 맞닿아 입계경계 (grain boundary)를 만들면서 펜타센 박막은 여러 층이 계단을 이루어 terrace

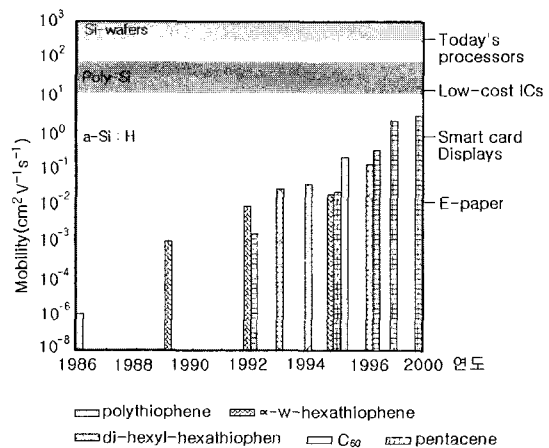


그림 2. OTFT의 전계이동도의 발전 추세.

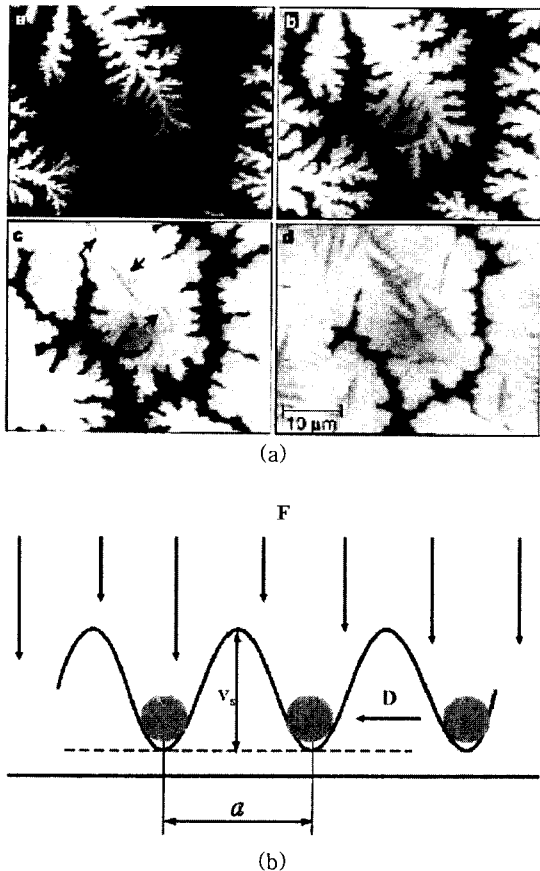


그림 3. 펜타센막 성장 메카니즘. (a) 펜타센 입계의 시간별 성장 과정, (b) 성장 모형도.

형태를 가지게 된다. 정공 (펜타센은 p형 반도체이므로 정공이 다수캐리어임)의 이동도를 결정하는 요인들 (포논산란, 불순물산란, 게이트표면전위산란, 입계경계산란 등)이 여러 가지가 있으나 입계경계를 통과할 때 전하포획들에 의하여 가장 많이 산란하므로 입계경계 밀도 즉 입계의 크기가 이동도를 결정하는 주요 요인이 된다. 따라서, 큰 이동도를 얻기 위해서는 큰 입계가 필수 요건이다. 물론 입계 자체는 단결정이어야 한다.

위에서 보듯이 입계의 크기는 핵자밀도에 반비례함을 알 수 있다. 그리고, 핵자밀도 N_f 는 증발율 F 와 기판에서의 분자의 확산계수 D 에 좌우되며, $N_f \sim F/D$ 와 같은 관계식을 갖는다. 확산계수 $D \sim ak_S$ 이고, 여기서 a 는 그림 3(b)에서 보듯이 기판 원자에 의한 포텐셜 에너지 마디 사이의 간격이며, k_S 는 전자가 포텐셜 에너지 마디 사이를 hopping 하는 정도를 나타낸다. 그리고, $k_S \sim \exp(-V_S/kT)$ 이고, V_S

는 에너지 장벽이다. 따라서, 큰 입계를 얻기 위해서는 핵자밀도가 작아야 하므로 증발율 F 는 작아야 하고, 확산계수 D 는 커야 한다.

일반적으로 펜타센 박막은 진공증착으로 성막하는데 진공증착은 증발온도에서 펜타센 분자들이 순식간에 증발하기 때문에 증발율 F 를 조절하기 어렵다. 불활성 반응가스의 분압을 조절하여 증발율 F 를 제어하는 방법이 제안된 바 있다.^{28,29} 여기서 진공으로 밀폐된 공간의 압력은 반응가스 분압과 증발 분자의 분압으로 구성된다. 따라서, 가스분압이 증가하면 분자분압 즉 증발율이 감소하게 된다. 이렇게 조절되어 증발된 분자들은 반응가스에 실려 성장영역으로 전송하고 기판에 부착하여 성장한다. 분자를 전송하는 방법은 반응가스에 의한 강제대류 (forced convection) 외에도 온도변화에 의한 부력대류 (buoyancy convection)를 동시에 사용하면 핵자밀도를 감소시켜 입계의 크기를 향상시킬 수 있다. 펜타센의 경우 수 mm 크기의 단결정 입계를 성장시킨 바 있으며, 이동도는 상온에서 약 $2 \text{ cm}^2/V \cdot \text{sec}$ 로 보고되었다. 이러한 증발율 F 를 조절하는 원리를 활용하면 대면적 유기단결정박막도 성장할 수 있을 것으로 기대된다.

3. 게이트표면처리 효과

유기 반도체 박막의 결정도는 증발율 F 의 조절 외에도 유기 반도체 박막이 성장될 게이트표면의 에너지상태를 변화시킴으로써 유기분자의 게이트표면에서의 확산계수 D 를 증가시키는 방법이 있다. 본 절에서는 현재 시도되고 있는 다양한 표면처리 공정과 그 효과에 대하여 살펴본다.

그림 4에는 (100) 실리콘 기판에 실리콘 산화막을 게이트 절연체로 사용하고 유기 반도체로서 펜타센을 진공증착한 OTFT들의 표면처리효과를 분석하기 위하여 표면처리 전후의 전류-전압 특성을 비교하였고, 성능지수들을 표 1에 정리하였다. 모든 펜타센 OTFT는 p-형 FET의 특성을 나타내었다. 표면처리 전 전계이동도는 $10^{-2} \sim 10^{-3} \text{ cm}^2/V \cdot \text{sec}$ 의 범위를 보여주고 있다. 전계이동도는 여러 가지 요소들의 영향을 받지만, 특히 입계의 크기가 이동도에 가장 큰 영향을 준다. 표면처리 전 펜타센의 입계는 그림 5(a)의 AFM 사진에서 보듯이 평균크기가 약 $0.5 \mu\text{m}$ 로서 작은 이동도의 원인이 된다.

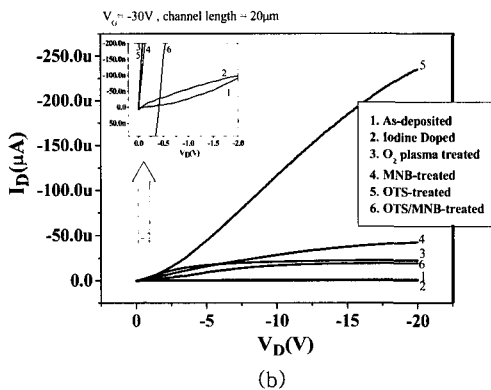
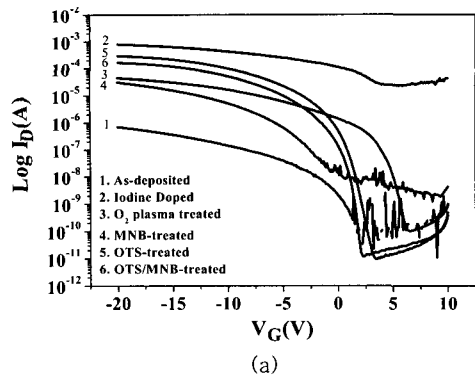


그림 4. 다양한 표면처리를 한 펜타센 OTFT의 전류-전압 특성. (a) I_D-V_G , (b) I_D-V_D .

표 1. 다양한 게이트표면처리된 펜타센 OTFT의 성능 비교

Method	Mobility ($\text{cm}^2/\text{v}\cdot\text{s}$)	SS (V/dec)	V_T (V)	Ion/off	Off-state Current (A)
As-deposited	0.0015	3.2	-2.0	$\sim 10^4$	$\sim 10^{-10}$
Iodin doped	0.0009	9.4	-2.6	2.4×10^5	$\sim 10^{-5}$
O_2 plasma	0.051	0.65	0.34	7.1×10^5	8.1×10^{-11}
MNB	0.036	3.2	-2.3	2.0×10^4	1.0×10^{-9}
OTS	0.36	0.5	-0.2	3.2×10^7	9.3×10^{-12}
OTS+MNB	0.11	0.3	-0.6	1.3×10^7	1.2×10^{-11}

채널의 길이에 따라 전계이동도가 다소 차이를 보였다. $10 \mu\text{m}$ 에서 $0.0015 \text{ cm}^2/\text{V} \cdot \text{sec}$ 로 가장 작게 나타나고, 채널길이가 증가할수록 이동도도 증가하였다. 이러한 원인으로는 **그림 5(b)**의 AFM 사진에서 보듯이 Au 전극 위와 가장자리 주변에 증착된 펜타센의 입계의 크기가 채널 중심부의 입계에 비하여 상대적으로 작기 때문이다. 금속의 표면은 전하가 자유롭게 이동하기 때문에 어떤 분자든지

쉽게 흡착하여 그래인이 커질 것 같으나 펜타센은 기관으로부터 반발력이 있어야 분자정렬이 양호해지므로 금속 위에서는 입계가 작아진다. 따라서, Au 전극 표면과 주변의 작은 입계가 전체 소자에서 차지하는 비율이 클수록 이동도는 감소하게 되므로 채널 길이가 짧을수록 전계이동도는 감소한다.^{30,31}

SS와 전류점멸비는 차단상태의 전류와 밀접한 관련이 있는 것으로 나타났다. 차단상태에서 소오스와 드레인 사이의 누설전류가 작을수록 우수한 성능을 나타내었다. 누설전류는 소오스와 드레인 전극 사이의 저항 즉 전극의 접촉저항과 채널저항이 클수록 작아진다. 그러나, 접촉저항은 도통상태 (on-state)의 전류가 커야 하므로 가급적 작아야 바람직하다. 채널저항은 차단상태 ($V_G \geq 0\text{V}$)에서는 무한대 (∞)이고, 도통상태 ($V_G \leq 0\text{V}$)에서는 영 (0)이 되는 것이 이상적이지만 계면전하와 입계경계의 포획전하 때문에 그렇지 못하다. 따라서, 유기 반도체 박막을 성장할 때 계면에 dangling bond가 발생하지 않도록 게이트와 유기 반도체 사이의 물리화학적 결합상태를 강하게 해야 하며, 입계경계의 defect charge 밀도가 작도록 입계의 크기를 가능한 크게 제작하여야 한다. 그리고, **그림 4(b)**의 I_D-V_D 특성에서 드레인 전압이 0 V에 가까운 영역에서 드레인 전류가 완만하게 증가하는 현상을 current crowding 이라고 하며, 이것은 접촉저항이 크기 때문에 나타나는 현상이다.

3.1 유기 반도체 도핑효과

펜타센에 요오드를 도핑한 경우 OTFT의 전기적 특성은 **그림 4**와 같이 변화하였다. I_D-V_G 관계 그래프에서 차단상태와 도통상태 모두 전류가 급증하였다. 그리고, I_D-V_D 관계그래프에서 보듯이 작은 V_D 영역에서 표면처리하지 않은 OTFT와 비교하여 전류증가는 크게 나타났다. 즉 current crowding 현상이 감소하였다. 이러한 현상들은 모두 요오드 도핑에 의하여 펜타센의 전도도가 증가한 것이 그 원인이다. 반면에 **표 1**의 전계이동도는 $9 \times 10^{-4} \text{ cm}^2/\text{V} \cdot \text{sec}$ 로 감소하였는데, 이것은 요오드 도핑에 의한 불순물 산란이 증가하였기 때문이다. 그리고, 전류점멸비는 5.5×10^2 으로 급격히 감소하였고, 이것은 전도도가 증가함에 따라 차단상태의 전류도 10^{-5}A 로 증가하였기 때문이다. 이 결과는 식 (3)의 차단상태 전류식과 일치하는 것으로 도핑농도 N_A 가 증가할수록 차단상태 전류 I_D 는 증가한다. 그러므로, 차단상태 전류를 줄이기 위해서는 유

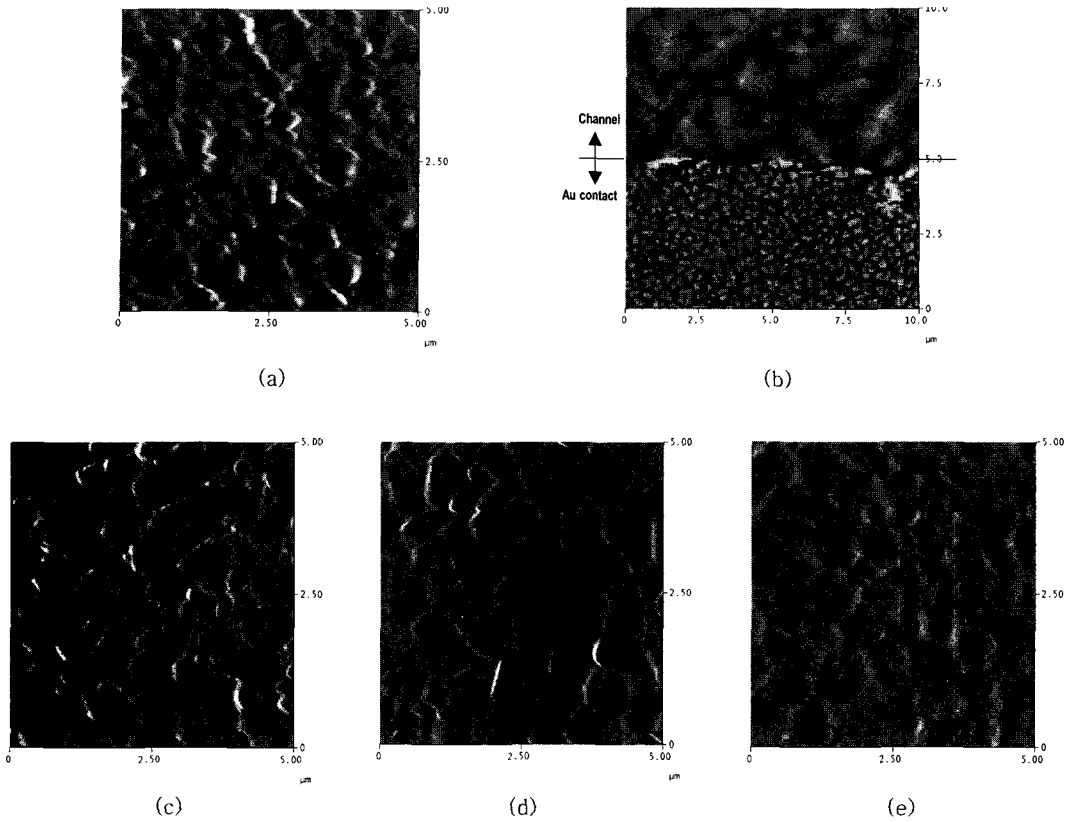


그림 5. 다양한 방법으로 표면처리한 게이트에 성막된 펜타센 박막의 AFM 사진; (a) 표면처리하지 않은 펜타센, (b) Au 전극과 채널 영역의 펜타센 입계 비교, (c) O₂ 플라즈마 처리한 펜타센, (d) Au/MNB 위의 펜타센, (e) OTS 처리된 펜타센.

기 반도체 박막에 인위적 도핑은 하지 않아야 한다.

3.2 O₂ 플라즈마 표면처리효과

펜타센을 증착하기 전에 게이트표면을 O₂ 플라즈마로 처리하였다. 플라즈마 공정은 산소량 10 sccm과 ICP 전력 50 W에서 수행되었다. **그림 4**의 전기적 특성으로부터 플라즈마 표면처리 후 성능이 향상되었음을 알 수 있다. 도통상태의 전류가 증가하였으나 차단상태의 누설전류도 함께 증가하였기 때문에 전류점멸비는 변화가 없었다. 전극의 접촉저항은 400 kΩ에서 50 kΩ으로 감소하였다. 전계이동도는 플라즈마 처리시간이 증가함에 따라 초기에는 증가하다가 5분에서 0.05 cm²/V·sec로 최대값에 도달한 후 다시 감소하였다. 이러한 반전 현상은 다른 성능지수에서도 발생하였다. 따라서, 최적의 플라즈마처리 시간은 5분으로 판단된다. 이러한 효과는 실리콘 산화막에 내재하는 고정 양전하 (10¹⁰~10¹² cm⁻²)가 플라즈마 처리시 발생하는 UV에 의하여 시간에 따라 변하기 때문이며, 양전

하의 변화는 게이트 표면전위를 변화시키고, 이것은 펜타센 입계의 크기를 증가시킨다. **그림 5(c)**의 AFM 사진에서 펜타센 입계가 표면처리하지 않은 경우와 비교하여 커졌음을 확인할 수 있다.

3.3 MNB의 Au 전극표면 도포효과

요오드 도핑은 채널의 전도도를 향상시켰으나 이로 인하여 누설전류가 증가하여 전류점멸비가 감소하였다. 유기 반도체 전체에 도핑하는 대신에 전극에만 선택적으로 도핑하면 접촉저항을 감소시키면서 전류점멸비의 감소를 피할 수 있다. MNB (2-Mercapto 5-nitrobenzimidazole)를 진공증착으로 Au 전극 위에만 도포한 OTFT는 **그림 4**에서 보듯이 전계이동도는 0.036 cm²/V·sec로 증가하였고 접촉저항은 감소하여 current crowding도 감소하였다. 차단상태 전류는 10⁻⁹A로 다소 증가하였으나 도핑 경우와 비교하여 증가는 미세하며 전류점멸비는 2×10⁴을 유지하였다. 전류 증가는 접촉저항의 감소 때문인 것으로 판단된다. MNB는 Au와

펜타센 사이에서 엑셉터형 전하전송 완충층 역할을 하여 정공 주입을 도와주며,³² 금속의 표면전위를 변화시켜 펜타센의 적층이 용이하도록 한다. **그림 5(d)**의 Au/MNB 위에 적층된 펜타센의 AFM 사진으로 입계의 크기가 증가하였음을 확인할 수 있다.

3.4 OTS의 게이트표면 도포효과

게이트표면에 유기 단분자막을 도포하여 표면전위를 변화시킬 수 있다.³³ 유기물로 OTS (octadecyltrichlorosilane)를 사용하였고, SA 방법으로 실리콘 산화막에 도포하였다. **표 1**에서 보듯이 전계이동도가 0.36 cm²/V.sec로 급격히 증가하였고, 전류점멸비도 3.2×10⁷으로 증가하였다. 전계이동도의 증가는 **그림 5(e)**의 AFM 사진으로 알 수 있듯이 입계 크기의 증가 때문이며, 전류점멸비의 개선은 전계이동도의 증가로 인하여 도통상태의 전류는 증가한 반면 차단상태의 누설전류는 약 10 pA로서 증가하지 않았기 때문이다. 작은 누설전류는 또한 SS 값을 0.52 V/dec로 감소시켰다. 그러나, current crowding는 여전히 나타났다. 따라서, OTS 처리는 전극의 접촉저항에는 영향을 주지 않고, 다만 채널영역의 펜타센 입계의 크기를 증가시켰음을 알 수 있다.

3.5 OTS/MNB 동시 도포효과

위에서 보듯이 MNB는 접촉저항을 감소시켰고, 반면에 OTS는 전계이동도를 증가시켰음을 알 수 있었다. 따라서, OTS를 SA 방법으로 도포한 후 MNB를 진공증착하여 접촉저항과 함께 전계이동도를 동시에 개선할 수 있는지 실험하였다. **그림 4**에서 보듯이 전계이동도와 접촉저항은 표면처리 하지 않은 경우와 비교하여 개선되었으나 OTS 혹은 MNB 단독으로 사용한 소자에 비하여 개선 정도가 크지 못 하였다. 이것은 OTS와 MNB가 서로 반응하기 때문인 것으로 생각된다.

4. 결론

OTFT는 유기물의 특성을 활용하여 실리콘 반도체로서 실현할 수 없는 새로운 응용분야를 창출할 것으로 기대되어 활발한 연구가 수행되고 있다. OTFT에서 유기 반도체의 결정도가 성능에 결정적인 영향을 미치므로 결정도 향상을 위하여 다양한 방법들이 시도되고 있다. 결정도는 핵자밀도에 반비례하고, 핵자밀도를 감소시키기 위하여 분자 증

발을 F 를 감소시키는 방법과 분자의 확산계수 D 를 증가시키기 위하여 게이트 표면전위를 변화시키는 방법이 시도되고 있다. 이러한 연구결과 펜타센 OTFT는 전계이동도 2 cm²/V·sec, 전류점멸비 10⁷에 도달하였으며, 유기EL의 구동소자로 활용할 수 있을 정도로 향상되었다.

OTFT의 연구는 용액을 사용하는 간단한 공정에 의한 대면적화,³⁴ 유기 반도체뿐 아니라 게이트와 금속 모두 유기물로 대체하는 전유기화,³⁵ 그리고 성능을 고도화하기 위하여 각 영역을 박막이 아니라 기능성 단분자막으로 그 기능을 구현하는 단분자화로 진행될 것으로 예측된다.³⁶ 이러한 연구가 성공적으로 수행되기 위해서는 새로운 유기분자를 개발할 수 있는 화학자들의 협력이 절실히 요망된다.

감사의 글: 본 연구 (논문)은 과학기술부의 21세기 프론티어연구개발사업인 차세대정보디스플레이 개발사업단의 지원으로 수행되었습니다.

참 고 문 헌

1. J. H. Schön, A. Dodabalapur, Z. Bao, Ch. Kloc, O. Schenker, and B. Batlogg, *Nature*, **410**, 189 (2001).
2. B. Crone, A. Dodabalapur, A. Gelperin, L. Torsi, H. E. Katz, A. J. Lovinger, and Z. Bao, *Appl. Phys. Lett.*, **78**, 2229 (2001).
3. M. Granstöm, K. Petritsch, A. C. Arias, A. Lux, M. R. Andersson, and R. H. Friend, *Nature*, **395**, 257 (1998).
4. J. H. Schön, Ch. Kloc, A. Dodabalapur, and B. Batlogg, *Science*, **289**, 599 (2000).
5. M. J. Lee, C. P. Judge, and S. W. Wright, *Solid-State Electronics*, **44**, 1431 (2000).
6. C. J. Drury, C. M. J. Mutsaers, C. M. Hart, M. Matters, and D. M. de Leeuw, *Appl. Phys. Lett.*, **73**, 108 (1998).
7. Francis Garnier, Ryad Hahlaoui, Abderrahim Yassar, and Pratima Srivastava, *Science*, **265**, 1684 (1994).
8. G. H. Gelinck, T. C. T. Geuns, and D. M. de Leeuw, *Appl. Phys. Lett.*, **77**, 1487 (2000).
9. C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, H. Klauk, and T. N.

- Jackson, *IEDM*, 619 (2000).
10. M. G. Kane, J. Campi, M. S. Hammond, F. P. Cuomo, B. Greening, C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, L. Jia, H. Klauk, and T. N. Jackson, *IEEE Electron Device Letters*, **21**, 534 (2000).
 11. A. Dodabalapur, Z. Bao, A. Makhija, J. G. Laquindanum, V. R. Raju, Y. Feng, H. E. Katz, and J. Rogers, *Appl. Phys. Lett.*, **73**, 142 (1998).
 12. Henning Sirringhaus, Nir Tessler, and Richard H. Friend, *Science*, **280**, 1741 (1998).
 13. Hagen Klauk and Thomas N. Jackson, *Solid State Technology*, 63 (2000).
 14. M. Schrodner, S. Sensfuss, H.-K. Roth, R.-J. Stohn, W. Clements, and A. Bernds, *88 IEEE Polytronic 2002 Conference*, p.1, 2002.
 15. C. D. Dimitrakopoulos and D. J. Masearo, *IBM J. RES. & DEV.*, **45**, 11 (2001).
 16. David J. Gundlach, Hagen Klauk, Chris D. Sheraw, Chung-Chen Kuo, Jiunn-Ru Huang, and Thomas N. Jackson, *1999 International Electron Devices Meeting Technical Digest*, 111 (1999).
 17. Yen-Yi Lin, David J. Grndlach, Shelby F. Nelson, and Thomas N. Jackson, *IEEE Transactions on Electron Devices*, **44**, 1325 (1997).
 18. Hagen Klauk, David J. Gundlach, Jonathan A. Nichols, and Thomas N. Jackson, *IEEE Transactions on Electron Devices*, **46**, 1258 (1999).
 19. C. D. Dimitrakopoulos, A. R. Brown, and A. Pomp, *J. Appl. Phys.*, **80**, 2501 (1996).
 20. Y. Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, *IEEE Electron Device Letters*, **18**, 606 (1997).
 21. Zhenan Bao, Ananth Dodabalapur, and Andrew J. Lovinger, *Appl. Phys. Lett.*, **69**, 4108 (1996).
 22. D. J. Gundlach, Y. Y. Lin, T. N. Jackson, and D. G. Schlom, *Appl. Phys. Lett.*, **71**, 3853 (1997).
 23. R. C. Haddon, A. S. Perel, R. C. Morris, T. T. M. Palstra, A. F. Hebard, and R. M. Fleming, *Appl. Phys. Lett.*, **67**, 121 (1995).
 24. C. J. Drury, C. M. J. Mutsaers, C. M. Hart, M. Matters, and D. M. de Leeuw, *Appl. Phys. Lett.*, **73**, 108 (1998).
 25. A. R. Brown, A. Pump, C. M. Hart, and D. M. de Leeuw, *Science*, **270**, 972 (1995).
 26. Wenjie Li, Howard E. Katz, Andrew J. Lovinger, and Joyce G. Laquindanum, *Chem. Mater.*, **11**, 458 (1999).
 27. Frank-J. Meyer zu Heringdorf, M. C. Reuter, and R. M. Tromp, *Nature*, **412**, 517 (2001).
 28. Ch. Kloc, P. G. Simpkins, T. Siegrist, and R. A. Laudise, *Journal of Crystal Growth*, **182**, 416 (1997).
 29. R. A. Laudise, Ch. Kloc, P. G. Simpkins, and T. Siegrist *Journal of Crystal Growth*, **187**, 449 (1998).
 30. M. W. Lee, K. H. Kim, and C. K. Song, *IEEK*, **SD-39**, 1001 (2002).
 31. C. K. Song, B. W. Koo, S. B. Lee, and D. H. Kim, *Jpn. J. Appl. Phys.*, **41**, 2730 (2002).
 32. Avner Haran, Dabid H. Waldeck, Ron Naaman, Ellen Moons, and David, *Science*. **263**. 948 (1994).
 33. Merlin Bruening, Ellen Moons, Dana Yaron-Marcovich, David Cahen, Jacqueline Libman, and Abraham Shanzer, *J. Am. Chem. Soc.*, **116**, 2972 (1994).
 34. A. R. Brown, C. P. Jarrett, D. M. de Leeuw, and M. Matters, *Synthetic Metals*, **88**, 37 (1997)
 35. Christos D. Dimitrakopoulos, Bruce K. Furman, Teresita Graham, Suryanarayan Hegde, and Sampath Purushothaman, *Synthetic Metals*, **92**, 47 (1998)
 36. <http://www.isen.fr/recherche/physique/MolElec.html#nanodevice>.