

論文2003-40SD-5-4

500 MHz의 입력 대역폭을 갖는 8b 200 MHz 0.18 um CMOS A/D 변환기

(An 8b 200 MHz 0.18 um CMOS ADC with 500 MHz Input Bandwidth)

曹永載*, 裴佑鎭*, 朴熙遠*, 金世原*, 李承勳*

(Young-Jae Cho, Woo-Jin Bae, Hee-Won Park, Se-Won Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 고속 평판 디스플레이 응용을 위한 8b 200 MHz 0.18 um CMOS A/D 변환기 (Analog-to-Digital Converter: ADC)를 제안한다. 제안하는 A/D 변환기는 200 MHz의 샘플링 클럭 속도에서 샘플링 클럭 속도보다 더 높은 입력 대역폭을 얻기 위해서 개선된 bootstrapping 기법을 사용한다. Bootstrapping 기법이 적용된 샘플-앤-홀드 증폭기(Sample-and-Hold Amplifier: SHA)는 기존의 회로보다 향상된 정확도를 가지며, 1.7 V의 전원 전압, 200 MHz의 샘플링 클럭, 500 MHz의 정현파 입력에서 SHA의 출력을 FFT(Fast Fourier Transform) 분석한 결과 7.2 비트의 유효 비트 수(effective number of bits)를 나타내었다. 또한 병합 캐패시터 스위칭 (Merged-Capacitor Switching: MCS) 기법을 사용하여 기존의 A/D 변환기에 사용되는 캐패시터의 숫자를 50 % 줄임으로써 샘플링 속도를 높임과 동시에 면적을 최소화하였다. 제안하는 A/D 변환기는 0.18 um n-well single-poly quad-metal CMOS 공정을 사용하여 모의 실험 되었으며, 1.7 V 전원 전압, 200 MHz의 샘플링 클럭에서 73 mW의 전력을 소모한다.

Abstract

This work describes an 8b 200 MHz 0.18 um CMOS analog-to-digital converter (ADC) based on a pipelined architecture for flat panel display applications. The proposed ADC employs an improved bootstrapping technique to obtain wider input bandwidth than the sampling rate of 200 MHz. The bootstrapping technique improves the accuracy of the input sample-and-hold amplifier (SHA) and the fast fourier transform (FFT) analysis of the SHA outputs shows the 7.2 effective number of bits with an input sinusoidal wave frequency of 500 MHz and the sampling clock of 200 MHz at a 1.7 V supply voltage. Merged-capacitor switching (MCS) technique increases the sampling rate of the ADC by reducing the number of capacitors required in conventional ADC's by 50 % and minimizes chip area simultaneously. The simulated ADC in a 0.18 um n-well single-poly quad-metal CMOS technology shows an 8b resolution and a 73 mW power dissipation at a 200 MHz sampling clock and a 1.7 V supply voltage.

Keywords : A/D 변환기, 8b 200 MHz, gate-bootstrapping, 샘플-앤-홀드 증폭기, SHA

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

의 지원을 받은 결과입니다.

※ 본 논문은 부분적으로 서강대학교 산업기술연구소

接受日字:2002年8月27日, 수정완료일:2003年4月25日

I. 서론

최근 고밀도 VLSI 공정 기술과 디지털 신호 처리 기술의 발전으로 인하여 고품질 비디오 시스템, 차세대 개인 휴대용 통신 기기, 고속 디지털 통신망 및 의료용 부품 등에 사용되는 고성능 A/D 변환기의 요구가 점차 증가하고 있다. 또한 휴대용 장비에 대한 수요가 증가함에 따라 저전력의 시스템 구현을 위하여 단일 칩으로 1.8 V 수준의 저전압원을 사용하는 다른 CMOS 디지털 VLSI 회로와 동시에 구현 가능한 저전력, 저전압의 A/D 변환기가 절실한 상황이다. 특히, 평판 디스플레이 입력부 및 LCD 모니터 구동회로와 같은 영상 디스플레이 응용의 경우에는 샘플링 속도가 100 MHz 이상이고, 동시에 그보다 훨씬 높은 수백 MHz 수준의 입력 신호를 8 비트의 해상도로 처리해야 하므로, 고속으로 동작하면서 높은 주파수의 입력 신호를 샘플링 할 수 있는 샘플 앤-홀드 증폭기 (Sample-and-Hold Amplifier : SHA)를 입력단에 적용한 A/D 변환기는 필수적이다¹⁾.

현재 8 비트 수준의 해상도와 100 MHz 이상의 샘플링 속도에서 동작하는 기존의 A/D 변환기는 바이폴라 혹은 BiCMOS 공정으로 제작되어 많은 전력 소모량을 가지며, CMOS 공정으로 제작된 디지털 신호처리 회로들과 단일 칩으로 제작되지 못하여 전체 시스템 제작 비용이 증가하는 단점이 있다^{2) 3)}. 한편, CMOS 공정을 사용하는 A/D 변환기의 경우에는 최근 활발히 연구 개발되고 있으나, 100 MHz 이상으로 동작하고 수백 MHz 수준의 입력 대역폭을 가지면서 고성능 시스템에 집적하기 위해 제공되는 단일 칩이 아닌 코어 셀(core cell) 등은 현재 시장에서 구하기 어려운 실정이다.

상용 시장에서는 일반적으로 고속 샘플링 주파수를 요구하는 A/D 변환기 응용을 위해 플래시(flash), 폴딩(folding), 서브레인징(subranging) 및 파이프라인(pipeline) 구조 등을 사용하고 있으며, 최근에는 이러한 구조 중에서 고속 신호 처리 사양과 고해상도 조건을 동시에 만족하기 위해 속도, 전력 소모 및 면적을 최적화 하는 파이프라인 구조를 많이 적용하고 있는 추세이다. 파이프라인 구조에서는 많은 단을 필요로 하는 단일 비트 구조보다는 첫 단에 많은 비트를 결정함으로써 뒷 단으로부터의 영향을 줄이면서 전력 소모 및 면적을 최적화 하는 다중 비트 구조를 많이 사용하지

만, 증폭기의 높은 폐루프 이득(closed-loop gain)에 의해 신호 처리 속도가 제한된다는 단점이 있다. 또한 바이폴라 공정으로 많이 사용되던 폴딩 구조는 비교적 적은 전력 소모량과 높은 동작 주파수를 가지는 장점이 있으나 높은 정밀도를 가진 폴더의 설계가 쉽지 않으며 해상도가 증가 할 수록 폴더 출력단의 부하성분이 증가하여 동작 속도를 제한하는 주 요인이 된다^{4) 12)}.

본 논문에서는 고속 평판 디스플레이 응용을 위해 입력단 SHA에 bootstrapping 기법을 적용하여 500 MHz 수준의 높은 입력 신호에 대해서도 8 비트의 해상도를 보장하는 8b 200 MHz 0.18 um 1.8 V CMOS A/D 변환기를 제안한다. 본 논문의 II 장에서는 제안하는 A/D 변환기의 전체 구조에 대하여 살펴보고 III 장에서는 제안하는 SHA 회로에 대하여 설명한다. IV 장에서는 제안하는 A/D 변환기의 모의 실험 결과 및 예상 사양에 대하여 요약하고 V 장에서 결론을 맺는다.

II. 제안하는 8b 200 MHz A/D 변환기의 전체 구조

본 논문에서 제안하는 8b 200 MHz CMOS A/D 변환기는 두 개의 단으로부터 각각 4 비트, 5 비트를 얻는 파이프라인 구조이며, 전체 구조는 <그림 1>과 같다.

전체 A/D 변환기는 입력단 SHA, 4 비트 MDAC (Multiplying Digital-to-Analog Converter), 2 개의 FLASH A/D 변환기, 디지털 교정회로 (Digital Correction Logic : DCL), 자체 바이어스 전류 발생기 (self bias generator) 및 클럭 발생기(clock generator)로 구성된다. 입력된 아날로그 신호를 디지털 출력 코

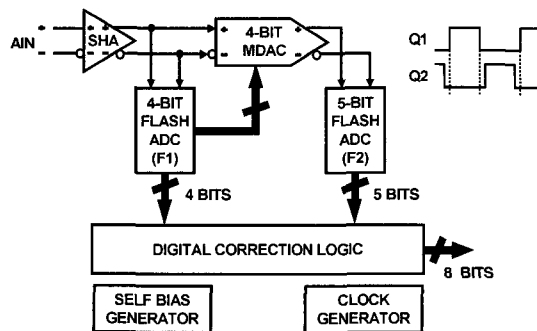


그림 1. 제안하는 8b 200 MHz A/D 변환기
Fig. 1. Proposed 8b 200 MHz ADC.

드로 변환하기 위하여, 두 개의 중첩되지 않는 클럭 (non-overlapping clock) Q1, Q2를 사용하며, 기본적인 동작 원리는 다음과 같다.

먼저, Q2 클럭 위상 동안 입력단의 SHA에서 샘플링 된 신호는 Q1 클럭 위상에서 MDAC의 캐패시터열 (capacitor array)로 전달되며, 그와 동시에 첫 번째 4 비트 FLASH A/D 변환기에서 입력된 신호가 전체 기준 전압의 어느 부분에 해당되는지를 4 비트의 디지털 출력 코드로 결정한다. 이 디지털 출력 코드는 다음 단으로부터의 디지털 신호와 연계하여 처리하기 위해 DCL로 보내진다.

그 다음의 Q2 클럭 위상에서 MDAC의 캐패시터열에 저장된 아날로그 신호와 첫 번째 4 비트 FLASH A/D 변환기에서 결정된 디지털 코드에 상응하는 아날로그 신호와의 차이인 잔류 전압(residue voltage)은 8 배만큼 증폭되어 다음 단 즉, 두 번째 5 비트 FLASH A/D 변환기로 전달되어 최종 디지털 출력을 얻는다. 각 단은 각각 4 비트와 5 비트를 출력하며 두 단의 FLASH A/D 변환기로부터 얻어진 9 비트의 디지털 출력은 두 개의 FLASH A/D 변환기, 입력단의 SHA 및 MDAC 사이에 생겨나는 피드스루(feedthrough) 및 오프셋(offsets) 등 비선형 오차 값을 교정하기 위해 각 단을 1 비트씩 중첩시키는 디지털 교정 방식을 사용하므로, 그 결과 각 단들에 의해 중첩되는 1 비트를 제외한 최종 8 비트가 DCL로부터 얻어진다.

제안하는 A/D 변환기의 MDAC에는 전력 소모 및 면적을 최소화하고 고속으로 동작하는 A/D 변환기를 구현하기 위하여 병합 캐패시터 스위칭(Merged-Capacitor Switching : MCS) 기법을 적용하였다^[13]. 이러한 MCS 기법을 사용하여 전형적인 파이프라인 A/D 변환기에 사용되는 MDAC의 단위 캐패시터를 2 개씩 병합하여 필요한 캐패시터의 수를 50 %로 줄임으로써 전형적인 파이프라인 A/D 변환기에 사용되는 MDAC과 비교할 때, 부하의 크기를 대략 반으로 줄여서 200 MHz의 동작이 가능하도록 하였으며, 동시에 면적도 최소화하였다. 또한 5 비트 FLASH A/D 변환기에는 기존의 인터폴레이션(interpolation) 기법을 적용하여 MDAC의 부하를 최소화하였다.

A/D 변환기가 요구되는 고속 고해상도의 성능 및 샘플링 속도보다 훨씬 높은 입력 대역폭을 얻기 위해서는 A/D 변환기의 아날로그 입력을 샘플링하는 입력단 SHA 회로의 성능이 대단히 중요하며, 다음 장에서는

이러한 SHA 회로에 대해서 자세히 논의한다.

III. 제안하는 샘플-앤-홀드 증폭기(SHA)

1. 기존의 SHA 회로

<그림 2>는 전형적인 SHA 회로로서 8 비트의 해상도 수준에서 두 개의 캐패시터만을 사용하여 빠른 동작 속도에서도 필요로 하는 면적과 전력 소모를 최소화할 수 있는 구조중의 하나이다.

신호의 샘플링 및 홀딩 동작은 A/D 변환기 전체 회로에서 사용되는 두 개의 중첩되지 않는 클럭 Q1과 Q2로 구성되며, Q2가 high일 때 캐패시터 C1 및 C2의 bottom plate에 아날로그 입력 신호가 샘플링 된다. 또한 샘플링 모드에서 홀딩 모드로 전환할 때, Q2P 클럭에 의해 C1 및 C2의 top plate에 연결된 스위치를 입력 샘플링 스위치보다 빨리 꺼줌으로써 입력 신호에 의존하는 피드스루 오차를 최소화하며, Q1이 high일 때 캐패시터의 bottom plate가 출력단에 연결됨으로써, 샘플링된 아날로그 입력 신호를 그대로 출력하는 홀딩 모드로 동작한다. 그러나 NMOS 스위치의 온 저항(on-resistance) R_{on} 을 나타내는 아래의 식 (1)에서 볼 수 있듯이 사용되는 전원 전압 (V_{DD})이 감소함에 따라 스위치 구동 전압 ($V_{gs}-V_{th}$)이 감소하게 되어 스위치의 온 저항 값이 커지면서 입력 신호에 따른 온 저항의 변화도 동시에 커지게 되며, PMOS 스위치에서도

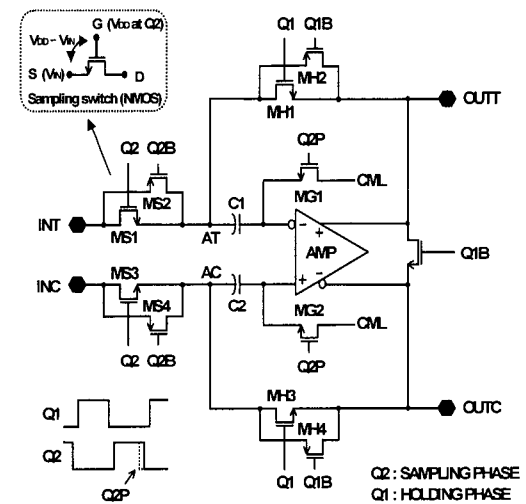


그림 2. 기존의 SHA 회로
Fig. 2. Conventional SHA.

동일한 문제가 발생한다.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})}$$

$$V_{gs} - V_{th} = V_{DD} - V_{IN} - V_{th} \quad (1)$$

따라서 1.8 V 이하의 낮은 전원 전압에서도 500 MHz 수준의 높은 주파수의 입력 신호를 8 비트의 해상도로 샘플링이 가능하기 위해서는, 상대적으로 CMOS 스위치 W/L의 크기를 크게 만들어 온 저항의 크기를 작게 해주어야 한다. 그러나 이러한 경우는 스위치 크기에 따른 기생 캐패시턴스 성분이 동시에 커지게 되어 200 MHz의 샘플링 속도로 동작시키기가 쉽지 않으며, 온 저항의 크기가 작아지더라도 입력 신호에 따라 변하는 온 저항 값에 따른 신호 왜곡에 의해 8 비트의 해상도를 얻기란 거의 불가능하다. 이러한 문제점들을 해결하기 위하여 스위치의 온 저항을 작고 일정하게 유지하는 bootstrapping 기법을 사용한 여러 가지 회로들이 제안되었다^[14-16].

2. 기존의 gate-bootstrapping 회로

<그림 3>은 bootstrapping 기법을 이용한 전형적인 회로 중의 하나로 입력 전압의 변화에 관계없이 입력 샘플링 스위치의 온 저항 값을 항상 작고 일정하게 만들어준다^[14]. 이 회로에서는 캐패시터 C3가 배터리처럼 동작하여 입력 스위치의 게이트-소스(gate-source) 전압을 입력 전압의 변화에 관계없이 항상 V_{DD}로 일정하게 유지시킨다. 즉, Q2가 low일 때 캐패시터 C3는 V_{DD}로 충전되며, Q2가 high가 되면 C3 양단의 전압이 그대로 입력 샘플링 스위치를 구동하게 되어 스위치의 게이트-소스 전압을 입력 신호의 크기와 관계없이 항상 V_{DD}로 유지하게 된다.

그러나 n-well 공정을 사용할 경우 이러한 회로는 일부 노드(node)가 전원 전압의 크기를 초과함에 따라 소스와 바디(body) 혹은 드레인(drain)과 바디 사이에 인가되는 역방향 바이어스에 의해서 역방향 항복(breakdown) 현상이 발생할 수 있으며, 게이트에 인가되는 전압에 따른 전계의 크기가 커지면서 취약한 게이트 유전체(gate oxide)가 파괴되는 등 소자의 안정성 문제가 발생할 수 있다. 따라서, 이러한 회로는 공정에서 허용되는 전원 전압을 초과하지 않는 범위 내에서 사용하는 것이 안전하며, 1.8 V의 낮은 전압을 사용하

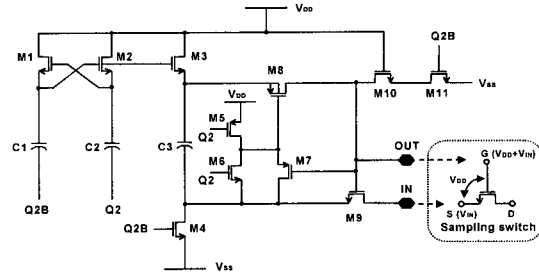


그림 3. 기존의 gate-bootstrapping 회로
Fig. 3. Conventional gate-bootstrapping circuit.

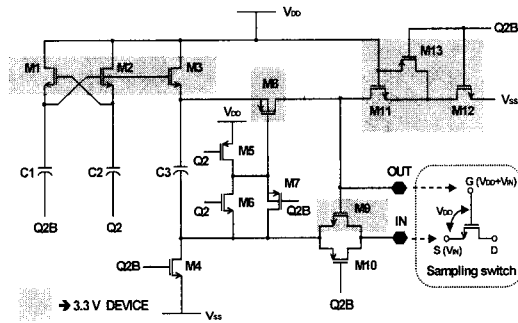


그림 4. 제안하는 gate-bootstrapping 회로
Fig. 4. Proposed gate-bootstrapping circuit.

는 0.18 um 공정과 같은 최근의 deep sub-micron 공정에서는 기존의 회로를 그대로 사용하기 어렵다.

3. 제안하는 bootstrapping 기법을 사용하는 SHA 회로
앞 절에서 논의한 바와 같이 수백 MHz 수준의 높은 주파수의 입력에서 8 비트의 해상도를 유지하기 위해서는 SHA의 샘플링에 사용되는 스위치의 턴온(turn-on) 전압을 일정하게 유지하여 온 저항 변화에 의한 신호의 왜곡을 최소화 하여야하며, 이를 위해서 본 논문에서는 <그림 4>에 보이는 gate-bootstrapping 회로를 제안하였다.

<그림 4>에서 나타난 제안하는 gate-bootstrapping 회로는 기존의 bootstrapping 기법을 사용하여 입력단 샘플링 스위치의 게이트-소스 전압을 입력 신호에 관계없이 항상 V_{DD}로 일정하게 해주면서, 그림에 나타난 바와 같이 (▲로 표시) 전원 전압 이상의 높은 전압이 인가되는 소자는 본 논문에 사용된 설계 공정에서 임/출력용으로 제공되는 3.3 V용 소자를 사용함으로써 0.18 um 공정에서도 소자의 안정적인 동작이 가능하도록 설계되었다. 그러나 3.3 V용 소자를 사용하여 기존의 gate-bootstrapping 회로를 그대로 구현할 경우, 3.3

V 소자의 크기에 따른 기생 소자 성분과 높은 문턱 전압(threshold voltage)에 의한 온 저항값에 의하여 고속으로 동작하면서 SHA 샘플링 스위치의 게이트-소스 전압을 V_{DD} 로 유지하기 어렵다. 이 경우는 오히려 bootstrapping 기법을 사용하지 않고 샘플링 스위치를 CMOS로만 구성하는 구조보다 더 낮은 해상도 특성을 보였다.

따라서, 제안하는 gate-bootstrapping 회로는 고속 디스플레이 응용 회로 사양에 충분한 성능을 얻기 위해 M10 및 M13의 스위치를 추가로 사용함으로써 gate-bootstrapping 회로 출력단의 기생 소자 성분을 최소화하고 온 저항 성분을 조절하여, SHA 샘플링 스위치의 게이트-소스 전압을 입력 신호에 관계없이 항상 V_{DD} 의 일정한 값으로 유지할 수 있도록 하였다. 또한 제안하는 SHA 회로의 입력단에는 기존의 bootstrapped NMOS 만으로 구성된 샘플링 스위치 대신 개선된 CMOS 샘플링 스위치를 사용함으로써 500 MHz 수준의 고속의 입력 신호에서도 높은 SNDR(Signal-to-Noise-and-Distortion Ratio)값을 얻을 수 있도록 하였다. 그러나 제안하는 gate-bootstrapping 회로를 적용한 SHA 회로는 최근의 deep sub-micron 공정의 경우, 일반적으로 사용되는 저전압용 소자 외에 입/출력용 소자 등 높은 전압에서 사용 가능한 소자가 제공되는 공정에서만 사용 가능하다는 단점은 가진다. 다음은 제안하는 회로의 구현을 위한 구체적인 설명이다.

<그림 4>의 회로에서 SHA의 입력 샘플링 스위치를 구동하는 노드 OUT의 전압인 V_{OUT} 은 다음의 식 (2)에서 계산되듯이 C3와 기생 캐패시턴스 C_p 의 비율에 의해서 결정된다. 여기서 C_p 는 C3의 top plate에 연결된 모든 기생 캐패시턴스이다.

$$V_{OUT} = V_{IN} + \frac{C_3}{C_3 + C_p} \times V_{DD} \quad (2)$$

따라서 C_p 의 크기는 최소화해야 하며, 이를 위해 <그림 4>의 스위치 M13을 추가로 사용하여 샘플링 시에 M11을 동시에 꺼줌으로써 M11과 관련하여 발생하는 기생 캐패시턴스를 최소화함과 동시에 회로의 레이아웃(layout)에서는 V_{OUT} 과 샘플링 스위치 사이의 라우팅(routing) 거리를 최소화하여 발생할 수 있는 기생 캐패시턴스를 최소화하였다^[14-15]. 한편, C3의 bottom plate에 gate-bootstrapping 회로의 입력 전압을 인가해주는 역할을 하는 스위치 M9의 온 저항은 V_{OUT} 의 값

이 $V_{DD}+V_{IN}$ 으로 충전되는 시간에 영향을 준다. 따라서 V_{IN} 에 500 MHz 수준의 높은 주파수의 입력이 인가될 경우 M9의 온 저항의 크기에 따라 V_{OUT} 의 값이 $V_{DD}+V_{IN}$ 까지 충분히 충전되지 못할 수 있으므로 M9의 온 저항의 크기를 작게 해주어야 한다. 그러나 온 저항의 크기를 줄이기 위하여 M9의 W/L을 증가시킬 경우는 C3의 top plate에 연결된 기생 캐패시턴스 C_p 의 크기를 함께 증가시킨다. 제안하는 gate-bootstrapping 회로에서는 이를 해결하기 위해서 Q2B에 의해서 구동되는 PMOS 스위치 M10을 추가하여 M9와 CMOS 형태로 구성함으로써 V_{IN} 과 C3의 bottom plate 사이의 온 저항을 최소화함과 동시에 M9에 의해서 발생하는 기생 캐패시턴스를 작게 하여 V_{OUT} 전압의 추가적인 감소를 최소화하였다. 또한 PMOS 스위치 M8의 소스에는 V_{DD} 전압 이상이 인가되므로 소스와 바디를 함께 묶어서 래치업(latch-up) 현상이 일어나지 않도록 하였다.

Gate-bootstrapping 회로 구현 시에 높은 전압이 인가되는 회로 부분은 3.3 V 소자를 사용함으로써 회로의 안정적인 동작이 이루어질 수 있도록 하였으나, 회로에 공급되는 1.8 V의 낮은 전원 전압에 비하여 NMOS 소자에서 발생하는 몸체 효과(body effect)에 의해서 1.3 V 정도의 비교적 높은 문턱 전압이 형성된다. 따라서 3.3 V 소자로 구현된 bootstrapped NMOS 샘플링 스위치의 온 저항이 증가하게 되며, 이로 인하여 나이퀴스트(Nyquist) 주파수 이상의 입력 신호가 인가 될 경우 샘플링 스위치에서 8 비트 수준의 해상도를 유지하지 못하는 문제점이 있다. 이러한 문제점을 해결하기 위해서 제안하는 SHA 회로에서는 <그림 5>에서와 같이 bootstrapped NMOS 샘플링 스위치에 gate-bootstrapping 회로를 사용하지 않는 온-칩 클럭으로 구동되는 PMOS 스위치 MP1, MP2를 추가하여 CMOS 형태로 샘플링 스위치를 구성함으로써 입력 신호에 관계없이 온 저항 크기 및 온 저항의 변화를 최소화하였다.

제안하는 SHA 회로의 동적 성능을 검증하기 위하여 전형적인 분석 기법인 FFT(Fast Fourier Transform) 분석을 하였으며, 그 결과가 <그림 6>에 나타나 있다. FFT 분석은 1.7 V 전원 전압, 200 MHz 샘플링 클럭에서 1 V_{p-p} 정현파를 단일(single-ended) 입력의 형태로 인가하여 그 출력을 128 point FFT로 분석하였다. Bootstrapping 기법을 사용하지 않은 기존의 2개의

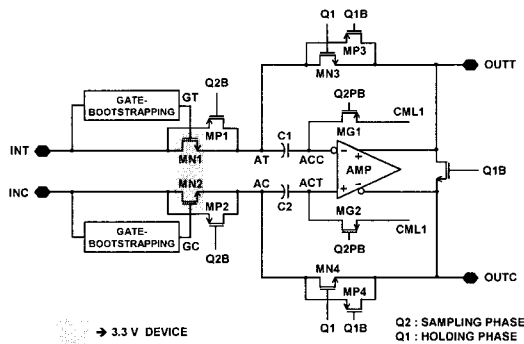


그림 5. 제안하는 SHA 회로
Fig. 5. Proposed SHA.

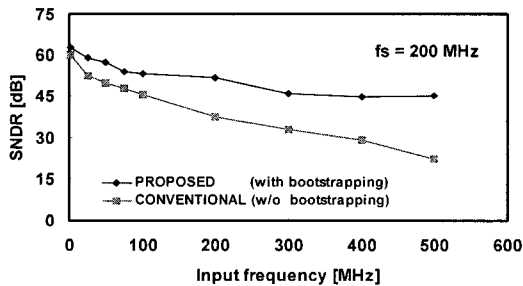


그림 6. 제안하는 SHA 회로의 FFT 분석 결과
Fig. 6. FFT results of the proposed SHA.

캐패시터를 사용하는 구조가 나이퀴스트 주파수 이상의 입력 신호에 대하여 급격한 SNDR의 감소를 보이는 것과 비교할 때, 제안하는 SHA 회로는 500 MHz의 입력 신호에 대해서도 45.1 dB의 SNDR 값을 나타내었다. 이는 7.2 비트의 유효 비트 수(effective number of bits)에 해당하는 값으로 500 MHz의 입력 신호에 대해서도 8 비트 수준의 해상도를 가지고 동작함을 알 수 있다. 참고로, FFT 분석시 <그림 3>의 기존의 gate-bootstrapping 회로를 그대로 사용한 SHA 회로는 3.3 V 소자로 구현되면서 오히려 기존의 bootstrapping 기법을 사용하지 않는 SHA 회로보다 더 낮은 해상도 특성을 보였다.

IV. A/D 변환기 모의 실험 결과 및 예상 사양

제안하는 8b 200 MHz A/D 변환기는 0.18 um n-well single-poly quad-metal CMOS 공정을 사용하여 설계, 모의 실험, 및 레이아웃 되었다. 특히, 이 A/D 변

환기는 평판 디스플레이 응용 시스템에 코어 셀로 사용할 경우, 작은 칩 면적으로 인하여 영상 디스플레이의 R, G, B 세 개의 채널을 사용하는데 문제가 없도록 배치하였다. <그림 7>은 제안하는 A/D 변환기 레이아웃이며 면적은 0.7 mm × 1.2 mm이다.

제안하는 A/D 변환기는 설계상의 여유를 고려하여 1.7 V의 전원 전압을 사용하였으며, 1.6 V ~ 2.0 V의 전원 전압에 대해서도 동작이 가능하도록 모든 블럭을 설계하였다. <그림 8>은 1.7 V 전원 전압, 그리고 200 MHz 시스템 클럭에서 전체 시스템의 동작을 모의 실험한 결과로, 1 Vp-p의 기준 전압 범위에 대하여 5 가지의 주요한 아날로그 입력 신호에 대한 8 비트의 디지털 출력 결과를 나타낸다.

모의 실험 결과 입력 신호가 기준 전압보다 크거나 작은 신호를 나타내는 overflow(OVF), underflow(UDF), 및 8 비트의 디지털 출력이 예상과 정확히 일

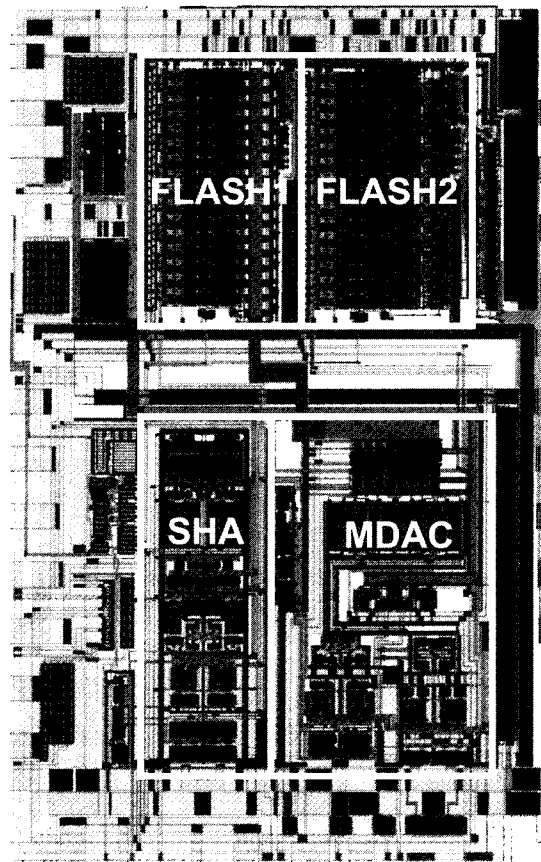


그림 7. 제안하는 A/D 변환기 레이아웃 (0.7 mm × 1.2 mm)
Fig. 7. Proposed ADC layout (0.7 mm × 1.2 mm).

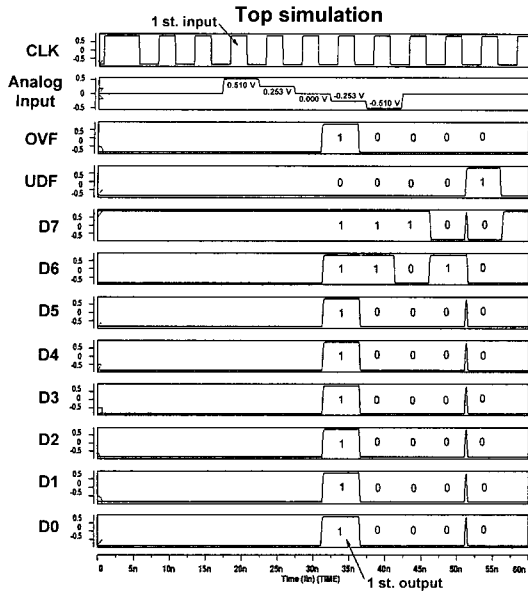


그림 8. 제안하는 A/D 변환기 전체 회로의 모의 실험 결과

Fig. 8. Top simulation results of the proposed ADC.

표 1. 제안하는 A/D 변환기 예상 사양
Table 1. Estimated specification of the proposed ADC.

해상도	8 비트	
전원 전압	1.7 V	
동작 속도	200 MHz	
사용 공정	0.18 um n-well single-poly quad-metal CMOS	
전력 소모	아날로그 블럭	39.7 mW
	디지털 블럭	33.3 mW
	전체	73.0 mW

치하여 전체 시스템이 아무런 문제없이 동작함을 확인할 수 있었다. 1.7 V 전원 전압에 대하여 전력 소모는 73 mW이며, 높은 동작 속도에 의해서 디지털 블럭의 전력소모가 증가하였다. <표 1>에는 제안하는 A/D 변환기의 예상 사양을 요약하였다.

V. 결론

본 논문에서는 평판 디스플레이 응용 시스템에서 사용되는 8b 200 MHz CMOS A/D 변환기를 제안하였다. 제안하는 A/D 변환기는 입력단 SHA에 bootstrapping 기법을 적용하여 500 MHz 수준의 입력 신호에 대해서

도 8 비트의 해상도를 유지할 수 있도록 설계되었으며, MDAC에 MCS 기법을 적용하여 면적 및 전력 소모를 최소화하면서 200 MHz의 샘플링 클럭에서 동작하도록 하였다. 제안하는 A/D 변환기는 1.7 V 전원 전압, 200 MHz 샘플링 클럭에서 73 mW의 전력을 소모하며, 레이아웃된 A/D 변환기의 면적은 0.7 mm × 1.2 mm이다. 본 논문에서 제안하는 A/D 변환기는 평판 디스플레이 응용 시스템의 R, G, B 세 개의 채널에 코어 셀로 현재 관련 기업에서 사용 중으로 그 성능이 검증되었으나, A/D 변환기만의 성능을 검증할 외부편이 없어 모의 실험 결과만 정리하였다.

참고 문헌

[1] H. Marie and P. Belin, "R, G, B Acquisition Interface with Line-Locked Clock Generator for Flat Panel Display," IEEE J. Solid-State Circuits, vol. 33, no. 7, pp. 1009~1023, July 1998.

[2] M. Sugawara, H. Yoshida, M. Mitsuishi, S. Nakamura, S. Nakaigawa, and H. Suzuki, "A 2.5V 100MS/s 8bit ADC Using Pre-Linearization Input Buffer and Level up DAC/Subtractor," in Symp. VLSI Circuits Dig. Tech. Papers, June 1998, pp. 170~173.

[3] C. W. Moreland, "An 8b 150MSample/s Serial ADC," in ISSCC Dig. Tech. Papers, Feb. 1995, pp. 272~273.

[4] Y. Nejime, M. Hotta, and U. Seiichi, "An 8-bit ADC with Over-Nyquist Input at 300-MS/s Conversion Rate," IEEE J. Solid-State Circuits, vol. 26, no. 9, pp. 1302~1308, Sept. 1991.

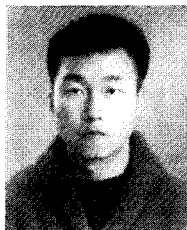
[5] J. Valburg and R. J. Plassche, "An 8-b 650-MHz Folding ADC," IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1662~1666, Dec. 1992.

[6] R. C. Taft and M. R. Tursi, "A 100-MSPS 8-b CMOS Subranging ADC with Sustained Parametric Performance from 3.8 V down to 2.2 V," in Proc. CICC, May 2000, pp. 253~256.

[7] M. J. Choe and B. S. Song, "An 8b 100M

- Sample/s CMOS Pipelined Folding ADC," in Symp. VLSI Circuits Dig. Tech. Papers, May 1999, pp. 81~82.
- [8] Y. T. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 308~317, Mar. 2000.
- [9] H. Hasegawa, M. Yotsuyanagi, M. Yamaguchi, and K. Sone, "A 1.5V Video-Speed Current-Mode Current-Tree A/D Converter," in Symp. VLSI Circuits Dig. Tech. Papers, May 1994, pp. 17~18.
- [10] Y. Nishida, D. Sone, K. Amano, S. Matsuba, and A. Yukawa, "An 8-bit 200MS/s 500mW BiCMOS ADC," in Proc. CICC, May 1995, pp. 10.4.1~10.4.4.
- [11] M. P. Flynn and D. J. Allstot, "CMOS Folding ADCs with Current-Mode Interpolation," in ISSCC Dig. Tech. Papers, Feb. 1995, pp. 274~275.
- [12] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-MSamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 312~320, Mar. 1997.
- [13] Y. D. Jeon, S. C. Lee, S. M. Yoo, and S. H. Lee, "Acquisition-Time Minimization and Merged-Capacitor Switching Techniques for Sampling-Rate and Resolution Improvement of CMOS ADCs," in ISCAS, May 2000, pp. 451~454.
- [14] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipelined Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599~606, May 1999.
- [15] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz," in ISSCC Dig. Tech. Papers, Feb. 2000, pp. 38~39.
- [16] T. L. Brooks, D. H. Robertson, D. F. Kelly, A. D. Muro, and S. W. Harston, "A Cascaded Sigma-Delta Pipelined A/D Converter with 1.25 MHz Signal Bandwidth and 89 dB SNR," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1896~1906, Dec. 1997.

저 자 소 개



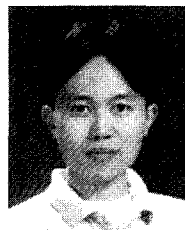
曹 永 載(正會員)
1999년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임.>



朴 熙 遠(正會員)
2003년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 반도체 집적회로 설계, 혼성모드 회로 설계 등임.>



裴 佑 鎭(正會員)
2002년 8월 : 한성대학교 정보통신공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임.>



金 世 原(正會員)
2003년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 반도체 집적회로 설계, 혼성모드 회로 설계 등임.>



李承勳(正會員)

1984년 : 서울대학교 전자공학과 학사. 1986년 : 서울대학교 전자공학과 석사. 1991년 : 미 Illinois 대 (Urbana-Champaign) 공학 박사. 1986년 : KIST 위촉 연구원. 1987년~1990년 : 미 Coordinated Science Lab(Urbana) 연구원. 1990년~1993년 : 미 Analog Devices 사 senior design engineer. 현재 : 서강대학교 전자공학과 교수. 관심 분야는 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.