

論文2003-40SD-5-2

실리콘 전력 MOSFET의 온도 관련 항복 전압과 ON 저항을 위한 해석적 표현

(Analytical Expressions of Temperature Dependent Breakdown Voltage and On-Resistance for Si Power MOSFETs)

鄭龍成 *

(Yong Sung Chung)

요약

전자와 정공의 온도 관련 이온화 계수로부터 추출한 온도 함수의 유효 이온화 계수 및 전자 이동도를 이용하여 실리콘 전력 MOSFET의 항복 전압과 on 저항을 위한 온도 함수의 해석적 표현식을 유도하였다. 온도 함수의 해석적 항복 전압 결과를 $4 \times 10^{14} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$, $6 \times 10^{16} \text{ cm}^{-3}$ 의 도핑 농도에 대해 각각 실험 결과와 비교하였고, 온도 및 항복 전압 함수의 on 저항 변화도 각각 실험 결과와 비교하였다. 각 농도에 따른 온도 함수의 해석적 항복 전압은 77~300K의 온도 범위에서 실험 결과와 10% 이내의 오차로 잘 일치하였다.

Abstract

Analytical Expressions of temperature dependent breakdown voltage and on-resistance for silicon power MOSFETs are induced by employing the temperature dependent effective ionization coefficient extracted from temperature dependent ionization coefficients for electron and hole, and electron mobility in silicon. The analytical results for temperature dependent breakdown voltage are compared with experimental results for the doping concentration, $4 \times 10^{14} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$, $6 \times 10^{16} \text{ cm}^{-3}$ respectively. The variations of temperature dependent on-resistance and breakdown voltage dependent ideal specific on-resistance are also compared with the ones reported previously. Good fits with the experimental results are found for the breakdown voltages within 10% in error for the temperature in the range of 77 ~ 300K at each doping concentration.

Keyword : Analytical expressions, temperature dependent, breakdown voltage, on-resistance, silicon power MOSFETs, effective ionization coefficient, electron mobility, doping concentration

I. 서론

최근 고온에서 사용되는 초전도체에 대한 활발한 연구는 전력 전자 시스템의 동작뿐만 아니라 극 저온에서 이 시스템을 조정하기 위한 전력 소자에 대한 연구에도 바탕이 되었다. 앞으로 이러한 전력 전자 시스템의 응용 분야로는 자기 부상 운송 수단, 자기 공명 단

* 正會員, 徐羅伐大學 디지털電氣情報學部
(School of Digital Electric & Information Technology,
Sorabol College)

接受日字:2002年1月2日, 수정완료일:2003年4月30日

층 촬영(MRI) 및 고 전력 모터와 발전기 등이 있다. 더욱이, 항공 우주 전자 시스템의 경우에는 액체 질소 온도에서 동작하는 전력 MOSFET를 사용해야 할 것으로 기대되고 있으며, 전력 MOSFET를 기본으로 하는 switched mode의 전원도 역시 고속 수퍼 컴퓨터에서 액체 질소로 냉각되는 CMOS 회로를 위해 극 저온에서 동작할 필요가 있다. 이를 위한 전력 취급 능력 개선^[1] 및 낮은 접합 온도의 실현 가능성과 packing material^[2], 실리콘^[3]의 향상된 열 전도도에 따른 체적 감소 결과로 저온에서도 전력 소자의 동작이 가능하게 되었다.

한편, 항복 전압은 온도에 따라 변화하게 되는데, 이것은 전력 반도체 소자가 기준 전압이나 정전압 전원으로 사용될 경우, 시스템 성능에 영향을 미칠 수 있는 요인이 된다. 또한, 온도에 따른 항복 전압의 변화는 2 차 항복(second breakdown)의 발생에 크게 영향을 미칠 수 있기 때문에 매우 중요하다^[4]. 또한, 전력 소자는 자기 부상 열차에 응용될 경우에는 액체 질소 온도인 77K에서, 전력 응용 분야인 경우에는 500K 정도에서 사용되는 등, 사용 온도 범위가 점차 넓어지고 있다.

전력 소자의 최적 설계를 위해서는 주어진 항복 전압과 on 저항을 만족시키면서 가능한 한 칩 면적을 작게 해야 하는데, 소자의 구조와 온도 및 농도 등의 변수가 주어질 경우, 그에 따른 항복 전압의 예측이 가능해야 한다. 이를 위해서 실리콘 전력 MOSFET의 온도에 따른 항복 전압에 대한 해석적인 식의 필요성이 증대되고 있다.

본 논문에서는 전자와 정공의 온도 관련 이온화 계수로부터 온도 함수로 추출한 유효 이온화 계수를 이용하여 실리콘 전력 MOSFET의 항복 전압과 on 저항을 위한 온도 함수의 해석적 모형을 유도하였다. 실리콘 전력 MOSFET의 해석적 항복 전압과 on 저항은 77~300K의 온도 범위에서 실험 결과와 각각 비교하였다.

II. 전력 MOSFET 소자 동작

ON 상태에서의 전력 MOSFET 동작은 반도체 표면에 형성되는 도전층에 의해 영향을 받게 된다. DMOSFET는 <그림 1>에서와 같이 소스와 드레인 및 이 두 단자 사이에 흐르는 전류의 흐름을 조절하는 게이트 등을 갖는 3 단자 소자이다.

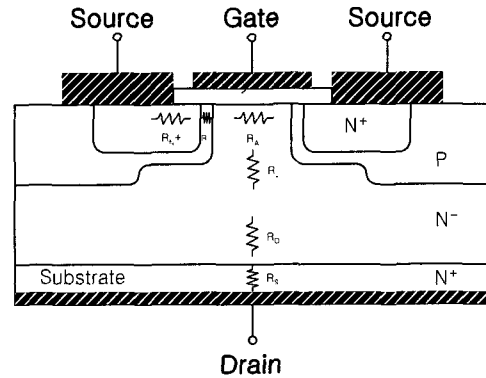


그림 1. 전류 흐름에 따라 여러 내부 저항을 갖는 DMOSFET 구조

Fig. 1. DMOSFET structure with various internal resistances to the current flow.

일반적으로 게이트 바이어스에 따라 산화막 층을 통해 반도체 표면에 발생하는 강한 전계에 의해 형성되는 채널 영역의 도전성이 변화되는데, 높은 게이트 바이어스를 인가할 경우에는 반전층이 형성되어 결과적으로 N⁻ 소스 영역과 드리프트 영역 사이에 전류가 흐르게 된다. 따라서 양(+)의 드레인 전압을 인가하면 드레인과 소스 사이에 전류가 흐르게 되는데, 이 전류는 N⁻ 소스 영역 저항 R_N , 채널 영역 저항 R_C , N⁻ 드리프트 영역에 형성되는 accumulation 영역 저항 R_A , JFET 영역 저항 R_J , N⁻ 드리프트 영역 저항 R_D 및 기판 영역의 저항 R_S 에 의해 제한을 받게 된다. 이와 같이 ON 상태에서 DMOSFET의 동작은 전체 저항에 의해 좌우되는데, 이 저항은 전류의 흐름을 제어할 뿐 아니라, 게이트 바이어스 변화에 따른 드레인 전류의 변화율을 결정하는 요소가 된다. 또한, 반전층이 형성되는 게이트 바이어스도 MOSFET의 중요한 요소로 이용된다.

OFF 상태의 경우에 전력 소자는 높은 순방향 전압을 차단해야 한다. 만일 게이트 단자가 소스에 단락되어 있다면, 역 바이어스된 P⁻N⁻ 드리프트 접합은 드레인에 공급된 양(+) 전압을 유지하게 된다. 높은 드레인-소스 전압의 경우에는 아발란치 증배에 의해 전류가 이 P-N 접합을 통해 흐르게 된다. 이 과정을 통해 전력 MOSFET의 항복 전압이 결정되는데, 항복 전압이 높을수록 on 상태에서의 저항이 더 높아진다^[5].

III. 해석적 항복 전압 및 ON 저항

1. 항복 전압

PN 접합의 항복 전압은 온도가 감소함에 따라 감소하게 되는데, 이것은 낮은 온도에서는 낮은 아발란치 항복 전압의 결과로 인해 나타나는 충돌에 앞서 반송자의 평균 자유 행정이 주어진 전계에 대해 더 많은 에너지를 반송자에 주기 위해 증가하기 때문이다. 아발란치 항복 전압은 충돌 이온화 과정과 관계가 있는데, 이것은 반송자가 전계 방향을 따라 공핍층을 통해 1cm를 횡단할 때 발생하는 전자와 정공 쌍의 수로 정의되는 충돌 이온화계수에 의해 정의된다. 실리콘의 경우, 이온화 계수는 식 (1)로 표현된다^[6,7].

$$\alpha, \beta = A_{n,p} \exp\left(\frac{b_{n,p}}{E}\right) \text{ cm}^{-1} \quad (1)$$

이때, E 는 전계이고 $A_{n,p}$ 및 $b_{n,p}$ 는 Chynoweth 계수로서 전자와 정공에 따라 각각 다른 값을 갖는다.

아발란치 항복은 충돌 이온화가 무한대에 도달하는 조건하에서 발생되는데, 만일 아발란치 과정이 정공에 의해 초기화된 경우, 이 조건은 식 (2)의 이온화 적분식을 통해 구해진다^[8].

$$\int_0^W \left[\beta \exp\left\{ \int_0^x (\alpha - \beta) dx' \right\} dx \right] = 1 \quad (2)$$

여기서, W 는 항복시 공핍층 폭이고 α 와 β 는 각각 전자와 정공의 이온화 계수이다. 따라서, 계단형 pn 접합의 항복 전압은 식 (3)과 같이 구해진다.

$$V_B = \frac{qN_D W_B^2}{2\epsilon_{si}} V \quad (3)$$

이때, q 는 전자 전하, N_D 는 드리프트 영역의 도핑 농도, ϵ_{si} 는 실리콘의 유전율, W_B 는 항복시 공핍층 폭이다.

한편, 온도 함수의 항복 전압을 구하기 위해서는 온도에 따른 Chynoweth 계수의 변화에 대해 식 (2)를 이용함으로써 온도 함수의 공핍층 폭을 구해야한다. Selberherr^[9]에 의해 제시된 온도 함수의 이온화 계수는 식 (4) 및 (5)와 같다.

$$\alpha_T = (3.99 \times 10^5 + 3.444 \cdot T^2) \exp$$

$$\left(\frac{7.688 \times 10^5 + 1.538 \times 10^3 \cdot T}{E} \right) \text{ cm}^{-1} \quad (4)$$

$$\beta_T = (9.164 \times 10^5 + 7.373 \cdot T^2) \exp$$

$$\left(\frac{1.367 \times 10^5 + 2.244 \times 10^3 \cdot T}{E} \right) \text{ cm}^{-1} \quad (5)$$

여기서, α_T 와 β_T 는 각각 전자와 정공의 온도 함수 이온화 계수이고, T 는 절대 온도이며, E 는 전계이다. 한편, 실리콘에 대한 아발란치 항복 현상은 Fulop^[10]에 의해 제시된 식 (6)의 유효 이온화 계수를 위한 단순화 모델을 이용해도 해석된다.

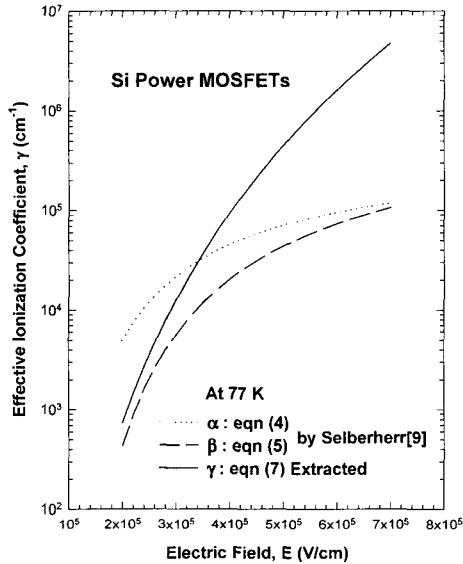
$$\gamma_T = C \cdot E^m \text{ cm}^{-1} \quad (6)$$

이때, C 는 상수이고, m 은 지수이며, 온도 함수의 항복 전압을 구하기 위해서는 C 가 온도 함수이어야 한다. 본 논문에서는 식 (4)와 식 (5)의 온도 함수 이온화 계수를 Fulop 계수^[10]의 형태로서 온도 함수의 유효 이온화 계수로 추출함으로써 이것을 이용하여 항복 전압 모델을 제안하였다. 이 경우, 77K~300K의 온도 범위에서 C 와 m 의 값을 구하기 위해 경험적인 방법이 사용되었다. 본 논문에서 제시한 온도 함수의 유효 이온화 계수 모델은 식 (7)과 같다.

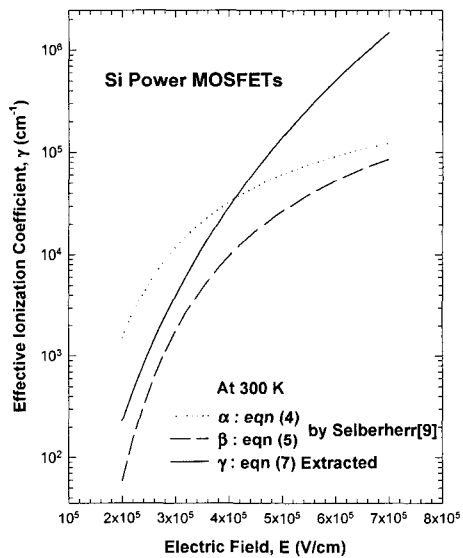
$$\gamma_T = C(T) \cdot E^{\bar{\gamma}} \quad (7)$$

여기서, $C(T) = 2 \times 10^{-41} \cdot T^2 - 1.85 \times 10^{-37} \cdot T + 7.17 \times 10^{-35}$ 로서, 300K의 경우에는 잘 알려진 Fulop의 식^[10]인 $\gamma_{300K} = 1.8 \times 10^{-35} \cdot E^{\bar{\gamma}} \text{ cm}^{-1}$ 로 간소화됨을 알 수 있다. <그림 2(a)>와 <그림 2(b)>에는 77K 및 300 K 일 경우, 식 (4) 및 식 (5)의 이온화 계수 α 및 β 와 본 논문에서 추출된 온도 함수의 근사 유효 이온화 계수 γ 식 (7)의 결과를 전계 함수로 비교하여 나타냈다. 각 온도에서 유효 이온화 계수가 이온화 계수와 차이를 나타낸 것은 γ_T 추출시 경험적 방법을 이용함으로써 나타난 결과로서, 근사 시킨 유효 이온화 계수를 이용하더라도 항복 전압 결과가 실험 결과와 큰 오차를 나타내지 않는 것으로 알려져 있다^[10]. 또한, <그림 2>에서 온도 증가에 따라 이온화 계수가 감소하였는데, 이것은 수정체 격자의 온도가 증가함에 따라 전자의 평균 자유 행정이 감소함으로써, 일정한 전계 하에서는 주어진 거리에 대해 반송자가 더 많은 에너지를 수정 격자에 잃기 때문이다.

한편, <그림 3>에는 추출된 식 (7)의 온도 관련 유효 이온화 계수 모델의 합리성을 입증하기 위해 Crowell et al.[11]에 의해 제시된 77K~300K의 온도 범위에서의 전자 이온화 계수와 비교하였다. <그림 3>에서와 같이



(a)



(b)

그림 2. 77K와 300K일 경우 전계 함수의 이온화 계수와 유효 이온화 계수 (a) 77K (b) 300K

Fig. 2. Ionization coefficient and effective ionization coefficient as a function of electric field at 77K and 300K. (a) 77K (b) 300K

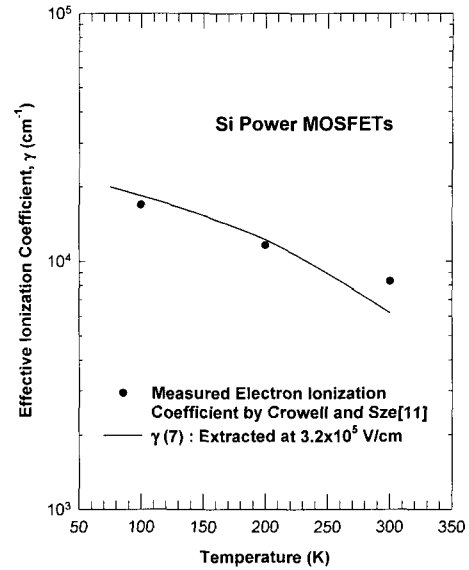


그림 3. 전계 3.2×10^5 V/cm일 경우 온도 함수의 유효 이온화 계수와 전자 이온화 계수

Fig. 3. Effective ionization coefficient and electron ionization coefficient as a function of temperature at 3.2×10^5 V/cm.

전계가 3.2×10^5 V/cm일 경우 해석적 유효 이온화 계수는 실험 결과와 다소의 차이를 나타내고 있는데, 그 차이는 유효 이온화 계수를 $\alpha_T \approx \beta_T \approx \gamma_T$ 로 하여 추출한 결과로서, 이를 통해 구한 해석적 항복 전압은 <그림 4>와 같이 실험 결과와 크게 오차를 나타내지 않는다.

온도 함수의 유효 이온화 계수를 이용할 경우에 항복 조건은 다음의 이온화 적분 식 (8)과 같이 단순화된다.

$$\int_0^W \gamma_T dx = 1 \tag{8}$$

이때, W 는 기판에서의 공핍층 폭이고, γ_T 는 추출한 온도 함수의 유효 이온화 계수이다.

Poisson 방정식을 풀면 공핍층에서의 전계 분포는 식 (9)와 같다.

$$E(x) = \frac{qN_D}{\epsilon_r \epsilon_0} (W - x) \text{ V/cm} \tag{9}$$

여기서, q 는 전자 전하, N_D 는 기판의 도핑 농도, ϵ_r 과 ϵ_0 는 각각 실리콘의 비 유전율과 유전 상수이고, x 는 pn 접합으로부터의 거리이다. 식 (7)과 식 (9)를 식

(8)에 대입하면 항복시 공핍층 폭은 식 (10)과 같다.

$$W_B(T) = \frac{1.19 \times 10^6 \cdot N_D^{-0.875}}{C(T)^{0.125}} \text{ cm} \quad (10)$$

항복시 공핍층 폭을 위한 식 (10)을 이용하면 계단형 접합의 해석적인 항복 전압 식은 식 (11)과 같이 구해진다.

$$V_B(T) = \frac{1.083 \times 10^5 \cdot N_D^{-0.75}}{C(T)^{0.25}} \text{ V} \quad (11)$$

<그림 4>에는 $N_D = 4 \times 10^{14} \text{ cm}^{-3}$, $N_D = 1 \times 10^{15} \text{ cm}^{-3}$, $N_D = 6 \times 10^{15} \text{ cm}^{-3}$ 의 경우에 식 (11)로부터 구한 실리콘 계단형 접합의 온도 함수의 해석적 항복 전압을 실험 데이터^[12]와 비교하여 나타냈다. <그림 4>로부터 식 (11)의 해석적 항복 전압은 77K~300K의 온도 범위에서 실험 결과와 거의 일치함을 알 수 있다.

<그림 5>에는 77K 및 300K의 경우에 대해 도핑 농도 함수의 항복 전압을 나타냈다. <그림 5>로부터 식 (11)에서 구한 해석적 항복 전압 결과는 300K일 경우보다 77K의 경우에 더 낮게 나타남을 알 수 있다.

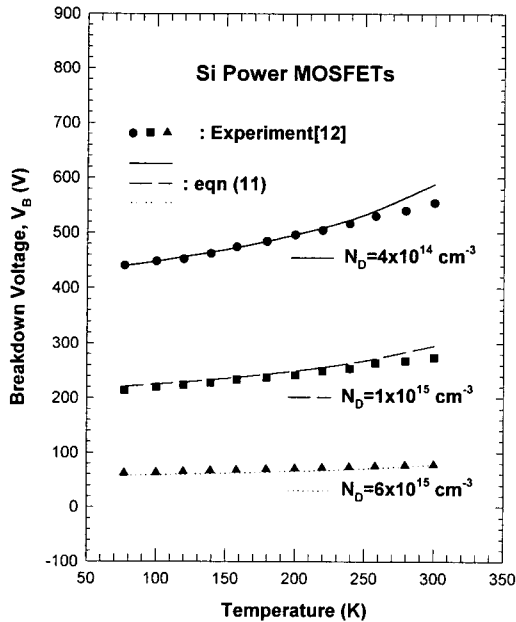


그림 4. $4 \times 10^{14} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$, $6 \times 10^{15} \text{ cm}^{-3}$ 의 도핑 농도에서 온도 함수의 항복 전압
Fig. 4. Temperature dependent breakdown voltages for the doping concentrations $4 \times 10^{14} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$, $6 \times 10^{15} \text{ cm}^{-3}$, respectively.

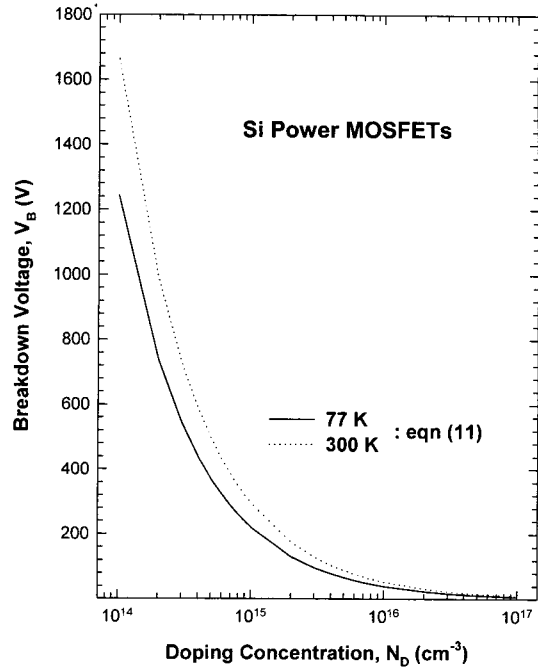


그림 5. 77K 및 300K일 경우 도핑 농도 함수의 항복 전압
Fig. 5. Breakdown voltage as a function of doping concentration at 77K and 300K.

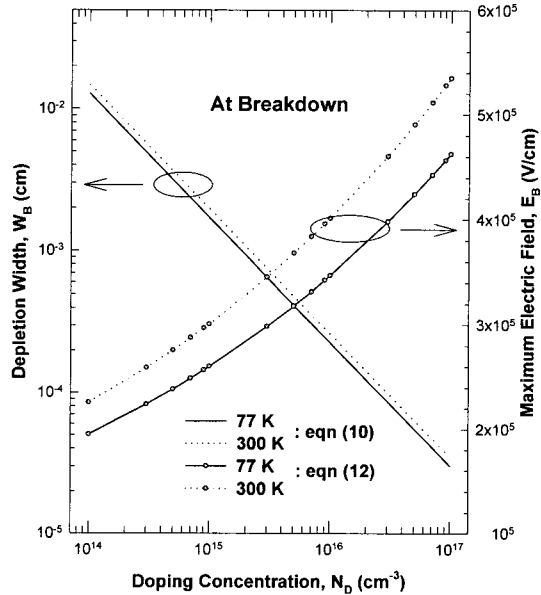


그림 6. 77K 및 300K일 경우 도핑 농도 함수의 공핍층 폭과 임계 항복 전계
Fig. 6. Depletion width and critical electric field as a function of doping concentration at 77K and 300K.

$x=0$ 인 경우, 식 (10)을 식 (9)에 대입하면 항복 전계는 식 (12)와 같이 구해진다.

$$E_B(T) = \frac{1.821 \times 10^{-1} \cdot N_D^{0.125}}{C(T)^{0.125}} \text{ V/cm} \quad (12)$$

<그림 6>에는 77K 및 300K의 경우에 항복시 공핍층 폭과 임계 전계를 도핑 농도 함수로 나타냈다. <그림 6>으로부터 공핍층 폭과 임계 전계는 <그림 5>의 경우와 같이 300K의 경우보다 77K의 경우에 더 낮게 나타남을 알 수 있다.

2. ON 저항

전력 MOSFET의 on 저항은 소자가 on 상태일 경우에 소스와 드레인 단자 사이의 전체 전기 저항으로서, 소자의 on 저항은 on 상태시 전력 손실을 결정하는데 이용된다. DMOSFET의 전체 저항은 전류 방향을 따라 각 영역에 의해 결정되는 저항의 총 합이며, <그림 1>로부터 on 저항은 식 (13)과 같다.

$$R_{on} = R_N + R_C + R_A + R_J + R_D + R_S \quad (13)$$

이때, R_N 는 N^+ 기판 영역 저항, R_C 는 채널 영역 저항, R_A 는 누적 영역 저항, R_J 는 JFET 영역 저항, R_D 는 드리프트 영역 저항, R_S 는 소스 접촉 저항이다^[5]. 이들 중 전체 저항에 가장 적은 영향을 주는 것은 소자의 N^+ 소스 영역에서의 저항으로, 이것은 소스 영역에 도핑 농도를 높게 함으로써 최소화시킬 수 있다.

온도 함수의 전자 이동도는 Canali et al.^[13]에 의해 측정되었는데, 본 논문에서는 이 데이터를 근거로 한 식 (14)의 이동도를 이용하였다.

$$\mu_n(T) = 1360 \left(\frac{T}{300} \right)^{-2.42} \quad (14)$$

본 논문에서는 식 (14)의 이동도와 온도 함수의 유효 이온화 계수를 이용하여 온도 및 항복 전압 함수로 나타낸 ideal specific on 저항을 유도하였다. 이것을 구하기 위해 먼저 온도 함수의 유효 이온화 계수를 이용하여 주어진 도핑 농도에 대한 항복시 공핍층 폭과 항복 전압을 온도 함수로 유도하였고, 다음 드리프트 영역의 ideal specific on 저항은 온도 함수의 이동도를 이용하여 유도하였다. 한편, 계단형 접합의 저항을 최소화하기 위해서는 넓게 도핑된 n층 쪽의 폭 w 가 주어진 도핑 농도에 대해 $w = W_B$ 를 만족하여야 한다. 계단형 접합

의 온도 함수의 on 저항은 다음 식에 의해 구해진다.

$$R_{on}(T) = \frac{W_B(T)}{qN_D\mu_n(T)} \quad (15)$$

여기서, q 는 전자 전하, N_D 는 도핑 농도, $W_B(T)$ 와 $\mu_n(T)$ 는 각각 온도 함수의 공핍층 폭과 전자 이동도를 나타낸다.

식 (14) 및 식 (10)과 식 (11)을 식 (15)에 대입하면 온도 함수의 on 저항은 식 (16)과 같다.

$$R_{on}(T) = 1.415 \times 10^9 \left(\frac{T}{300} \right)^{2.42} C(T)^{0.5} V_B(T)^{2.5} \quad (16)$$

이때, 300K의 경우 식 (16)은 $R_{on} = 6.503 \times 10^{-9} V_B^{2.5}$ 이 된다. <그림 7>에는 항복 전압이 1100V인 경우, 식 (16)로부터 구한 실리콘 전력 MOSFET의 온도 함수 on 저항을 77K~300K의 온도 범위에서 실험 결과^[12]와 비교하였고, 또한 이것은 200K~500K 온도 범위의 실리콘 쇼트키 정류기의 수치적 결과^[14] 및 300K~700K 온도 범위의 6H-SiC 쇼트키 정류기의 실험 결과^[14]와 비교하였다. <그림 7>에서 추출된 실리콘 전력 MOSFET의 on 저항은 실험 결과와 같이 77K~300K의 온도 범위에서 온도에 비례하였고, 실리콘의

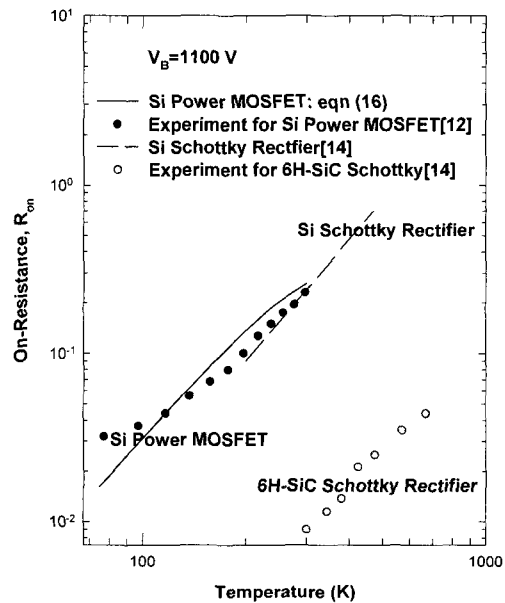


그림 7. $V_B = 1100V$ 일 경우, 온도 함수의 on 저항 비교
Fig. 7. Comparison of on resistances as a function of temperature, when $V_B = 1100V$.

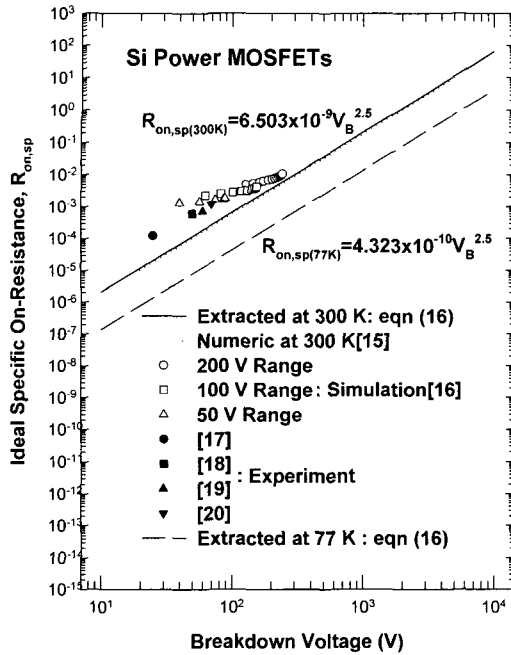


그림 8. 77K 및 300K일 경우 실리콘 항복 전압 함수의 ideal specific on 저항

Fig. 8. Ideal specific on resistance as a function of breakdown voltage for si at 77K and 300K.

on 저항은 6H-SiC 쇼트키 정류기의 on 저항보다 더 크게 나타남을 알 수 있다.

77K 및 300K일 경우, 항복 전압 함수의 ideal specific on 저항을 <그림 8>에 나타냈는데, 이것은 각 온도에서 주어진 항복 전압에 대한 실리콘 MOSFET의 on 상태시 저항의 최저 한계를 나타낸다. 또한, <그림 8>에는 300K일 경우 식 (16)으로부터 구한 항복 전압 함수의 ideal specific on 저항을 수치적 결과^[15], 시뮬레이션 결과^[16] 및 이미 발표된 전력 MOSFET의 실험 결과^[17-20]와 비교하였다. <그림 8>로부터 항복 전압 함수의 ideal specific on 저항의 변화는 300K보다 77K의 경우에 더 낮게 나타남을 알 수 있다.

IV. 결론

77K~300K의 온도 범위에서의 실리콘 전력 DMOSFET를 위한 온도 함수의 해석적 항복 전압 및 on 저항 모델을 제안하였다. 온도 함수의 항복 전압은 $4 \times 10^{14} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$, $6 \times 10^{16} \text{ cm}^{-3}$ 의 도핑 농도에 대해 각각 실험 결과와 잘 일치하였다. 추출한 항복 전압 모델은 77K의 경우에 동작하도록 설계된

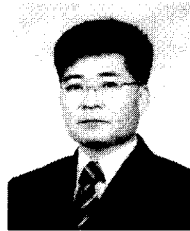
DMOSFET의 드리프트 영역 도핑 농도를 결정짓는 중요한 요소로 사용된다. 본 논문에 제시한 해석식은 DMOSFET 설계시 뿐 아니라 극저온에서 동작하는 모든 unipolar 전력 소자 설계시에도 유용하게 쓰일 것으로 판단된다.

참고 문헌

- [1] K. Shenai, "Performance potential of low-voltage power MOSFET's in liquid-nitrogen-cooled power systems," IEEE Trans. Electron Devices, vol. ED-38, no. 4, pp. 934~936, 1991.
- [2] O. Mueller, in Low Temperature Power Conversion. University of Vermont, 1989.
- [3] C. Y. Ho, R. W. Powell, and P. E. Liley, J. Phys. Chem, Ref. Data 3, I-588, Table 144, 1974.
- [4] P. Mars, "Temperature dependence of avalanche breakdown voltage in p-n junctions," Int. J. Electronics, vol. 32, no. 1, pp. 23~37, 1971.
- [5] B. J. Baliga, Modern Power Devices, Wiley, New York, 1987.
- [6] A. G. Chynoweth, "Ionization rates for electron and holes in silicon," Phys. Rev., vol. 109, pp. 1537~1539, 1958.
- [7] R. V. Overstraeten and H. D. Man, "Measurement of the ionization rates in diffused silicon p-n junctions," Solid-St. Electron., vol. 13, pp. 583~608, 1970.
- [8] S. M. Sze, Physics of Semiconductor Devices, Wiley, New York, 1987.
- [9] S. Selberherr, "MOS device modeling at 77k," IEEE Trans. Electron Devices, vol 36, no. 8, pp. 1464~1474, 1989.
- [10] W. Fulop, "Calculation of avalanche breakdown voltages of silicon p-n junctions," Solid-St. Electron., vol. 10, pp. 39~43, 1967.
- [11] C. R. Crowell and S. M. Sze, "Temperature dependence of avalanche multiplication in semiconductors," Appl. Phys. Lett., vol. 9, pp. 242~244, 1966.
- [12] R. Singh and B. J. Baliga, "Analysis and

- optimization of power MOSFETs for cryogenic operation," Solid-State Electronics, vol. 36, no. 8, pp. 1203~1211, 1993.
- [13] C. Canali et al., "Electron drift velocity in silicon," Phys. Rev., vol. B12, pp. 265~2284, 1975.
- [14] T. Kimoto, T. Urushidani, S. Kobayashi, and H. Matsunami, "High-voltage (>1kV) SiC Schottky barrier diodes with low on-resistances," IEEE Electron Device Letters, vol. 14, no. 12, pp. 548~550, 1993.
- [15] A. A. Jaecklin, Power Semiconductor Devices and Circuits, Plenum Press, New York, pp. 377~388, 1992.
- [16] C. Bulucea and R. Rossen, "Trench DMOS transistor technology for high-current(100A range) switching," Solid-State Electronics, vol. 34, no. 5, pp. 493~507, 1991.
- [17] T. Syau, P. Venkatraman, and B. J. Baliga, "Comparison of ultra specific on-resistance UMOSFET structure: The ACCUFET, EX TFET, INVFET, and conventional UMOSFET's," IEEE Transactions on Electron Devices, vol. 41, no. 5, pp. 800~808, 1994..
- [18] S. Matsumoto, T. Ohno, and K. Izumi, "Ultralow specific on resistance UMOSFET with trench contacts for source and body regions realized by selfaligned process," Electron. Lett., vol. 27, pp. 1640~1642, 1991.
- [19] H. R. Chang, "Numerical and experimental comparison of 60V vertical double-diffused MOSFETs and MOSFETs with a trench-gate structure," Solid-State Electronics, vol. 32, pp. 247~251, 1989.
- [20] Y. Baba, N. Matsuda, S. Yanagiya, S. Hiraki, and S. Yasuda, "A study on a high blocking voltage UMOS-FET with a double gate structure," pp. 300~302, in proc. 1992 Int. Symp. Power Semiconductor Device & Ics, Tokyo, 1992.

 저 자 소 개



鄭龍成(正會員)

1978년 : 아주대학교 전자공학(공학사). 1988년 : 한양대학교 전자공학(공학석사). 1999년 : 아주대학교 전자공학(공학박사). 1996년~현재 : 서라벌대학 디지털전기정보학부 교수. <주관심분야 : 화합물 반

도체 소자>