

論文 2003-40SC-3-8

2진 - 4치 변환기 설계에 관한 연구

(A Study on the Design of Binary to Quaternary Converter)

韓聖一* , 李濠景** , 黃鍾學*** , 金興壽****

(Sung-Il Han, Ho-Kyung Lee, Jong-Hak Hwang, and Heung-Soo Kim)

요약

본 논문에서는 전압모드를 기초로 한 2진-4치 상호 변환기와 논리 게이트의 기본 소자라고 할 수 있는 4치 인버터회로를 설계하였다. 2진-4치 변환기는 2비트의 2진 신호를 입력으로 하여 1디지트의 4치 신호를 출력하는 회로이고 4치-2진 변환기는 1디지트의 4치 신호를 받아들여 2비트의 2진 신호를 출력하는 회로이며 Down-literal Circuit(DLC)블록과 2진 조합회로(CLC: Combinational Logic Circuit)블록으로 구성된다. 4치 인버터회로를 구현함에 있어서는 기준전압 생성 및 제어신호 생성을 모두 DLC를 사용하고 스위치 부분만을 일반 MOS로 사용하여 설계하였다. 설계된 회로들은 +3V 단일 공급 전원에서 0.35 μ m N-well doubly-poly four-metal CMOS technology의 파라미터를 사용한 Hspice를 이용하여 모의 실험을 하였다. 모의 실험 결과는 샘플링 레이트가 250MHz, 소비 전력은 0.6mW, 출력은 0.1V이내의 범위에서 전압 레벨을 유지하는 결과를 보였다.

Abstract

In this paper, Binary to Quaternary Converter(BQC), Quaternary to Binary Converter(QBC) and Quaternary inverter circuit, which is the basic logic gate, have been proposed based on voltage mode. The BQC converts the two bit input binary signals to one digit quaternary output signal. The QBC converts the one digit quaternary input signal to two bit binary output signals. And two circuits consist of Down-literal circuit(DLC) and combinational logic block(CLC). In the implementation of quaternary inverter circuit, DLC is used for reference voltage generation and control signal, only switch part is implemented with conventional MOS transistors. The proposed circuits are simulated in 0.35 μ m N-well doubly-poly four-metal CMOS technology with a single +3V supply voltage. Simulation results of these circuit show 250MHz sampling rate, 0.6mW power consumption and maintain output voltage level in 0.1V.

Keyword : QBC, BQC, MVL, Neuron MOS, DLC

* 學生會員, 仁荷大學校 電子工學科

(Dept. of Electronic Engineering Inha Univ.)

** 正會員, 三星電子 半導體設計研究室

(Samsung Electronic)

*** 正會員, 體育科學研究院

(Institute of sports science)

**** 正會員, 仁荷大學校 電子電氣工學部

(School of Electrical Engineering, Inha Univ.)

接受日字:2002年7月25日, 수정완료일:2003년4월25日

I. 서론

지난 수 십년 동안에 반도체기술이 비약적인 발전을 거듭하여 왔다는 것은 주지의 사실이다. 이로 인하여 하나의 칩 안에 내장될 수 있는 트랜지스터의 수는 매 3년마다 4배씩 증가할 것이라는 Moore의 이론^[1]을 보지 않더라도 우리들의 생활에서 피부로 느끼기에 부족함이 없을 것이다. 그러나 이런 집적기술의 발달에 의해 엄청난 비율로 칩의 집적화가 이루어짐에 따라 내부 상호 연결수의 증가에 따른 신호 지연, 소비전력 증가, 연결선들간의 절연 등의 문제가 발생하게 되었다. 이러한 문제들을 해결하기 위한 방법 중에 하나가 다치논리소자의 개발이다. 부울 대수에 의한 0과 1의 값만을 가지는 2진 체계가 아닌 0, 1, 2를 값으로 가지는 3치라든지, 0, 1, 2, 3을 가지는 4치 등의 다치논리 체계를 집적기술과 연관지어 소자를 구현함으로써 앞에서 제기되어진 문제들을 해결할 수 있으리라는 생각 하에 많은 연구가 진행되어 왔다^[1-8].

다치논리 소자를 구현하기 위해서는 크게 전류모드와 전압모드가 있다. 과거 전류모드 기술은 물리적인 전류의 합이 논리적인 합과 동일한 결과를 줄 수 있다는 장점으로 인하여 이를 이용한 많은 소자가 구현되었다^[9-12]. 하지만 입력이 전류임에 따라 칩 내부에 전류 원이 필요하며 큰 소비전력과 전압으로 구동하는 소자에 적당하지 않다는 등의 이유로 인하여 많은 문제점을 내포하고 있었다. 전압모드는 전달지연시간으로 인한 예상치 못한 출력이 발생하는 경우가 있지만, 실질적인 시스템에 적용이 용이하며 소비전력이 작다는 장점이 있다. 그러나 전압모드를 이용할 경우 필수적인 다중 문턱전압을 가지는 소자의 제작이 큰 난제였으나 ν MOS의 등장으로 인하여 다치논리 체계를 일반적인 전압모드 CMOS 기술로 구현하는 것이 용이해졌다^[13-18].

Konrad Lei^[19]는 UCT(Universal Cost Table)라는 개념을 이용하였다. 이 논문에서는 트랜지스터를 통과하는 수를 cost라는 개념으로 파악하여 하나의 회로를 구성함에 있어 cost를 줄임으로 해서 회로의 해석 및 최적화를 할 수 있으며 그것을 4치의 조합에 대하여도 표화하였다. Andres Herrfeld^[20]는 literal 함수를 구현하기 위하여 precharge-phase(\emptyset)라는 high상태와 low상태일 때의 시간이 다른 전압을 입력의 조건으로 하였

다. 그렇게 구해진 literal 함수를 이용하여 여러 가지 gate를 구현하였다. 또한 K. W. Current^[21]는 일반적인 MOS기술을 이용하여 전압의 레벨별로 나누어 독립적인 회로를 통과시켜 비교하는 방법으로 latch회로를 구성하였다.

기존의 많은 논문들이 4치보다는 3치에 많은 비중을 두어 왔다. 그 이유는 4치에 비하여 적은 인가 전압으로도 3개의 레벨을 구현할 수 있으며, 전압 레벨 상호간의 격차가 크므로 해서 상호 간섭이 적다는 것이다. 그러나 본 논문에서는 이미 사회 전반적으로 사용되고 있는 기존의 2진 체계와 다치논리와와의 연동을 중요한 하나의 과제로 생각하여 2진과 가장 연동이 쉬운, 즉 2진에서 2개의 비트를 다치논리에서 1개의 비트로 적용 가능한 4치를 선택하였다^[22-24].

본 논문에서는 2진, 4치 상호 변환을 중점적으로 논의하였으며, 더불어 2진 입력을 받아 4치로 변환 후 다시 2진으로 출력을 하는 회로를 통하여 회로의 성능을 살펴보겠다. 또한 논리 연산의 기본이라고 할 수 있는 4치 inverter회로에 대하여도 논의하겠다. 모든 회로를 구현함에 있어 완전한 4치만을 이용하여 소자들을 구현하는 것에는 많은 제약과 불필요한 요소가 많이 포함되므로 기존의 2진 체계와 혼용하여 소자를 구현함으로써 좀더 합리적이고 효율적인 회로를 구현함에 주안을 두었다.

본 논문의 구성과 서술 과정은 다음과 같다. II장에서는 4치 논리의 기본연산과 ν MOS의 일반적인 특성인 다중문턱전압에 대하여 수식적인 전개와 실험을 통하여 논의하였으며, 이를 이용한 Down-literal circuit에 대하여 입, 출력 특징 및 4치에 응용시킨 결과를 보여주고 있다. III장에서는 일반적인 MOS 기술을 이용하여 제어신호 발생 및 스위치의 동작을 통한 reference 전압을 출력하는 방식을 이용한 2진 4치 변환기를 제안하였으며, ν MOS를 이용한 Down-literal circuit뿐만 아니라 2진 게이트를 이용한 4치 2진 변환 회로를 제안하였다. IV장에서는 2진 4치 변환기의 원리를 이용하였으나 2진 논리 회로를 사용하지 않고 ν MOS와 Down-literal circuit만을 사용하여 4치 INVERTER 회로의 설계에 대하여 논의하였다. V장에서는 앞장에서 제시한 회로들의 실험 결과를 제시하였고, VI장에서는 제안된 논문과 기존에 발표되었던 ν MOS를 이용한 회로들과의 비교를 통한 결론을 맺었다.

II. ν MOS와 Down-literal circuit

이 장에서는 전압모드 4차 논리 회로의 설계의 기본이 되는 ν MOS와 Down-literal circuit에 대하여 논의한다.

1. ν MOS

뉴런모스(ν MOS)는 하나의 공통 게이트와 다수의 입력게이트를 갖는 형태의 트랜지스터로 1992년에 T. Shibata와 T. Ohmi에 의해서 제안되었다^[13]. 이 소자는 기존의 MOS소자의 변형으로서 고정되어진 문턱전압이 아닌 다중 문턱전압을 구현할 수 있다는 것을 큰 장점으로 하는 소자이다. 기본구조를 살펴보면, <그림 1>과 같다.

<그림 1>에서 일반적인 MOS와 다른 부분은 게이트의 구조이다. 기존의 하나의 게이트가 아닌 여러 개의 게이트전압을 인가할 수 있도록 만들어져 있다. 이러한 구조에 의해 각각의 게이트에 인가되는 전압으로 인하여 문턱전압이 달라지는 다중 문턱전압이 실현 가능해지며 이 다중 문턱전압에 의하여 기존의 트랜지스터와는 다른 동작특성을 얻을 수 있다.

2. Down-literal circuit

다치논리 회로를 구현하는데 있어서 다운리터럴 회로는 기본소자로 사용되며 2개의 입력게이트를 갖는 N-channel ν MOS와 2개의 입력게이트를 갖는 P-channel ν MOS를 결합하여 구성한 ν MOS 다운리터럴 회로(Down-literal circuit)가 제안되었다^[14-18]. 전압모드에서 ν MOS의 특징을 잘 살리며 또한 기본이 되는 회로가 <그림 3>과 같은 구조를 가진 DLC이다.

이 회로는 하나의 p-channel ν MOS와 하나의 n-channel ν MOS로 이루어져 있으며 2진 체계에서의

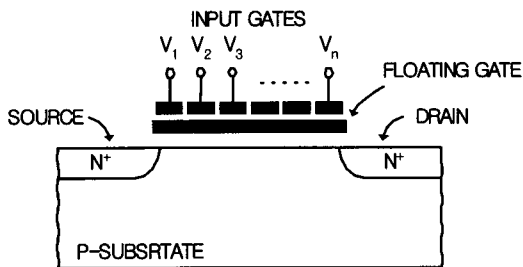


그림 1. ν MOS의 기본적인 구조
Fig. 1. Basic structure of ν MOS.

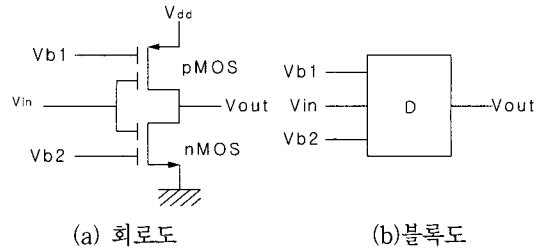


그림 2. Down-literal circuit의 회로도 와 블록도
Fig. 2. Circuit diagram and Block diagram of Down-literal circuit.

인버터와 유사한 형태를 가지고 있다. 만일 두 개의 뉴런 모스가 모두 순방향 활성 영역에 있어서 p-channel ν MOS와 n-channel ν MOS에 흐르는 드레인 전류가 같다고 가정을 한다면 다음의 식 (1)과 같이 다운리터럴 회로의 문턱 전압을 구할 수 있다.

$$V_{TC} = V_{DD} - \frac{V_{b1} + V_{b2}}{2} \tag{1}$$

식 (1)의 결과에서 알 수 있듯이 하나의 구현되어진 회로에서 정해진 입력에 대해 Bias전압을 달리함으로써 그 회로의 문턱전압을 변화시킬 수 있으며 그에 따라 동일한 회로가 동일한 입력에 대하여 다른 출력 값을 가질 수 있다. 위의 식 (1)을 4차에 적용하여, 각각의 Bias전압에 의하여 얻어지는 회로문턱전압 VTC의 값이 <표 1>에 표시되어 있다.

<표 1>에서 언급한 내용과 <그림 2>에서 설명한 내용의 검증을 위하여 Bias전압의 변화에 의해 나타나는 Down-literal circuit의 입출력 특성을 모의실험을 통하여 <그림 3>에 나타내었다.

입출력 특성을 살펴보면 Down-literal function의 특성을 만족시킴을 알 수 있다. 즉 V_{TC} 보다 입력전압이 적을 경우 V_{DD} 의 값을 출력하며 입력이 V_{TC} 보다 커

표 1. Bias전압에 따른 DLC의 VTC의 변화
Table 1. The VTC of DLC with various bias voltage.

$V_{DD} = 3V$	V_{TC}	V_{b1}	V_{b2}
$D_0(X)$	0.5V	3V	2V
$D_1(X)$	1.5V	2V	1V
$D_2(X)$	2.5V	1V	0V

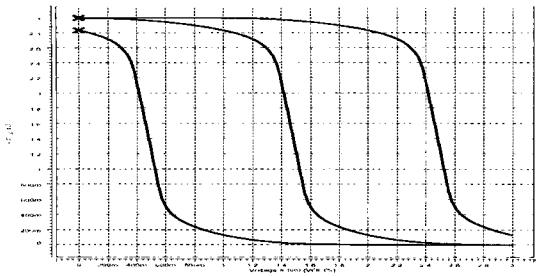


그림 3. Bias전압의 변화에 따른 DLC 내의 VTC 출력 곡선
 Fig. 3. The transfer curves of VTC in DLC with various bias voltage.

지기 시작하면서 출력은 0의 값을 나타낸다. 또한 <그림 3>에서 살펴보면 경우에 따라 출력 값이 약 0.2V내의 전압 상승과 전압강하를 나타내는 것을 알 수 있는데 이것은 일반 MOS에 비하여 커패시터의 충전 방전시간이 길므로 채널의 생성과 소멸이 신속히 이루어지지 않아 전류의 흐름을 완전히 제어하지 못했다는 사실에 기인한다. 그러나 이것은 다른 레벨의 전압에 영향을 미칠 정도는 아니다. 본 논문에서 앞으로 전개될 Down-literal circuit에 대하여 의미하는 바를 명확히 하기 위하여 <그림 3>에서 정의하였던 블록도안에 회로문턱전압을 표기한다. 즉 0.5V를 문턱전압으로 가지는 회로를 Down-literal 0, 1.5V를 가지는 것을 Down-literal 1, 2.5V를 가지는 것을 Down-literal 2로 정의하여 서술한다.

III. 2진 4치 변환기

본 장에서는 일반적인 MOS설계 기법을 이용하여 2비트의 바이너리 신호를 받아들여 1디지트의 4치 신호(Quaternary)로 변환시키는 BQC(Binary to Quaternary Converter)와 ν MOS 및 Down-literal circuit를 이용하여 1디지트의 4치 신호(Quaternary)를 2비트의 바이너리 신호로 바꾸는 QBC(Quaternary to Binary Converter) 회로의 설계를 논의한다. 각 게이트는 0.35 μ m 현대공정을 이용하였고 전원전압은 3V를 이용하였으며 입력과 출력의 논리 레벨 0, 1, 2, 3은 전압레벨 0V, 1V, 2V, 3V와 동일하게 정의하였다.

1. BQC의 설계

4치로 연산을 수행하는 시스템에 2진 신호가 입력될 경우, 입력되는 2진 신호를 4치 신호로 변화시켜 주는

회로로서 이 회로의 입, 출력 특징은 2비트의 2진 논리를 받아들여 1비트의 4치 신호를 출력하는 것이다. BQC는 3개의 블록으로 구성되어 있으므로 각각의 블록에 대하여 설명한 뒤, 전체 회로를 제시하였다.

(1) 1 BQC의 기본 구조 및 진리표

먼저 2비트의 2진 입력신호를 받아들여 이 신호를 이용하여 간단한 2진 게이트를 이용하여 스위치의 동작을 제어할 수 있는 제어신호 X_0, X_1, X_2 를 생성한다. 이 신호들의 조합으로 인하여 출력하고자 하는 4치의 레벨에 해당하는 스위치를 on 시킴으로써, Reference전압 생성기에서 생성된 해당 레벨의 전압을 출력하는 구조를 갖게 하였다. 이러한 구조를 갖는 전체적인 블록도가 <그림 4>이다.

(2) Binary logic을 통한 제어신호생성

이 블록은 입력된 2 비트의 바이너리 신호를 간단한 로직 게이트를 사용하여 세 개의 제어 신호 X_0, X_1, X_2 를 생성하는 부분이다. 구성되는 회로는 아래 <그림 5>와 같이 3개의 2진 NOR gate를 병렬로 연결하여 입력단과 연결하여 2진 입력을 직접 받아들이며 생성된 제어 신호들은 스위치들의 제어신호로 쓰이게 된다.

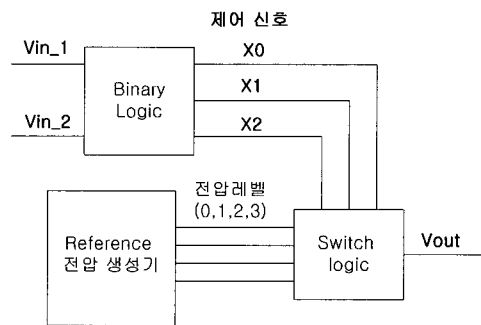


그림 4. BQC의 기본구조를 나타내는 블록도
 Fig. 4. The block diagram of the basic BQC structure.

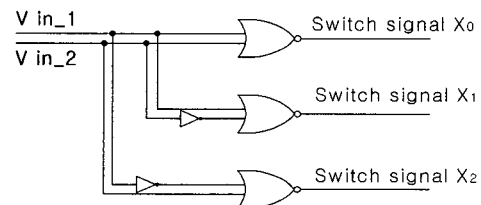


그림 5. 제어신호 X_0, X_1, X_2 를 생성하는 회로
 Fig. 5. The circuit of generating control signal X_0, X_1, X_2 .

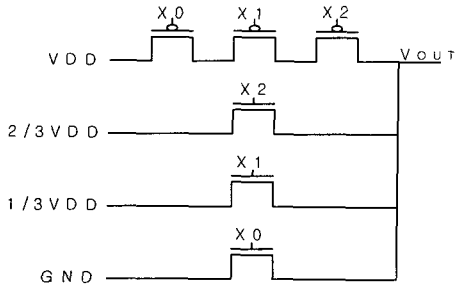


그림 6. 제어신호에 의한 스위치회로
Fig. 6. The circuit of switches using control signal.

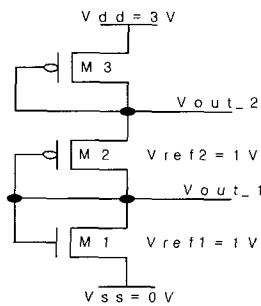


그림 7. 기준 전압 생성 회로
Fig. 7. The circuit of reference voltage generation.

(3) 제어 신호에 의한 스위치의 동작

<그림 6>은 세 개의 p형 MOS와 세 개의 n형 MOS로 이루어져 있다. 이 블록의 역할은 Reference 전압 생성기에서 발생하는 4개의 전압값 중에서 하나를 제어신호의 상태 여부에 따라 출력으로 신호를 발생하는 역할을 한다. 제일 높은 레벨의 출력인 V_{DD}(3V)를 출력하는 부분은 세 개의 p형의 MOS를 이용하여 모든 제어신호가 논리레벨 0인 경우 ON되어 Reference 전압 생성기에서 출력되어지는 값이 최종 출력되게 하였으며, 그 다음 레벨의 출력(2V)을 나타내는 스위치는 제어신호 X₂가 게이트에 연결되어 있는 n형의 MOS를 사용하였다. 마찬가지로 레벨(1V)의 출력을 내는 곳은 X₁과 마지막 레벨(0V)을 출력을 내는 곳에는 X₀와 연결하였다.

(4) 기준 전압 생성

앞에서 논의한 스위치에 의하여 출력될 신호를 생성하는 부분으로서 2개의 p형 MOS와 1개의 n형 MOS로 구성되어 있다. V_{out_1}에서는 1V의 기준 전압을 생성하고 V_{out_2}에서는 V_{out_1}과 1V의 전위차를 가지는 전압을 생성한다. 그러므로 결론적으로 V_{out_2}는

V_{ss}(0V)와 비교하여 2V의 기준 전압을 생성하게 된다. <그림 7>은 기준 전압 발생회로의 회로도이다.

여기서 각각의 기준 전압은 각 트랜지스터의 $\frac{W}{L}$ 비를 조절하여 구할 수 있다. 이를 위하여 M1과 M2에 흐르는 전류를 살펴보면 식 (2)와 식 (3)과 같이 표현되어질 수 있다.

$$I_{D1} = -\frac{\mu_n C_{ox}}{2} \left(\frac{W_n}{L_n}\right) (V_{GS1} - V_{THn})^2 \quad (2)$$

$$I_{D2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W_p}{L_p}\right) (V_{GS2} - V_{THp})^2 \quad (3)$$

두 식 (2)와 식 (3)에서 n형과 p형의 문턱전압과 전자, 정공의 이동도 μ_n 과 μ_p 는 정해진 값이다. 또한 <그림 8>에서 볼 수 있듯이 V_{GS1} = V_{GS2}이며 회로에 흐르는 전류 I_{D1}과 I_{D2}는 동일하다. Gate oxide capacitance는 $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$ 라는 식을 이용하여 구할 수 있다. 결론적으로 0.35 μm 공정하의 파라미터를 이용하여 식 (2)와 식 (3)을 연립하여 계산하면 $13W_n \approx W_p$ 이라는 관계를 얻어낼 수 있다.

(5) 전체회로 및 신호변환

앞에서 논의되었던 각각의 블록들을 전체적인 그림으로 종합하여 <그림 8>에 표시하였다.

입력된 2비트의 신호는 간단한 2진 논리를 통과하여 제어 신호를 생성하게 되며 이 제어 신호에 의하여 기준 전압 생성기에서 생성된 4개의 전압들 중 하나의 값을 최종 출력으로 하는 흐름을 가지고 있다. 각 신호의 단계별 출력 레벨은 <표 2>와 같다.

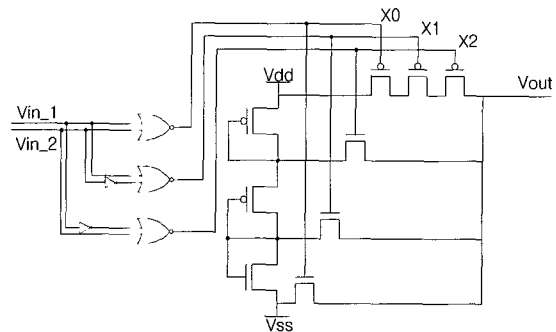


그림 8. BQC의 전체회로
Fig. 8. Full circuit of BQC.

표 2. 신호변환 과정에 따른 진리표
Table 2. The truth table of signal transformation using each blocks.

입력		제어신호			출력
Vin_1	Vin_2	X ₀	X ₁	X ₂	Vout
0	0	1	0	0	0
0	1	0	1	0	1
1	0	0	0	1	2
1	1	0	0	0	3

2. QBC의 설계

본 절에서는 3.1절에서 논의했던 BQC와는 반대로 1 디지털의 4차 신호를 입력으로 하여 2 비트의 바이너리 신호를 출력하는 회로로서 QBC를 소개한다. 출력은 상위비트(MSB)와 하위비트(LSB)로 나뉘어지고 이 회로에서는 앞에서 설명한 기본회로인 DLC를 이용하여 회로를 구현하였다.

(1) QBC의 기본구조 및 진리표

QBC의 기본원리는 입력된 1비트의 4차 신호를 각각 다른 문턱전압을 가지는 DLC를 이용하여 세 개의 중간값 X₀, X₁, X₂를 생성한다. 생성된 3개의 2진 신호들은 간단한 바이너리 로직을 이용하여 상위비트 출력

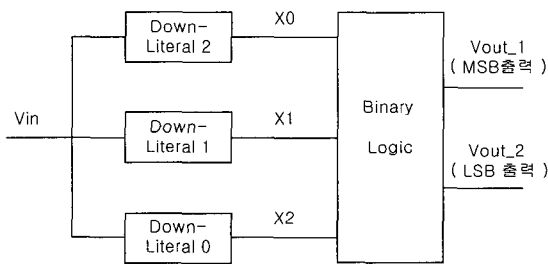


그림 9. QBC의 블록도
Fig. 9. The block diagram of QBC.

표 3. QBC의 진리표
Table 3. The truth table of QBC.

입력	출력	
Vin	Vout_1(MSB)	Vout_2(LSB)
0	0	0
1	0	1
2	1	0
3	1	1

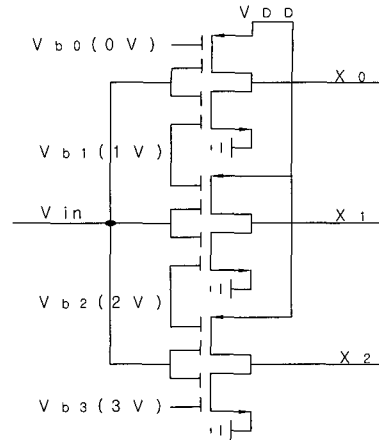


그림 10. QBC의 Down-literal circuit 부분
Fig. 10. The Down-literal circuit part in QBC.

인 MSB와 하위 비트 출력인 LSB로 출력한다. 이 회로의 블록도는 <그림 9>에서 보는바와 같으며 진리표는 <표 3>과 같다.

(2) Down-literal circuit 통과후의 신호변환

앞 절에서 언급한 DLC는 Bias전압을 달리함으로 해서 문턱전압이 변화하며 동일한 입력에 대하여 다른 출력을 나타내는 성질을 이용하여 세 개의 각기 다른 Bias 전압을 가지는 DLC를 병렬로 배열하여 동일한 입력을 인가함으로서 세 개의 서로 다른 바이너리 신호인 중간 값 X₀, X₁, X₂를 생성할 수 있으며 <그림 10>에 회로도가 표시되어있다.

각각의 DLC에 인가하는 Bias전압은 <그림 10>에서 보는 바와 같이 인가해준다. 이 때, 이 회로에 인가되는 입력이 0, 1, 2, 3으로 순차적으로 변화한다고 가정하면, 첫 번째 Down-literal circuit은 0V와 1V를 Bias전압으로 가지므로 2.5V를 문턱전압으로 가지는 Down-literal 2회로가 된다. 이 회로를 통하여 생성되는 중간 값인

표 4. Down-literal circuit 통과후의 입력신호변화
Table 4. The signal transformation using Down-literal circuit.

Vin	X ₀	X ₁	X ₂
0	1	1	1
1	1	1	0
2	1	0	0
3	0	0	0

X_0 는 1, 1, 1, 0이라는 값을 가지게 된다. 마찬가지로 1V와 2V를 Bias전압으로 하여 1.5V를 문턱전압으로 가지는 Down-literal 1회로에서 생성되는 X_1 은 1, 1, 0, 0이라는 값을 가진다. 동일한 방법으로 X_2 는 1, 0, 0, 0이라는 값을 가지게 된다. 이러한 성질을 <표 4>에 종합하여 표시하였다.

II장에서 언급하였듯이 DLC를 통과한 회로의 출력 신호는 경우에 따라 전압 값이 레벨과는 약간의 차이를 보일 수 있다(약 0.2V이내). 이 값은 그 자체로 다른 회로에 영향을 미치기에는 미약한 값이며 또한 다음 단의 바이너리 로직을 통과하면서 이 값들은 충분히 보상되어지므로 고려를 하지 않는다.

(3) Binary logic을 통한 출력신호 생성

바이너리 로직은 일반적으로 사용되는 NOR, INVERTER, Ex-OR게이트를 한 개씩 사용하여 구성하였다. 이 부분은 앞단에서 얻어진 중간 값 X_0 , X_1 , X_2 를 논리적으로 구성하여 상위출력 MSB와 하위출력 LSB를 얻어내는 회로이다. 바이너리 게이트로 구성되어진 바이너리 로직에 해당하는 회로는 <그림 11>에 나타내었다.

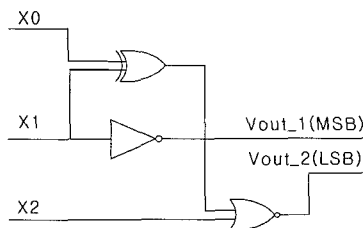


그림 11. QBC 내의 바이너리 로직 게이트 회로
Fig. 11. The binary logic gate circuit in QBC.

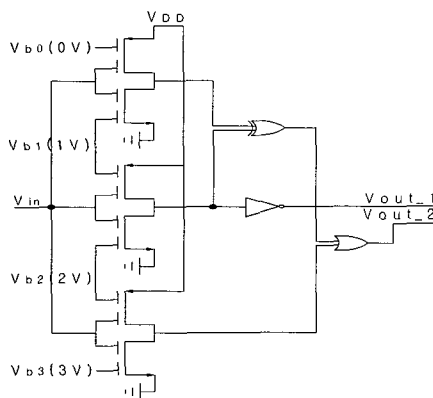


그림 12. QBC전체 회로
Fig. 12. The full circuit of QBC.

표 5. 신호변화에 따른 전체 진리표
Table 5. Truth table of total signal transformation.

입력	중간값			출력값	
Vin	X_0	X_1	X_2	Vout_1	Vout_2
0	1	1	1	0	0
1	1	1	0	0	1
2	1	0	0	1	0
3	0	0	0	1	1

(4) 신호 변환 과정 및 전체회로

앞에서 논의하였던 회로들을 하나의 전체적인 회로로 종합하여 표시한 것이 <그림 12>에, 그리고 신호변화에 따른 진리표가 <표 5>에 표시되어 있다.

IV. 4치 Complementary 회로

본 장에서는 논리 소자들 가운데서도 가장 기본이 되는 회로이자 가장 많이 사용되는 인버터 회로를 4치의 경우에 대하여 구현한 4치 inverter인 QINV (Quaternary Inverter) 회로의 설계에 대하여 논의한다.

1. QINV회로의 설계

본 절에서 소개할 QINV회로는 세 부분으로 나누어진다. 앞에서 논의했던 회로들에서는 입력의 수에 비례하여 DLC를 사용하였고 그에 의하여 생성되는 바이너리 신호를 게이트를 이용, 제어신호를 생성하고 그에 의하여 출력을 이끌어 내는 방법을 이용했다. 그러나 입력신호가 1개인 QINV회로에서 DLC를 통과한 후 생성되는 바이너리 신호의 조합으로 제어신호를 생성하기 위하여, 입력을 받아들이는 부분에 여러 개의 DLC를 사용하는 것은 많은 불합리한 점이 있다. 따라서 DLC의 입력부분에 해당하는 커패시터에 가중치를 주는 방식을 사용하여 기준 전압을 생성하고 그 생성된 전압을 입력조건에 따라 출력할 수 있도록 하는 출력 예측회로를 설계하였다. 출력 예측 회로로부터 제어신호가 생성되어지며 이 제어신호에 의하여 스위치 부분의 ON과 OFF동작에 의하여 최종 출력을 얻을 수 있는 회로를 설계하였다. <그림 13>은 QINV 회로의 블록도이다.

먼저 Down-literal 2인 부분에서 서로 다른 w/L 비

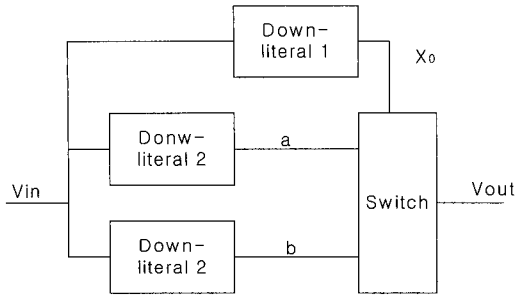


그림 13. QINV의 블록도
Fig. 13. The block diagram of QINV.

와 입력gate에 가중치를 주는 방법을 이용하여 서로 다른 레벨의 전압을 출력한다. 두 회로중 위의 회로에서는 4차 신호 가운데 전압레벨 3, 2를 구현하여 출력시키며, 아래의 회로에서는 레벨 1, 0을 구현하여 출력을 시킨다. 이 신호들은 Down-literal1에서 생성되는 제어 신호 X_0 에 의하여 선택적으로 출력된다. 제어신호는 Down-literal 1에서 생성되어지는데 이 회로는 1.5V를 문턱전압으로 가지므로 입력신호가 0, 1일 때는 3V를 출력하고 2, 3이 입력될 때는, 0V를 출력하여 스위치 부분을 제어하게 된다. 생성된 제어신호에 의하여 선택된 출력이 구해지는 방법으로 이루어져 있다.

2. 전체 회로 및 진리표

앞에서 부분적으로 설명된 회로를 종합하면 <그림 14>와 같이 표현된다.

예를 들어 입력이 2일 경우 단자a의 값은 0V에 근접한 값을 가지며 b단자는 1V의 값을 가진다. 그러나 Down-literal 1에서 생성된 제어신호는 인버터를 통과 후 레벨3의 값을 가지므로 b 노드의 값만이 출력되게

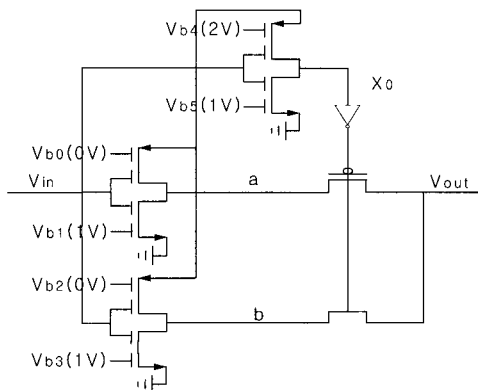


그림 14. QINV의 전체 회로도
Fig. 14. The total circuit of QINV.

표 6. 전체회로에 대한 진리표

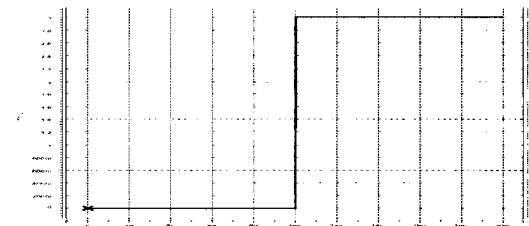
Table 6. The truth table of full circuit.

Vin	단자a	단자b	제어신호 X_0	Vout
0	3	3	0 (단자 a출력)	3
1	2	(3V~2.5V)	0 (단자 a출력)	2
2	0	1	3 (단자 b출력)	1
3	(0.6V~0V)	0	3 (단자 b출력)	0

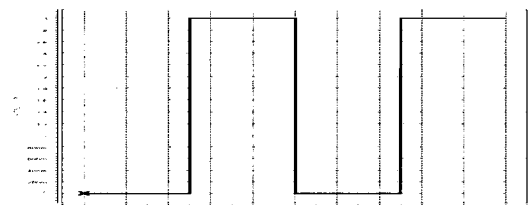
된다. 그 관계를 표로 표시하면 <표 6>과 같다.

V. 모의실험 결과

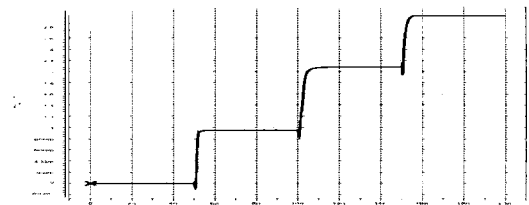
본 장에서는 본 논문에서 설계한 BQC와 QBC 및 QINV회로에 대하여 모의실험 결과에 대하여 설명한다. 본 논문에서 설계한 회로들은 3V의 단일 전원 전압 하



(a) 상위비트 2진 입력



(b) 하위비트 2진 입력



(c) 1디지트 4차 출력

그림 15. BQC 회로의 모의실험 결과 (a) 상위비트 2진 입력 (b) 하위비트 2진 입력 (c) 1디지트 4차 출력

Fig. 15. Simulation results of BQC circuit. (a) MSB Binary input (b) LSB Binary input (c) 1 digit Quaternary output

에서 0.35 μ m CMOS 공정기술을 이용하여 모의실험을 하였다. <그림 15>는 BQC의 회로에 대하여 실험한 것으로서 상위비트 입력은 20ns를 주기로 하였으며 하위비트 입력은 10ns를 주기로 하여 입력하였다. 각각의 상승시간과 하강시간은 동일하게 0.1ns로 설정하였다. 결과 파형을 분석하여 보면 레벨 1을 출력하는 부분에서의 전압은 0.93V를 나타내었으며 레벨 2를 출력하는 부분의 전압은 2.08V를 나타내고 있다. 이것은 기준 전압을 생성하는 부분에서의 $\frac{W}{L}$ 비를 조절함에 있어 p형의 MOS를 n형의 MOS보다 약 13배가 되어야 하는 상황 하에서 0.35 μ m 이하의 값으로 미세하게 조절할 수 없으므로 인하여 더 이상의 전압조정은 불가능하였다.

<그림 16>은 QBC의 회로를 모의실험 결과를 나타낸 것으로서 입력은 Piece Wise Linear 값으로 나타내

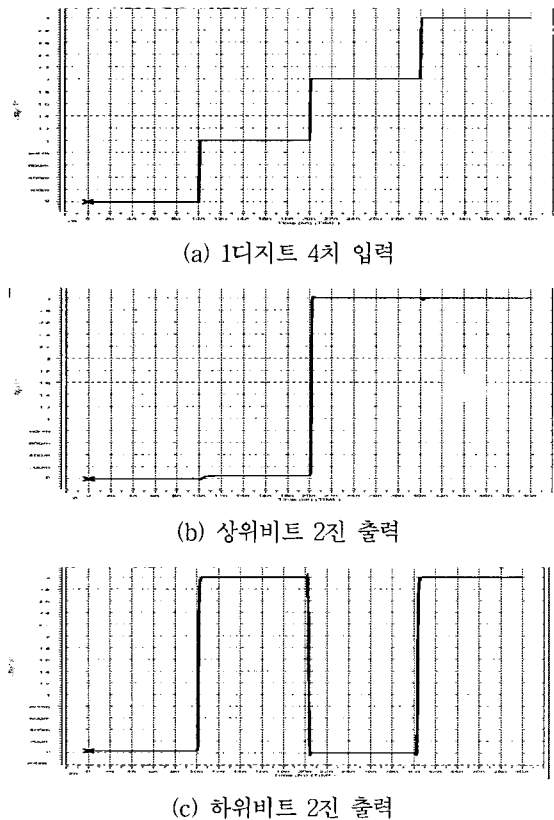


그림 16. QBC 회로의 모의실험 결과 (a) 1디지트 4치 입력 (b) 상위비트 2진 출력 (c) 하위비트 2진 출력

Fig. 16. Simulation results of QBC. (a) 1 digit Quaternary input (b) MSB Binary output (c) LSB Binary output

었다. 4치 입력의 한 주기는 40ns이며 상승과 하강시간은 0.1ns로 설정했다. 상위비트(MSB)출력의 결과에서는 입력이 0에서 1로 바뀌는 부분에서 정확하게 0의 값을 유지하지 못하고 0.04V의 전압상승이 있었다. 하위비트(LSB)의 출력결과는 최초 입력이 0일 때 출력이 약 0.03V의 전압상승이 있음을 볼 수 있다.

<그림 17>에서 나타낸 모의실험 결과는 QINV회로로서 입력은 Piece Wise Linear 값으로써 주기는 160ns, 상승시간과 하강시간은 동일하게 0.1ns로 설정하였다. 실험 결과는 출력이 레벨0일 경우 완전한 0V의 값을 나타내지 못하고 0.1V의 전압상승이 있음을 알 수 있다. 전체적으로 모의실험 결과를 살펴보면 nMOS를 사용하는 회로에서 완전한 전압 레벨을 나타내지 못하고 부분적으로 전압의 상승과 하강이 발견되는데 이는 ν MOS의 특징인 다중문턱 전압을 구현하기 위하여 게이트의 입력단자에 폴리를 이용하여 만들어지는 커패시터가 있는 것에 기인한다고 하겠다. 기존의 MOS보다 많은 커패시터에 있는 잔존 용량의 전하에 의하여 완전한 전압강하와 상승이 이루어지지 않음에 기인한다고 하겠다.

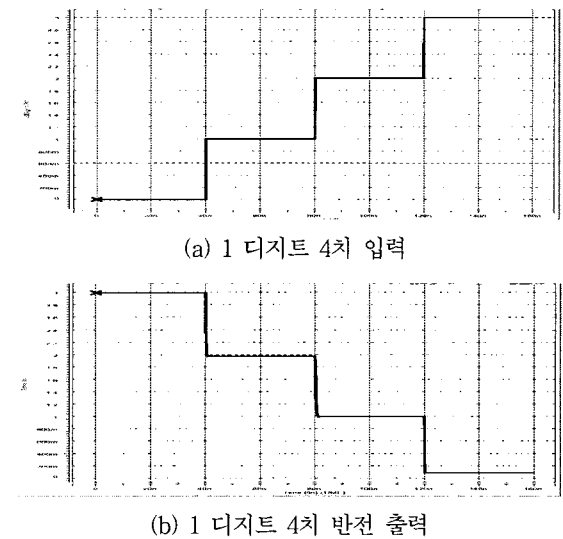


그림 17. QINV 회로의 모의실험 결과 (a) 1 디지트 4치 입력 (b) 1 디지트 4치 반전 출력

Fig. 17. Simulation result of QINV. (a) 1 Digit Quaternary input (b) 1Digit Quaternary inversed output

VI. 결 론

본 논문에서는 다치논리 소자를 개발하는 여러 가지 방법 중 전압모드, 특히 ν MOS와 DLC를 이용하여 2진 4치 변환기 및 논리 게이트를 설계하는 방법을 제안하였다. 전류모드가 일정한 레벨의 전류원을 만들어 주기 위하여 큰 $\frac{W}{L}$ 비를 사용하는데 비하여 ν MOS를 이용하는 전압모드 회로들은 소자의 크기들이 상대적으로 상당히 작다. 또한 전압모드는 일정한 레벨을 유지함으로써 시스템간의 호환성 입력 값의 통일성이 양호하며 전류모드에 비하여 소모 전력이 적다는 장점을 가지고 있다. 특히 본 논문에서 제시한 제어신호를 이용한 스위치의 동작으로 출력을 이끌어 내는 방법은 단일 전압원을 이용하였다. 또한 $0.35\mu\text{m}$ 의 공정을 사용하였으며 전압모드 특성을 이용하여 칩의 크기를 상당히 감소시킬 수 있다.

기존에 발표된 ν MOS를 이용한 논문들에서는 ν MOS만을 사용하여 출력을 이끌어 냄으로써 회로의 최적화에 중점을 두었으나, 게이트 입력 단의 커패시터가 존재함으로써 생기는 지연시간의 증가로 인하여 주파수가 수 MHz에서 수백 KHz에 그치는 제한성을 가지고 있다. 그러나 본 논문에서는 기존의 바이너리 체계의 기본 게이트들을 부분적으로 사용하여 구현함으로써 회로의 최적화뿐만 아니라 구현이 용이하며 250MHz의 동작특성을 나타낼 수 있다. 또한 각각의 레벨에 독립적인 회로를 이용하여 출력하는 기존의 방식에 비하여서도 위와 같은 이유로 인하여 소자의 수를 현저하게 줄일 수 있다. 앞으로도 많은 다양한 방법으로 4치 기본 소자들에 대한 연구가 진행될 것으로 보인다. 여러 가지 단점을 가지고 있는 전류모드에 비하여 ν MOS를 통한 다중 문턱전압의 실현으로 소비전력이 적으면서 칩 면적을 적게 할 수 있는 전압모드에 대한 연구가 더욱 활발해 질 것으로 기대된다.

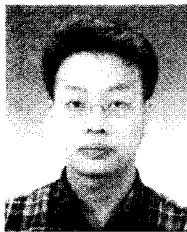
참 고 문 헌

- [1] G. Moore, in IEDM tech. Dig., p.11, 1975.
- [2] Hurst, S.L., "Multiple-valued logic-its status and its future", IEEE Trans. On Computer, C-22, pp. 1160~1179, 1984.
- [3] K. Navi, A. Kazeminejad and D. Etiemble, "Performance of CMOS Current Mode Full Adders", Proc. 23th ISMVL, pp. 27~34, May. 1993.
- [4] Satoshi Aragaki, Takahiro Hanyu and Tatsuo Higuchi, "A Multiple Valued Content-Addressable Memory Using Logic-Valued Conversion and Threshold Functions", Proc. 23th ISMVL, pp. 170~175, May. 1993.
- [5] A. Jain, R. Bolton, and M. Abd-El-Barr, "CMOS multiple valued logic design Part I : Circuit implementation", IEEE Trans. Circuit Syst., Vol. 40, pp. 503~514, Aug. 1993.
- [6] Y. J. Chang and C. L. Lee, "Synthesis of multi-variable MVL functions using hybrid mode CMOS logic", Proc. 24th ISMVL, pp. 35~41, May. 1994.
- [7] K. W. Current, V. G. Oklobdzija, and D. Maksimovic, "Low-Energy Logic Circuit Techniques for Multiple Valued Logic", Proc. 26th ISMVL, pp. 86~90, 1996.
- [8] Aryan Saed, Majid Ahmadi, Graham A. Jullien, "Arithmetic Circuits for Analog Digits", Proc. 29th ISMVL, pp. 186~191, 1999.
- [9] A. Kazeminejad, K. Navi and D. Etiemble. "CML Current mode full adders for 2.5V power supply", Proc. 23th ISMVL, pp. 10~14, 1993.
- [10] K. Wayne Current, "Multiple Valued Logic : Current-Mode CMOS circuits", Proc. 23th ISMVL, pp. 176~181, 1993.
- [11] D. Etiemble and K. Navi, "A Basis for the Comparison of Binary and m-Valued Current Mode Circuits : the Multioperand Addition with redundant Number Systems", Proc. 23th ISMVL, pp. 216~221. 1993.
- [12] Muhammad Nayyar Hasan, Mostafa Abd-El-Barr, "New MVL-PLA Structures based on Current-Mode CMOS Technology", Proc. 26th ISMVL, pp. 98~103. 1996.
- [13] Tadashi Shibata, Tadahiro Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations",

- IEEE Trans. Electron device, Vol. 39, NO. 6, June 1992.
- [14] Jing Shen, Koichi Tanno, Okihiko Ishizuka, "Down Literal Circuit with Neuron-MOS Transistors and Its Applications", Proc. 29th ISMVL, pp. 180~184, 1999.
- [15] Jing Shen, Motoi Inaba, Koichi Tanno, Okihiko Ishizuka, "Multi-Valued Logic Pass Gate network Using Neuron-MOS Transistors", Proc. 30th ISMVL, pp. 15~20, 2000.
- [16] Makoto Syuto, Jing Shen, Koichi Tanno and Okihiko Ishizuka, "Multi-Input Variable-Threshold Circuits for Multi-Valued Logic Functions", Proc. 30th ISMVL, pp. 27~32, 2000.
- [17] Kota Mitsuya, Noriaki Muranaka, Sigeru Imanishi, "A Composition of Full Adder using Neuron MOSFETs by Ternary Signed Digit Number Representation", Proc. The first Korea-Japan joint symposium, August 1999.
- [18] Makoto Syuto, Jing Shen, Koichi Tanno and Okihiko Ishizuka, "Voltage-Mode Linear Summation Circuit with Neuron-MOS Transistors and Its Application to Multi-Valued Logic", Proc. The first Korea-Japan joint symposium, August 1999.
- [19] Konrad Lei, Zvonko G. Vranesic, "Towards the Realization of 4-Valued Cmos Circuits" Proc. 22th ISMVL, pp. 104~110, 1992.
- [20] Andreas Herrfeld and Siegbert Hentschke, "Quaternary Dynamic differential Logic With Application to Fuzzy-Logic Circuits", Proc. 27th ISMVL, pp. 215~220, 1997.
- [21] K. W. Current, "Design of a Quaternary Latch Circuit Using a Binary CMOS RS Latch", Proc. 30th ISMVL, pp. 377~381, 2000.
- [22] Zheng Tang, Dwi Haudoko, "VLSI design of a quaternary multiplier with direct generation of partial produces", Proc. 27th ISMVL, pp. 169~174, 1997.
- [23] Wei-Shang Chu and Wayne Current, "Quaternary Multiplier Circuit", Proc. 24th ISMVL, pp. 15~16, 1994.
- [24] Claudio Moraga, Wenjun Wang, "Evolutionary methods in the Design of Quaternary digital Circuits", Proc. 28th ISMVL, pp. 89~92, 1998.

 저 자 소 개

韓 聖 一(學生會員) 第39卷 SC編 第3號 參照
 현재 : 인하대학교 전자공학과 박사과정 재학중



李 濠 景(正會員)
 1996년 2월 : 인하대학교 전자공학과 졸업(공학사). 2002년 : 인하대학교 전자공학과 대학원 석사과정 졸업(공학석사). 현재 : 2002년 1월 이후 삼성전자 반도체 설계연구실 근무 <주관심분야 : 다치논리 회로

구성, VLSI 설계, ASIC 설계>



黃 鍾 學(正會員)

1988년 : 인하대학교 전자공학과 학사. 1990년 : 인하대학원 전자공학과 석사. 2001년 : 인하대학원 전자공학과 공학박사. 1990년~1992년 : ㈜필코 부설연구소 연구원. 1992년~1995년 : 나우정밀 중앙연구소 전임연구원. 1996년~현재 : 체육과학연구원 책임연구원. <주관심분야 : 이동통신, 스포츠용 기구, VLSI 설계, 모터 자동제어>

金 興 壽(正會員) 第32卷 B編 第6號 參照

현재 : 인하대학교 전자전기공학부 교수