

論文2003-40SC-3-6

고속 혼성모드 집적회로를 위한 온-칩 CMOS 전류 및 전압 레퍼런스 회로

(On-Chip Full CMOS Current and Voltage References for High-Speed Mixed-Mode Circuits)

曹永載*, 裴鉉熙*, 池龍*, 李承勳*

(Young-Jae Cho, Hyun-Hee Bae, Yong Jee, and Seung-Hoon Lee)

요약

본 논문에서는 고속 혼성모드 집적회로를 위한 온-칩(on-chip) CMOS 전류 및 전압 레퍼런스 회로를 제안한다. 제안하는 전류 레퍼런스 회로는 기존의 전류 레퍼런스 회로에서 부정확한 전류 값을 조정하기 위해 주로 사용되는 아날로그 보정 기법과는 달리 디지털 영역에서의 보정 기법을 사용한다. 또한, 제안하는 전압 레퍼런스 회로는 고속으로 동작하는 혼성모드 집적회로의 출력단에서 발생할 수 있는 고주파수의 잡음 성분을 최소한으로 줄이기 위해 고주파 신호 성분에 대해 작은 출력 저항을 볼 수 있는 구조의 레퍼런스 전압 구동회로를 사용한다. 이 레퍼런스 전압 구동회로는 전력 소모 및 칩 면적을 최소화하기 위해서 저 전력의 증폭기와 크기가 작은 온-칩 캐패시터를 사용하여 구현하였다. 제안하는 레퍼런스 회로는 0.18 μm n-well CMOS 공정으로 설계 및 제작되었으며, 250 μm \times 200 μm 의 면적을 차지한다. 칩 제작 및 측정 결과, 제안하는 전류 및 전압 레퍼런스 회로는 공급 전압 및 온도의 변화에 대해서 각각 2.59 %/V와 48 ppm/ $^{\circ}\text{C}$ 의 변화율을 보인다.

Abstract

This work proposes on-chip full CMOS current and voltage references for high-speed mixed-mode circuits. The proposed current reference circuit uses a digital-domain calibration method instead of a conventional analog calibration to obtain accurate current values. The proposed voltage reference employs internal reference voltage drivers to minimize the high-frequency noise from the output stages of high-speed mixed-mode circuits. The reference voltage drivers adopt low power op amps and small-sized on-chip capacitors for low power consumption and small chip area. The proposed references are designed, laid out, and fabricated in a 0.18 μm n-well CMOS process and the active chip area is 250 μm \times 200 μm . The measured results show the reference circuits have the power supply variation of 2.59 %/V and the temperature coefficient of 48 ppm/ $^{\circ}\text{C}$.

Keyword : CMOS, high speed, mixed mode, current reference, voltage reference

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

※ 본 논문은 부분적으로 서강대학교 산업기술연구소의 지원을 받은 결과입니다.

接受日字:2002年7月9日, 수정완료일:2003年3月10日

I. 서론

외부 전원 및 온도 등의 주변 환경이 변하더라도 그에 대해 독립적으로 정확한 전류와 전압을 생성하는 전류 및 전압 레퍼런스 회로는 데이터 변환기, 메모리,

고감도 센서 등의 아날로그 신호를 다루는 대부분의 시스템에 필수적으로 사용된다. 특히, 최근 휴대용 기기들에 대한 소비자들의 욕구가 증가하면서, 개인 휴대통신 기기나 노트북 컴퓨터와 같은 소용량의 배터리에서 동작하는 전자 기기들이 빠르게 발전하고 있으며, 외부에서 공급되는 전원 전압 변화에 관계없이 일정한 내부 전압 및 전류를 오랜 시간 동안 생성하는 저전력의 전류 및 전압 레퍼런스 회로가 시스템 설계에 있어서 매우 중요한 요소중의 하나로 작용하고 있다. 한편, 고속 고해상도의 A/D 변환기, PLL, 및 D/A 변환기와 같은 혼성모드 집적회로들의 경우에도, 해상도(resolution)가 점점 높아짐에 따라 공급 전원 전압 및 온도의 변화에 대해서 독립적이면서 정확한 레퍼런스 전류와 전압이 요구되며, 특히 고속으로 동작하는 혼성모드 집적회로의 응용에서는 레퍼런스 전압의 정착(settling) 시간이 전체 시스템 성능에 중요한 영향을 미친다.

최근까지 제안된 CMOS 공정에서 유효한 전류 및 전압 레퍼런스 회로 구현 방법으로는 CMOS 공정에서 구현 가능한 기생 바이폴라 트랜지스터(lateral bipolar transistor)로 밴드갭 전압을 생성함으로써, 종전의 바이폴라 공정 상에서 응용된 방법을 그대로 이용하는 방법과 증가형(enhancement)의 MOS 트랜지스터와 공핍형(depletion)의 MOS 트랜지스터의 문턱 전압(threshold voltage)의 차이를 이용하여 구현하는 방법이 있다^[1-5]. 이러한 방법들은 CMOS 공정상의 전체회로 중 전류 및 전압 레퍼런스 회로 블록으로 인하여 마스크가 추가되거나 공정이 복잡해지는 단점이 있다. 최근에는, 증가형의 MOS 트랜지스터만으로 레퍼런스 회로를 구현하는 방법이 제안되었으며^[6], 공정 과정 중에 발생할 수 있는 공정 변수 변화의 보정을 위하여 칩의 외부에 저항을 사용한 아날로그 보정 기법을 많이 사용하였다. 본 논문에서는 다른 디지털 핀을 공유하여 적용 가능한 디지털 영역에서의 보정 기법을 제안한다.

전류 및 전압 레퍼런스 회로는 고해상도의 사양 이외에도, 혼성모드 집적회로들의 동작속도가 점점 높아짐에 따라 레퍼런스 전압을 공급하는 레퍼런스 전압 구동회로의 빠른 정착 시간 또한 요구된다. 많은 CMOS 공정의 혼성모드 집적회로들은 스위치드 캐패시터 구조를 사용하며, 이를 부하로 가지는 레퍼런스 전압 구동회로의 출력 노드에서는 MOS 스위치의 턴-온(turn-on), 턴-오프(turn-off)시에 발생하는 글리치 에너지(glitch energy)에 의하여 고주파수의 잡음성분

이 발생한다. 기존의 회로에서는, 고주파수의 잡음 성분을 제거하기 위해서 칩 외부에 큰 캐패시터를 연결하는 방법을 주로 사용하나, 이와 같은 방법만으로는 핀과 패드를 연결하는 본딩 와이어(bonding wire)의 기생 인덕터 성분 때문에 100 MHz 대역 이상의 빠른 동작속도를 가지는 혼성모드 회로에는 적용하기가 어려울 뿐만 아니라, 외부 캐패시터에 연결하기 위한 추가적인 핀이 요구되므로 핀 제약이 많은 SoC(System-on-a-Chip)의 IP (Intellectual Property) 용도로는 적합하지 않다. 한편, 또 다른 기존의 몇몇 레퍼런스 회로에서는 칩 내부에 0.5 nF 이상의 큰 캐패시터를 사용하거나, 전체 시스템과 유사한 빠른 동작속도를 가지는 레퍼런스 전압 구동회로를 사용하였다^[7-8]. 그러나, 칩 내부에 큰 캐패시터를 집적할 경우에는 칩 면적이 대단히 커지게 되고, 전체 시스템과 유사한 동작 속도를 가지는 기준 전압 구동회로를 사용할 경우에는 전력 소모가 많아지는 단점을 가지고 있다.

본 논문에서 제안하는 레퍼런스 회로는 저속 저전력의 증폭기와 작은 크기의 내부 캐패시터를 이용한 온-칩 레퍼런스 전압 구동회로를 병행 사용하여 추가적인 면적 및 전력소모 없이 빠른 속도의 스위치드 캐패시터 구조의 부하를 구동할 수 있도록 하였고, 레퍼런스 회로 출력단에서 발생하는 고주파 잡음 성분을 외부의 큰 캐패시터 없이도 제거할 수 있도록 설계하여 외부 캐패시터 연결을 위한 추가적인 핀을 필요로 하지 않는 장점이 있다.

본 논문의 II 장에서는 제안하는 디지털 보정 기법을 사용한 전류 레퍼런스 회로의 동작 원리를 살펴보고, III 장에서는 제안하는 온-칩 전압 레퍼런스에 관하여 논의하며, IV 장에서는 시제품 전류 및 전압 레퍼런스 회로의 실험 및 측정 결과를 정리한다.

II. 제안하는 온-칩 전류 레퍼런스 회로

<그림 1>은 제안하는 온-칩 전류 및 전압 레퍼런스 전체 회로의 구성을 나타내며, 이 회로는 디지털 보정 기법을 사용하는 전류 레퍼런스 부분과 고속 혼성모드 집적회로의 응용에 적합한 전압 레퍼런스 회로 두 부분으로 구성된다. 전류 레퍼런스 회로의 동작을 살펴보면, 온도의 증가에 따라서 감소하는 전류 성분과 증가하는 전류 성분을 각각 공급 전압 변화에 독립적으로 구현하여 이들을 더함으로써 공급 전압 및 온도의 변

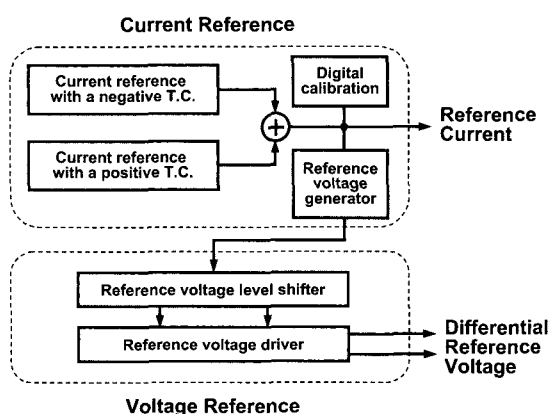


그림 1. 제안하는 온-칩 전류 및 전압 레퍼런스 회로
Fig. 1. Proposed on-chip current and voltage references.

화에 독립적인 전류를 생성한다^[6].

<그림 2>에서 볼 수 있는 바와 같이, 먼저 온도의 증가에 따라서 감소하는 전류 I_{NEG} 와 온도의 증가에 따라서 증가하는 전류 I_{POS} 를 생성한다. I_{NEG} 는 온도의 증가에 따라서 반비례하는 PMOS의 문턱 전압과 전자 이동도의 함수로 구성되어 공급 전압 변화에 대해서는 독립적이고 온도 변화에 대해서는 수 mV/°C의 음의 온도계수를 가지는 온도의 증가에 대해 감소하는 전류이다. 또한, I_{POS} 는 온도의 증가에 따라서 반비례하는 전자 이동도와 비례하는 저항의 함수로 구성되며, 두 함수 중 출력 전류에 지배적인 영향을 주는 부분은 전자 이동도의 함수이고, 이 함수는 온도의 증가에 따른 출력 전류의 변화에 증가하는 함수로 영향을 준다. 따라서, 공급 전압 변화에 대해서는 독립적

이고 온도 변화에 대해서는 수 mV/°C의 양의 온도계수를 가지는 온도의 증가에 따라서 증가하는 출력 전류를 얻을 수 있다. 이렇게 생성된 두 전류 I_{NEG} 와 I_{POS} 는 <그림 2>의 T7 노드에서 더해지며 MP6, MP9, MN10 및 MN18의 전류 반복기 (current mirror)를 통해 공급 전압과 온도의 변화에 독립적인 최종 출력 전류 I_{OUT} 을 생성한다. <그림 2>의 가장 우측에 있는 부분은 위에서 생성된 출력 전류와 MOS 다이오드의 저항 구조를 사용하여 공급 전압과 온도의 변화에 독립적인 전압을 생성하는 회로이다. 이 회로의 출력 전압은 온도의 증가에 대해 반비례하는 NMOS의 문턱 전압과 전자 이동도의 함수로 구성되며, 이 두개의 함수는 수 mV/°C 정도의 절대값을 가지고 부호가 반대이므로 MOS 다이오드의 W/L 크기를 조절하여 공급 전압과 온도의 변화에 독립적인 전압을 생성할 수 있다.

한편, <그림 2>의 전류 레퍼런스 회로는 공정 과정에서 발생할 수 있는 공정 변수의 변화 때문에 설계값과 동일한 측정값을 얻기가 쉽지 않다. 이를 보정하기 위하여 기존의 회로에서는 칩의 외부에 가변 저항을 사용하는 아날로그 보정 기법을 사용하였다^[6]. 이와 같은 방법은 디지털 핀의 사용이 많은 디지털 시스템에 온-칩으로 응용될 경우에 추가적인 아날로그 핀이 요구되며, 이 아날로그 핀을 통해 유입되는 외부의 잡음 성분이 회로의 동작에 문제를 발생시킬 수 있으며, 다른 디지털 핀과 별도의 용도로 사용함으로써 칩에 필요 하 피의 화요도를 가소시키는 겨하이 이다 따하 칩 외부에서 저항을 이용한 보정 기법은 보정을 위한 외

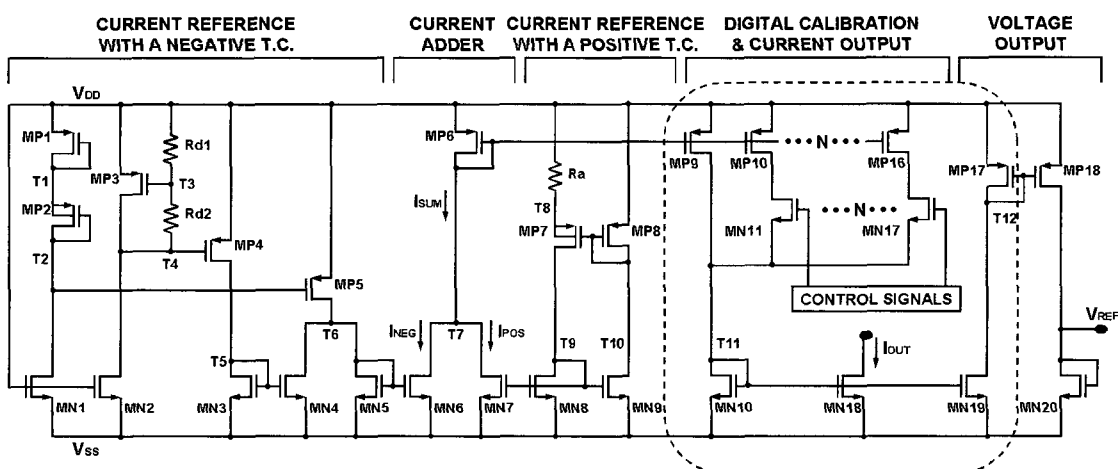


그림 2. 제안하는 온-칩 전류 레퍼런스 회로
Fig. 2. Proposed on-chip current reference.

부 저항의 공정 변수까지 고려하기는 불가능하므로, 모의 실험 결과값의 변화율보다 측정된 결과값이 더 큰 변화를 보이는 결과를 초래한다. 제안하는 디지털 보정 기법은 디지털 시스템에 온-칩으로 응용될 경우에 추가적인 핀을 사용하지 않고 사용중인 디지털 핀을 이용하여 조정 가능하므로 핀을 통한 외부의 잡음 성분이 회로의 동작에 미치는 영향을 최소화시킬 수 있다. 또한, 레퍼런스 회로 설계 과정에서 공정 변수의 변화에 의한 보정값을 고려하여 설계가 가능하므로 최소 디지털 비트당 조정 범위 내에서의 오프셋(offset)에 의한 영향만 있을 뿐 변화율 자체는 거의 동일하다. 제안하는 디지털 보정 회로는 <그림 2>의 점선으로 표시된 부분에 구현되어 있는 바와 같이, MP9, MN10, MN18로 구성된 전류 반복기에 MP10 ~ MP16으로 구성된 추가적인 전류원을 각각의 스위치(MN11 ~ MN17)의 상태를 입력 디지털 코드로 조절함으로써 보정을 할 수 있다. 본 연구에서 제안하는 보정 회로는 3 비트의 디지털 코드를 사용하여 보정하며, 입력 디지털 코드의 값이 하나씩 증가할 때마다 출력 전류량이 5 uA씩 증가하도록 설계되었다. 따라서, 이를 통한 최대 보정 범위는 30 uA ~ 65 uA이며, 이는 본 논문에서 사용한 공정에서 발생할 수 있는 최대 변화량을 고려하여 구현되었다. 더 많은 입력 디지털 코드의 사용이 가능하다면 더욱 정확한 보정이 가능하다.

III. 제안하는 온-칩 전압 레퍼런스 회로

최근의 고속 혼성모드 집적회로의 하나인 고속 고해상도 데이터 변환기는 많은 경우에 스위치드 캐패시터 구조를 사용하며 레퍼런스 전압은 MOS 스위치를 통하여 데이터 변환기에 공급된다^[9-10]. 이 경우 클럭(clock)에 따라 스위치가 턴-온, 턴-오프 되면서 채널 전하가 순간적으로 충방전을 반복하게 되므로, 레퍼런스 전압 출력 노드의 전압이 일정한 값으로 유지되기 어렵다. 이러한 문제는 레퍼런스 전압 출력 노드에 수 uF의 캐패시터를 연결하여 스위칭시에 발생하는 고주파수의 잡음 성분을 통과(bypass) 시켜줌으로써 부분적으로는 해결할 수 있으나, 수 uF의 캐패시터를 칩 내부에 집적하기는 대단히 어려우므로 대부분의 경우에 칩 외부에 캐패시터를 연결하게 된다. 이 경우 외부 캐패시터 연결을 위한 핀을 별도로 할당해야 한다는 단점이 있으며, <그림 3>에서 보듯이 패드와 본딩 와이어

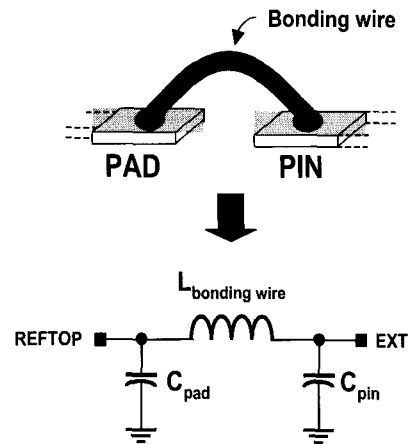


그림 3. 패드 및 본딩 와이어의 등가 회로

Fig. 3. Equivalent circuit related to pads and bonding wire.

에 존재하는 기생 캐패시터 및 인덕터 성분 때문에 신호의 충방전 동안 고주파수의 잡음 성분이 원하는 시간내에 외부 캐패시터를 통해 통과되기가 어려우며, 수 Ω 수준의 작은 기생 저항까지 고려한다면 문제는 더욱 복잡해진다.

기존의 회로에서 흔히 볼 수 있는 <그림 4(a)>에 보이는 공통 드레인 증폭기(source follower) 구조의 구동 회로를 칩 내부에 사용하게 되면, 스위칭시에 발생하는 고주파수의 잡음 성분은 칩 외부에 연결되는 캐패시터와 1/gm의 작은 출력 저항값을 갖는 공통 드레인 증폭기를 통해서 보다 빠른 시간 내에 처리될 수는 있다^[11]. 그러나, 공통 드레인 증폭기 회로에서 발생하는 몸체 효과(body effect)의 영향으로 인한 문턱 전압의 증가로 인하여 낮은 공급 전압을 사용하는 데이터 변환기에 필요한 고해상도의 정확한 레퍼런스 전압값을 만들기 가 대단히 어렵다. <그림 4(b)>와 같이 본 연구에서 제안하는 회로는 낮은 공급 전압에서 동작하도록 하기 위해 공통 소스(common source) 구조의 증폭기를 사용하므로 몸체 효과의 영향을 받지 않으면서, 고주파 신호 성분에 관한 공통 드레인 증폭기와 유사한 출력 저항을 갖도록 설계되었다.

즉, <그림 4(b)>에서 출력 전류 ID는 식 (1)과 같이 표현된다. 이를 VOUT에 관하여 정리하면 식 (2)를 얻을 수 있으며, 출력 저항 Ro는 식 (3)과 같이 정리된다. 이 때, 출력 저항 Ro는 $1/Av_{gm}$ 이므로 Av가 1에 가까운 경우에 공통 드레인 증폭기와 거의 동일한 출력 저항값을 갖게된다.

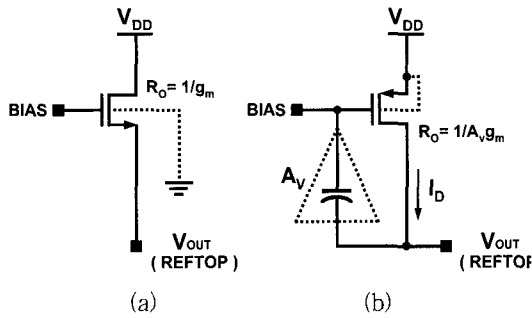


그림 4. (a) 기존의 공통 드레인 증폭기 및 (b) 제안하는 구조의 구동회로
 Fig. 4. (a) Conventional source follower and (b) proposed driver circuit.

$$I_D = \frac{\mu_p C_{ox}}{2} (W/L) (V_{sg} - |V_{thp}|)^2$$

$$= \frac{\mu_p C_{ox}}{2} (W/L) (V_{DD} - A_v \cdot V_{OUT} - |V_{thp}|)^2 \quad (1)$$

$$V_{OUT} = \frac{\left\{ V_{DD} - |V_{thp}| - \sqrt{\frac{2I_D}{\mu_p C_{ox} (W/L)}} \right\}}{A_v} \quad (2)$$

$$R_o = \frac{\partial V_{ds}}{\partial I_D} = \frac{\partial (V_{DD} - V_{OUT})}{\partial I_D}$$

$$= \frac{\partial}{\partial I_D} \left[V_{DD} - \frac{\left\{ V_{DD} - |V_{thp}| - \sqrt{\frac{2I_D}{\mu_p C_{ox} (W/L)}} \right\}}{A_v} \right]$$

$$= \sqrt{\frac{1}{2\mu_p C_{ox} (W/L) A_v^2 I_D}}$$

$$= \frac{1}{A_v g_m} \quad (3)$$

<그림 4(b)>에서 점선으로 표시된 부분을 증폭기로 구현하게 되면, 식 (3)에서의 Av값을 1 보다 크게 설계할 수 있지만, 고주파수의 잡음 성분을 제거하기 위해서는 회로의 사양에 따라 수십 MHz에서 수백 MHz 이상으로 동작하는 증폭기를 구현해야 하며 면적 및 전력 소모가 크게 될 수 있다. 제안하는 회로에서는 고속의 증폭기 대신에 크기가 작은 캐패시터만을 사용하여 면적 및 전력 소모를 최소화하는 동시에 Av값을 1에 가깝도록 설계하였다. 따라서, 캐패시터의 임피던스 성분이 1/sC임을 고려하면, 수백 MHz이상의 고주파수에서 수 pF 캐패시터의 임피던스 성분은 거의 0에 가까워질 정도로 작아진다. 즉, <그림 4(b)>에서 점선으로 표시된 부분을 신호처리에 적절한 크기의 캐패시터로 구현하게 되면, 수백 MHz의 잡음 신호가 발생할 경우에 마치 REFTOP 노드와 BIAS 노드가 연결된 것과 같이 보이며 점선으로 표시된 부분의 AV값이 1에 가깝게 된다.

<그림 5>는 설계된 전체 전압 레퍼런스 회로이며, 크게 세개의 부분 중 가장 우측에 레퍼런스 전압 구동회로가 나타나있다. 레퍼런스 전압 구동회로에서 캐패시터 Cc1 및 Cc2와 함께 사용된 저항 Rc1 및 Rc2는 RC 시상수를 하여 캐패시터의 충방전 시간이 상대적으로 길어지게 되며, REFTOP 및 REFBOT 노드에 발생하는 고주파수의 잡음은 캐패시터를 순간적으로 충방전 시키지 않으면서 직접적으로 T1 및 T2 노드로 전달되며, MPB 및 MNB를 통하여 더욱 빠르게 잡음성분이 제거될 수 있다. 모의 실험 결과, 저항을 추가한 경

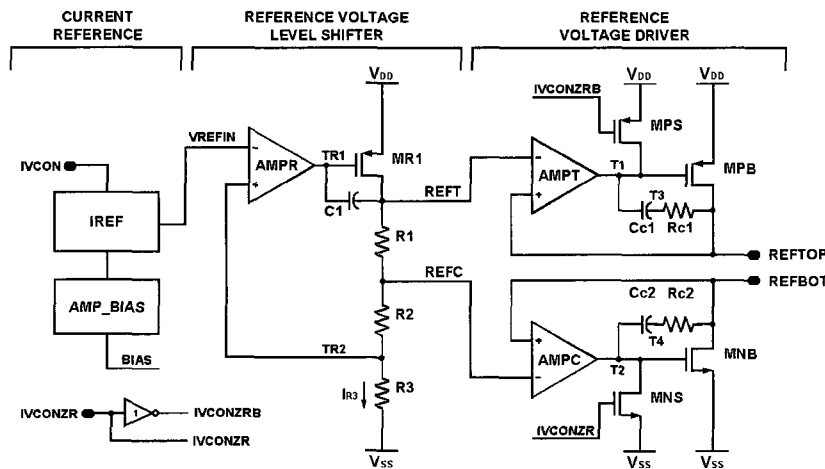


그림 5. 제안하는 온-칩 전압 레퍼런스 회로
 Fig. 5. Proposed on-chip voltage reference.

우가 캐패시터만으로 구현된 경우보다 레퍼런스 전압의 정착 시간이 빨라지며, 정착하는 신호의 형태가 훨씬 안정됨을 확인할 수 있었다. 본 설계에서는 저항의 크기가 130 Ω 정도일 때 레퍼런스 전압이 가장 빠르고 안정된 정착 시간을 보이며, 저항값이 200% 이상 크게 혹은 적게 변해도 레퍼런스 전압의 정착 시간에는 크게 영향이 없음을 확인하였다.

<그림 5>의 캐패시터 Cc1 및 Cc2 와 저항 Rc1 및 Rc2는 전형적인 2단 증폭기에서 사용되는 주파수 보상 방법과는 달리, 저 전압 전원에서 고주파 신호 처리에 필요한 낮은 출력 저항을 얻기 위해서 사용되었다. 주파수 응답 측면에서 살펴보면, 전형적인 2단 증폭기의 첫번째 극점 (dominant pole)의 위치는 1단 증폭기의 출력 노드에 위치하며, 두번째 극점(nondominant pole)의 위치는 2단 증폭기의 출력 노드에 위치한다. 제안하는 레퍼런스 전압 구동회로에서 칩 외부에서 REFTOP 및 REFBOT 노드에 0.1 μF 의 바이패스 캐패시터가 연결될 경우에는 첫번째 극점이 REFTOP 및 REFBOT 노드에 위치하게 되며, 두번째 극점이 T1 및 T2 노드에 위치한다. 이와 같은 경우, Cc1 및 Cc2가 커질수록 Miller 효과로 인하여 두 극점이 가까워져 위상 여유가 나빠지는 결과를 초래하게 된다. 따라서, Cc1의 크기는 위상여유를 고려하여 설계되어야 하며 본 설계에서는 최적화 과정을 통해 2 pF이 사용되었다.

한편, <그림 5>의 AMPT와 AMPC는 MPB와 MNB를 구동하기 위한 역할과 동시에 REFTOP 및 REFBOT에서 발생하는 저주파수의 잡음을 완충하는 역할을 한다. 고주파수의 잡음 성분은 칩 내부에 MPB, MNB, Cc1, Cc2, Rc1, Rc2 로 구성된 부분에 의해서 통과되며, 대부분의 저주파수의 잡음 성분만을 AMPT 및 AMPC가 제거하게 된다. 따라서, AMPT 및 AMPC의 동작 대역폭 (bandwidth)은 높을 필요가 없으며, 이는 작은 전력 소비를 가능하게 한다. 본 설계의 경우 저주파수 잡음을 제거하기 위한 증폭기의 동작 대역폭을 1 MHz 기준으로 설계하였고, 전체 시스템 모의 실험을 통해 동작을 검증 및 확인하였다.

대부분의 전형적인 전압 레퍼런스 회로에서는 고주파수의 잡음 성분을 제거하기 위해서 칩 외부에 수 μF 용량의 큰 캐패시터를 연결하나, 제안하는 전압 레퍼런스 회로는 외부 캐패시터의 크기가 0.1 μF 수준이면 효율적으로 고주파수의 잡음 성분을 제거할 수 있으며, 외부 캐패시터를 사용하지 않더라도 고주파수의 잡음

을 충분히 제거해 전체 시스템의 동작 성능을 보장한다. 제안하는 전압 레퍼런스 회로는 시스템 사양에서 볼 때 외부에서 별도로 필요한 크기의 레퍼런스 전압을 인가할 필요성에 대비하여 <그림 5>에서 보는바와 같이 외부에서 조정 가능한 디지털 신호 IVCONZR을 두었으며, IVCONZR 신호가 high인 경우 REFTOP과 REFBOT 노드를 high 임피던스 상태로 만들어 주어 외부에서 직접 아날로그 레퍼런스 전압 인가가 가능하도록 설계하였다.

<그림 5>의 중앙에 있는 레퍼런스 전압값 전이회로 (reference voltage level shifter)는 전류 레퍼런스 회로에서 생성된 공급 전압과 온도의 변화에 독립적인 전압을 혼성모드 집적회로에서 요구하는 전압값으로 변환하는 회로이다. 변환 과정을 살펴보면, <그림 5>의 TR2 노드는 VREFIN 노드와 가상으로 접지되어 같은 전압값을 가지게 된다. 이 전압값과 저항 R3를 이용하여 회로 동작에 적합한 전류 IR3를 얻을 수 있으며, 전류 IR3와 R1, R2 저항을 이용하여 REFT, REFC 노드에서 혼성모드 집적회로에서 요구하는 레퍼런스 전압을 얻을 수 있다. 이 회로는 저항의 비율로써 전압을 생성하므로 공정상에 발생할 수 있는 저항 성분의 절대값 변화에 의한 영향을 받지 않는 장점을 가진다.

IV. 시제품 제작 및 성능 측정 결과

제안하는 온-칩 전류 및 전압 레퍼런스 회로는 0.18 μm n-well CMOS 공정을 사용하여 설계 및 제작되었으며, 11비트 70 MHz CMOS 파이프라인 A/D 변환기의 기준 전류 및 전압 발생기로서 ADC 내부에 집적되었다. 또한, 이 ADC는 VDSL 시스템의 한 코어 블록으로서 전체 시스템의 다른 주변 블록들과 함께 집적되었다. 부하가 되는 A/D 변환기는 레퍼런스 전압이 인가되는 2개의 MDAC과 3개의 FLASH로 구성된 파이프라인 구조를 가진다. 이렇게 연결되는 부하는 대략 등가적으로 직렬 연결된 250 Ω 저항, 48 pF 캐패시터 및 60개의 스위치 등으로 구성되며, 레퍼런스 전압 구동회로가 2 mA의 전류를 지속적으로 공급하면서 스위치의 턴-온, 턴-오프 시에 발생하는 글리치 에너지를 최대한 제거해야 하며, 1 Vpp의 일정한 전압차를 안정적으로 공급하여야 한다. 이러한 요구 사항을 만족시키기 위해 모의 실험시 패드와 핀을 연결하는 본딩 와이어의 기생 인덕터 성분을 고려하여 설계하였다. <그림

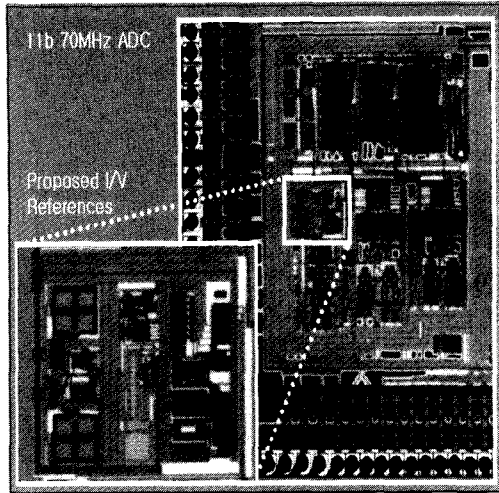


그림 6. 제안하는 온-칩 전류 및 전압 레퍼런스 회로의 칩 사진

Fig. 6. Chip photo of the proposed on-chip I/V references.

6>은 제작된 시제품 온-칩 전류 및 전압 레퍼런스 회로의 칩 사진을 보여준다. 제안하는 전류 및 전압 레퍼런스 회로의 레이아웃 면적은 $250\text{ }\mu\text{m} \times 200\text{ }\mu\text{m}$ 이고, 1.8 V 공급 전압에서 동작할 때 5.4 mW의 전력을 소모한다. 또한, 본 전류 및 전압 레퍼런스 회로의 측정 시 ADC 및 그 주변 블록들도 필요한 모든 신호 및 전원을 인가하여 정상적으로 동작하는 상태에서 측정이 진행되었다.

<그림 7>은 레퍼런스 전압 구동회로의 출력 파형의 모의 실험 결과를 보여 준다. 부하인 11 비트 70 MHz A/D 변환기의 안정된 동작을 보장하기 위해서 레퍼런스 전압 구동회로는 A/D 변환기의 동작 주파수인 70 MHz의 50 %인 7.1 ns 이내에 정착해야 한다. 그러나, A/D 변환기의 동작을 위한 클럭의 지연 시간과 내부 회로의 정착 시간을 고려할 경우, 안정된 동작을 위해서는 레퍼런스 전압이 A/D 변환기 동작 시간의 70 % 이내에 정착되면 큰 문제가 없음을 모의실험을 통해 검증하였으며, 실제 회로는 안정된 동작을 위해서 3.8 ns의 정착시간을 갖도록 설계되었다. 또한, 공정상의 오차에 의한 저항 및 캐패시터 값이 $\pm 20\%$ 이상 변화해도 제안하는 레퍼런스 회로의 안정된 동작을 보장할 수 있도록 설계하였다.

<그림 8>은 제안하는 회로를 온-칩으로 구현한 경우와 오프-칩으로 구현한 경우 두가지 경우의 시뮬레이션된 파형을 나타내며, 동일한 조건에서 오프-칩의

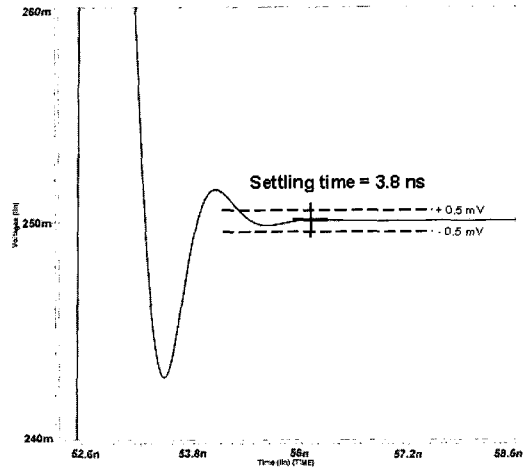


그림 7. 제안하는 레퍼런스 전압 구동회로의 출력 파형
Fig. 7. Output waveform of the proposed reference voltage driver.

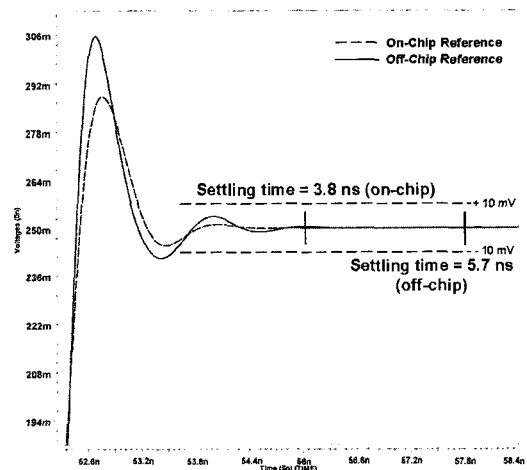
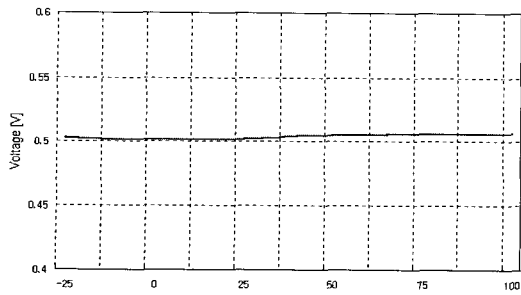


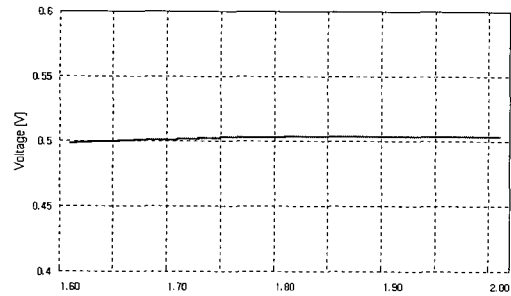
그림 8. 제안하는 회로의 모의 실험된 온-칩 및 오프-칩 출력 파형
Fig. 8. Simulated on-chip and off-chip output waveforms of the proposed circuits.

경우 보다 온-칩으로 구현한 경우가 추가적인 면적 및 전력 소모없이 1.9 ns 이상 빠른 정착 시간을 가짐을 알 수 있다.

<그림 9>는 공급 전압과 온도의 변화에 따른 제작된 전압 레퍼런스 회로의 차동 전압 출력을 측정된 결과이다. 두 출력 노드의 전압값을 측정해 본 결과 +50 mV 정도의 오프셋이 존재함을 확인하였는데, 이는 공정상의 문제로 인한 문턱 전압값의 변화에 따른 것이다. 공정상의 문제로 인한 두 출력 노드의 오프셋 값은 같은 극성을 가지므로, 일정한 차동 전압을 필요로 하는



(a) Temperature[°C]



(b) Supply Voltage[V]

그림 9. (a) 온도 및 (b) 공급 전압에 따른 전압 레퍼런스 회로의 차동 출력 전압

Fig. 9. Differential output voltages depending on (a) temperature and (b) power supply.

데이터 변환기에의 응용에서는 전체 시스템 동작에 영향을 주지 않는다. 측정 결과, 제안하는 레퍼런스 회로는 온도가 -25 °C에서 100 °C까지 변할 경우에 48 ppm/°C의 온도계수를 가지며, 공급 전압이 1.6 V에서 2.0 V까지 변하는 경우에 2.59 %/V의 변화율을 보여준다.

<그림 10>은 공정 과정에서 발생한 공정 변수의 변화에 의해 달라진 전압 레퍼런스 회로의 두 출력 노드간 전압차 값을, 제안하는 디지털 보정 기법을 사용하여, 전류값을 조절하여 원하는 전압차 값으로 조정된 측정 결과를 나타낸다. 결과를 살펴보면, 보정 후에 최소 조정 가능한 디지털 비트수에 따른 오프셋만 존재할 뿐 변화율 자체에는 큰 변화가 없음을 알 수 있다.

<그림 11>은 제안하는 전류 및 전압 레퍼런스 회로를 외부의 0.1uF 외부 캐패시터와 함께 사용한 경우와 외부 캐패시터 없이 제안하는 회로만으로 같이 집적된 A/D 변환기를 구동할 경우의 A/D 변환기의 성능치인 SNDR를 비교 측정된 결과이다. SNDR 측정은 입력주파수를 3 MHz에 고정시키고, 출력단 노드의 고주파수 잡음과 상관관계가 있는 동작 주파수를 높여 가며

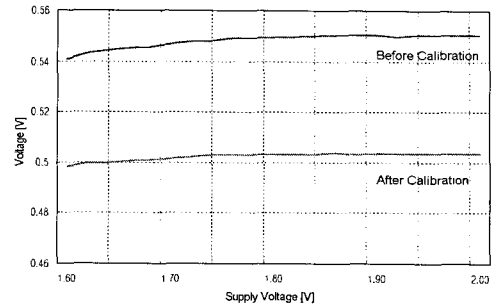


그림 10. 차동 출력 전압값의 보정

Fig. 10. Calibration of output differential voltages.

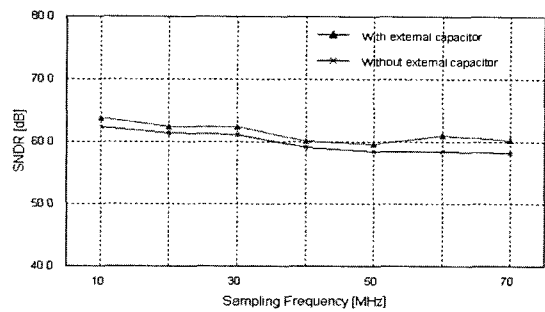


그림 11. 외부 캐패시터 유무에 따른 온-칩 레퍼런스를 사용한 A/D 변환기의 측정된 SNDR

Fig. 11. Measured SNDR of a prototype 11b 70 MHz ADC using on-chip references with or without external capacitors.

표 1. 제안하는 전류 및 전압 레퍼런스 회로의 성능

Table 1. Performance of the measured current and voltage references.

Technology	0.18 um n-well CMOS
Supply voltage	1.6 V~2.0 V (1.8 V typical)
Temperature variation (from -25 °C to 100 °C)	48 ppm/°C
Supply voltage variation (from 1.6 V to 2.0 V)	2.59 %/V
Power consumption	5.4 mW (at 1.8 V)
Active area	250 um × 200 um

측정을 하였다. 측정 결과를 통해, 제안하는 회로는 별도의 외부 캐패시터 없이도 출력단 고주파수 잡음을 효율적으로 제거해 전체 시스템의 동작 성능을 보장함을 확인 할 수 있다. 따라서 제안하는 구조의 회로는

SoC와 같은 핀 제약이 따르는 응용에 온-칩 레퍼런스로서 사용하기에 적합하다. 제안하는 레퍼런스 회로의 측정 결과를 <표 1>에 정리하였다.

V. 결 론

본 논문에서는 고속 혼성모드 집적회로 응용에 적합하고, 공급 전압 및 온도의 변화에 독립적인 전류 및 전압 레퍼런스 회로를 제안하였다. 제안하는 레퍼런스 회로는 0.18 μm CMOS 공정을 사용하여 제작되었을 때 1.6 V ~ 1.8 V의 공급 전압 변화와 $-25\text{ }^{\circ}\text{C} \sim 100\text{ }^{\circ}\text{C}$ 의 온도 변화에 대하여, 48 ppm/ $^{\circ}\text{C}$ 의 온도계수와 2.59 %/V의 변화율을 보인다. 제안하는 디지털 보정 기법은 디지털 시스템에 온-칩으로 응용될 경우에 추가적인 아날로그 핀을 사용하지 않으며, 따라서 외부 아날로그 핀을 통한 외부의 잡음 성분이 유입되지 않는다. 제안하는 회로의 레퍼런스 전압 구동회로는 저전력의 증폭기와 작은 크기의 내부 캐패시터를 사용하여 추가적인 칩 면적 및 전력 소모 없이 고속 동작에 적합하도록 설계되어 외부 바이패스 캐패시터가 없더라도 고주파수의 잡음을 효과적으로 제거할 수 있다. 제안하는 전류 및 전압 레퍼런스 회로는 CMOS 공정만을 사용하는 시스템에 온-칩으로 구현될 경우 기존의 회로에 비해 비용, 칩 면적, 호환성, 전력 소모, 동작 속도 및 핀 제약 조건 면에서 장점을 가지며, 데이터 변환기, 모듈레이터, 센서 등의 아날로그 신호를 다루는 대부분의 시스템에 직접적인 응용이 가능하다.

참 고 문 헌

- [1] R. A. Blauschild, P. A. Tucci, R. S. Muller, and R. G. Meyer, "A New NMOS Temperature-stable Voltage Reference," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 767~773, Dec. 1978.
- [2] H. J. Oguey and B. Gerber, "MOS Voltage Reference Based on Polysilicon Gate Work Function Difference," *IEEE J. Solid-State Circuits*, vol. SC-15, pp. 264~269, June 1980.
- [3] T. Furuyama, Y. Watanabe, T. Oshawa, and S. Watanabe, "A New On Chip Voltage Converter for Submicrometer High-Density DRAM's," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 437~441, June 1987.
- [4] K. Itoh, "Trend in Megabit DRAM Circuit Design," *IEEE J. Solid-State Circuits*, vol. 25, pp. 778~789, June 1990.
- [5] H. J. Song and C. K. Kim, "A Temperature-Stabilized SOI Voltage Reference Based on Threshold Voltage Difference Between Enhancement Depletion NMOSFET's," *IEEE J. Solid-State Circuits*, vol. SC-28, pp. 671~677, June 1993.
- [6] S. H. Lee and Y. Jee, "A Temperature and Supply-Voltage Insensitive CMOS Current Reference," *IEICE Trans. Electron.* vol. E82-C, pp. 1562~1566, Aug. 1999.
- [7] K. Khanoyan, F. Behbahani, and A. A. Abidi, "A 10b, 400 MS/s Glitch-Free CMOS D/A Converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1999, pp. 73~76.
- [8] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz," in *ISSCC Dig. Tech. Papers*, pp. Feb. 2000, pp. 38~39.
- [9] S. H. Lewis and P. R. Gray, "A Pipelined 5-MSample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 954~961, Dec. 1987.
- [10] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MSample/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. SC-34, pp. 599~606, May 1999.
- [11] B. S. Song and P. R. Gray, "A Precision Curvature-Compensated CMOS Bandgap Reference," *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 634~643, Dec. 1983.

저 자 소 개



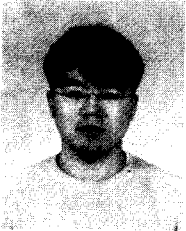
曹永載(正會員)

1999년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중(8월 졸업 예정). <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임.>



池龍(正會員)

第31卷 A編 第3號 參照
현재 : 서강대학교 전자공학과 교수.



裴鉉熙(正會員)

2002년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임.>



李承勳(正會員)

1984년 : 서울대학교 전자공학과 학사. 1986년 : 서울대학교 전자공학과 석사. 1991년 : 미 Illinois 대 (Urbana-Champaign) 공학 박사. 1986년 : KIST 위촉 연구원. 1987년~1990년 : 미 Coordinated Science Lab(Urbana) 연구원. 1990년~1993년 : 미 Analog Devices 사 senior design engineer. 현재 : 서강대학교 전자공학과 교수. <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>