

VHDL을 이용한 향상된 기능을 가지는 모터 제어용 주변장치의 통합 설계

Design of the Unified Peripheral Device with Advanced Functions for Motor Control using VHDL

박 성 수, 박 승 엽
(Seong-Su Park and Seung-Yub Park)

Abstract : For the convenient use of high performance microprocessor in motor control, peripheral devices are needed for converting its control signals to compatible ones for motor drive. Customized devices are not plentiful for these purposes and their functions do not usually satisfied designers specification. The designers used to implement these functions on FPGA or CPLD using hardware description language. Then, in this case unessential programs are needed for control the peripherals. In this paper, a unified device model that links peripheral devices, including especially the pulse width modulation controller and the quadrature encoder interface device, to an interrupt controller is proposed. Advanced functions of peripherals could be achieved by this model and unessential programs can be simplified. Block diagrams and flowcharts are presented to illustrate the advanced functions. This unified device was designed using VHDL. The simulation results were presented to demonstrate the effectiveness of the proposed scheme.

Keywords : VHDL, unified design, interrupt controller, PWM, QEP

I. 서론

마이크로프로세서의 발전에 힘입어 모터의 구동은 더욱 고속, 고정도의 제어를 실현하고 있고, 나아가 디지털 신호 처리용 마이크로프로세서(DSP)의 모터제어에의 적용은 150MFLOPS의 수준까지 도달하였으나[1], 이러한 고성능 마이크로프로세서의 능력을 모터 구동용으로 더욱 편리하게 이용하기 위해서는 제어 알고리즘에 의하여 결정된 출력 신호를 모터 구동에 적절한 신호로 변환하기 위한 PWM 신호 발생기, 모터로부터의 속도 또는 위치 신호를 마이크로프로세서에서 처리하기 쉬운 신호 형태로 변환하기 위한 엔코더 신호 처리기, 각종 센서 신호 변환기 등의 주변장치들이 필요하다. 그러나 이러한 기능을 가진 상용화된 디바이스들은 그다지 풍부하지 않으며, 고속 및 많은 양의 수학적 연산을 필요로 하는 모터제어를 구현하려는 설계자의 의도를 기능적으로 충분히 만족시키지 못하는 경우가 있으므로 이러한 기능 디바이스들을 각각 하드웨어 설계언어(Hardware Description Language)를 이용하여 설계하고 FPGA 또는 CPLD에서 구현하고 있다. 이와 같이 필요한 기능 디바이스들을 각각 독립적으로 구성하여 적용한 경우 디바이스들이 분리된 구조로 동작하게 되고, 또한 주변장치들의 동작상태를 관측하거나 주변장치와의 동기를 맞추기 위한 프로그램 코드들이 불가피하게 삽입되게 되는데, 이러한 프로그램 코드들은 제어이론을 구현함에 있어서 필수적인 요소들이 아니므로 프로그램 자원의 낭비라고 할 수 있다.

본 논문에서는 이러한 문제점을 개선하기 위하여 주변장치들을 하나의 인터럽트 제어기와 인터페이스 시킨 통합된 구조를 제안하였다. 제안한 모델을 채택함으로써 주변장치

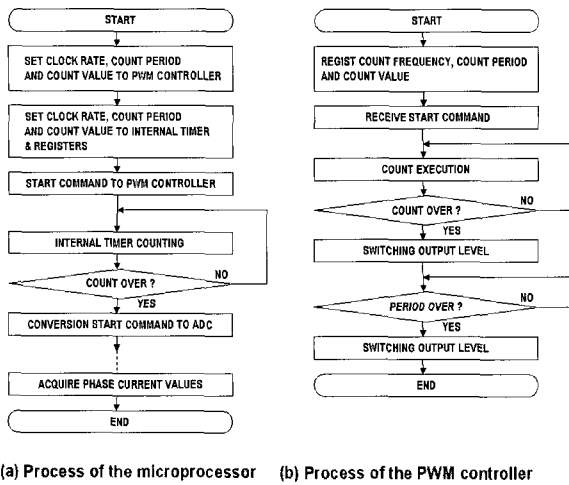
들의 기능, 특히 PWM 신호 발생기와 엔코더 신호 처리기의 기능을 향상시킬 수 있으므로 프로그램 자원을 효율적으로 이용할 수 있게 된다.

II장에서 일반적인 경우의 문제점에 대하여 기술하였고, III장에서 II장에서의 문제점을 해결하기 위한 향상된 기능과 설계기준 및 모델을 제안하고, 제안된 모델에 의한 제어 프로그램 코드와 일반적인 경우를 비교하여 기술하므로써 제안된 모델의 우수성을 설명하였고, IV장에서 ALTERA사의 FPGA인 ACEX1K 시리즈를 대상으로 VHDL을 이용하여 설계한 결과와 시뮬레이션 결과를 나타내어 본 논문의 유용성을 검증하였다.

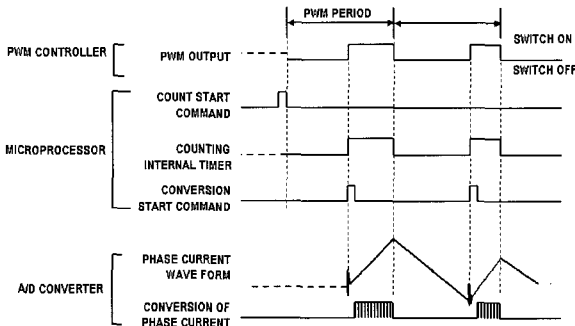
II. 일반적인 주변장치

1. 3상 PWM 신호 발생기

일반적인 3상 PWM 신호 발생기는 카운트를 위한 주파수, 주기 및 펄스폭에 관한 데이터를 마이크로프로세서로부터 받아 카운트를 시작하여 펄스폭 및 주기값이 일치하였을 때 출력의 상태를 전환한다. 이것이 일반적인 3상 PWM 신호 발생기 기능의 전부라 할 수 있다. 이때 어떠한 데이터나 정보가 마이크로프로세서로 보내어지지 않으므로, 만약 마이크로프로세서에서 PWM신호 발생기의 카운트 상태에 동기하여 어떤 동작을 하고자 한다면, 예를 들어 전력스위치가 턴온되어 있는 동안의 상전류를 얻고자 할 경우에는 마이크로프로세서는 내부의 타이머를 이용하여 또한하나의 새로운 카운터를 프로그램하여 PWM 신호 발생기의 카운트와 똑같은 카운트 동작을 하므로써 PWM 신호 발생기와 동기된 시점을 알아내고 전력스위치가 턴온되는 시점이라고 판단된 경우에 비로소 상전류의 검지를 위한 지령을 내릴 수 있게 된다. 그림 1은 이러한 동작의 프로세서를 나타낸 것이다.



(a) Process of the microprocessor (b) Process of the PWM controller



(c) Time chart of (a), (b)

그림 1. 일반적인 PWM과 상전류 감지.

Fig. 1. General PWM and phase current sensing.

그림 1(a)에서, 'INTERNAL TIMER COUNTING' 루틴과 'COUNT OVER' 루틴은 이후에 마이크로프로세서의 동작 시간과 프로그램 자원을 소비하는 불필요한 프로그램임을 보일 것이다. 일반적으로 DSP는 2개의 내부 타이머를 가지고 있는데, 시스템을 제어함에 있어서 어떤 제어시점과 동기를 시키고자 할 경우에는 더 많은 타이머가 필요하게 된다. 그러므로, 부족한 타이머를 프로그램으로서 만들어 이용하게 되고, 이러한 작업은 프로그램 자원을 소비하게 된다.

2. 속도 엔코더 펄스 신호 처리기

속도 엔코더 펄스 (quadrature encoder pulse, 이후 QEP) 신호처리기는 모터의 속도(또는 위치)를 관측하기 위하여 일반적으로 많이 사용되고 있다. 그런데, DSP와 같은 마이크로프로세서에는 독립적인 입출력을 가지고 있지 않으므로 엔코더의 신호를 입력하기 위하여 별도의 인터페이스를 필요로 한다. 엔코더의 신호를 카운터하기 위한 상용화된 디바이스들이 있으나, 이러한 디바이스들을 이용하기 위해서는 디바이스 선택 신호, 제어 지령 전송 버스 및 데이터 버스 조정 등의 인터페이스에 필요한 또다른 디바이스가 역시 필요하게 된다. 그러므로, 모터 제어용 하드웨어 설계자들은 기타의 필요한 주변회로들까지 포함한 회로를 FPGA 또는 CPLD와 같은 사용자들이 프로그램 가능한 디바이스를 이용하여 직접 설계하므로써 필요에 부응하고 있다.

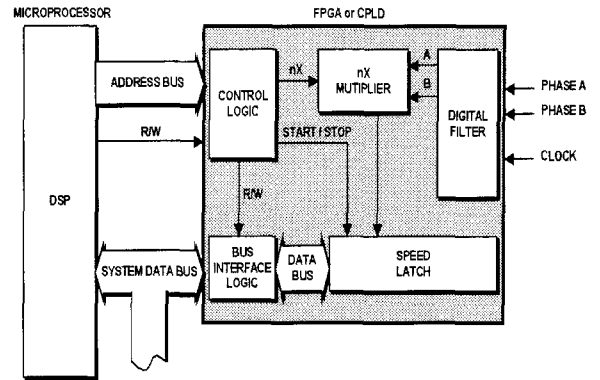
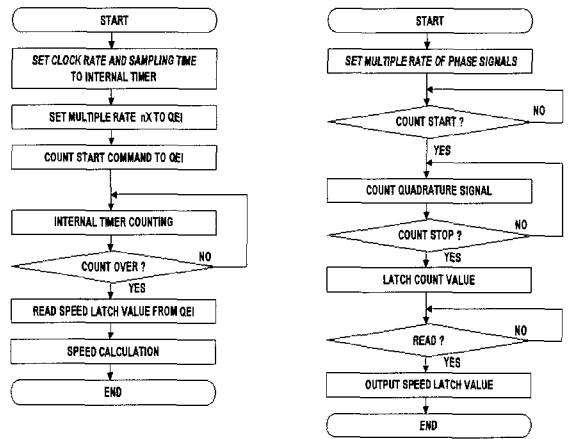


그림 2. 필드 프로그램된 주변회로의 예.

Fig. 2. Peripherals by field programmable device.



(a) The Microprocessor

(b) The Quadrature Encoder Interface(QEI)

그림 3. 그림 2를 이용한 신호흐름도.

Fig. 3. Operating flowcharts on the basis of Fig. 2.

그림 2는 이러한 디바이스의 예를 나타내고 있으며, 그림 3은 그림 2의 설명을 위한 신호흐름도를 나타낸 것이다. 그림 2의 블록도와 같은 경우, 속도 검지만을 수행하는데, 이것은 DSP와 같은 마이크로프로세서는 독립적인 입출력을 가지고 있지 않으므로 단일 신호선의 인터페이스가 어렵기 때문인 것으로 생각된다.

그림 3(a)에 있어서, 'INTERNAL TIMER COUNTING' 루틴과 'COUNT OVER' 루틴은 이후에 그림 1(a)에서와 마찬가지로 마이크로프로세서의 동작 시간과 프로그램 자원을 소비하는 불필요한 프로그램임이 보여질 것이다.

III. 향상된 기능을 가진 주변장치의 설계 모델

모터제어에 필요한 주변장치들을 인터럽트 제어기와 연결시키고 각 주변장치들로부터의 상태신호들을 인터럽트 제어를 통하여 마이크로프로세서로 전송하게 되면 II장에서 불필요한 루틴들이 제거 또는 간략화 되어질 수 있다. 본 논문에서는 인터럽트 제어를 중심으로 주변장치들을 통합함으로써 각 주변장치들의 기능을 향상시키는 설계모델을 제안하고, 향상된 기능을 나타내 보임으로써 II장에서의 일반적인 주변장치들의 기능과의 차이점을 보일 것이다.

표 1. 향상된 주변장치의 기능 및 설계기준.

Table 1. Functions and design references of the advanced peripheral devices.

종류	향상 기능	설계 기준
3상 PWM 신호 발생기	카운트 시작 신호	- 카운트 레지스터의 카운트 시작시 인터럽트 신호를 출력할 것
	비교 일치 신호	- 카운트 레지스터의 카운트 값과 비교 레지스터의 값이 일치하면 인터럽트 신호를 출력할 것 - 3상에 대하여 각각 하나씩 3종류를 발생시킬 것
	카운트 종료 신호	- 카운트 레지스터의 카운트 종료시 인터럽트 신호를 출력할 것
	기타 기능	- 각 기능신호는 인터럽트 컨트롤러에 의해 마이크로프로세서로 전송될 것 - PWM 출력신호의 형태는 'high active' 또는 'low active'를 선택 가능할 것 - PWM 출력신호는 비교상태에 관계없이 강제로 원하는 시기에 원하는 형태의 출력으로 제어할 수 있을 것
데드 타임 발생기		- PWM 출력신호 형태의 선택에 동조되어 합당한 형태로 작동할 것
QEP 신호 처리기	카운트 종료 신호	- 카운트 방식은 M/T방식으로 할 것 - 샘플링 신호가 입력되면 이후 첫 번째 엔코더 펄스 신호에서 카운트를 정지하고 카운트 종료 신호를 출력할 것 - 카운트 종료 신호는 인터럽트 컨트롤러에 의하여 마이크로프로세서로 전송될 것
	우선순위 제어	- 동시 입력된 복수개의 신호들을 정해진 우선순위에 따라 인터럽트 요구신호를 발생시킬 것
인터럽트 제어기	인터럽트 취소	- 래치된 인터럽트의 내용을 읽기 가능할 것 - 래치된 인터럽트의 내용을 취소할 수 있을 것
	인터럽트 마스크	- 원하는 인터럽트 신호를 선택하여 처리 가능할 것 - 동작 중 입력신호의 선택을 변경할 수 있을 것
	백터주소 출력	- 요구된 인터럽트 신호에 따른 백터주소를 출력할 것

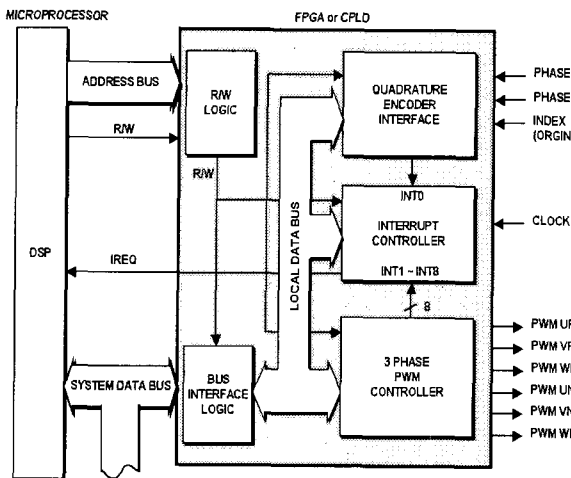


그림 4. 제안된 통합 디바이스 모델.
Fig. 4. Proposed unified device model.

통합될 주변장치로서는 간단하게 3상 PWM 신호 발생기, 데드타임 발생기, QEP 신호 처리기 및 이들 주변장치들로부터의 신호들을 마이크로프로세서에 대하여 인터럽트신호로 입력하도록 하기 위한 인터럽트 제어기로 하였다. 통합함으로써 각 기능 디바이스의 기능을 향상시키기 위한 확장 기능들을 표 1에 정의하고 설계기준을 도출하였다.

그림 4에 향상된 기능을 가지는 통합된 주변장치의 모델을 나타내었다.

1. 향상된 3상 PWM신호 발생기

3상 PWM 신호 발생기는 총 8개의 인터럽트 신호를 출력하므로써 모터제어 방식의 다양성을 제공할 수 있다. 예

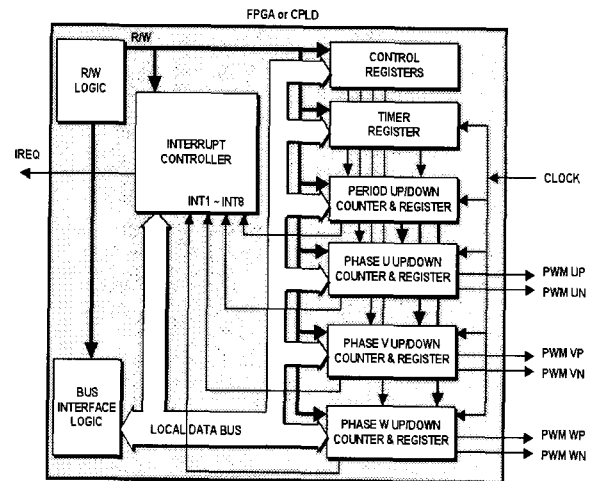


그림 5. 3상 PWM 신호 발생기.
Fig. 5. Three-phase PWM controller.

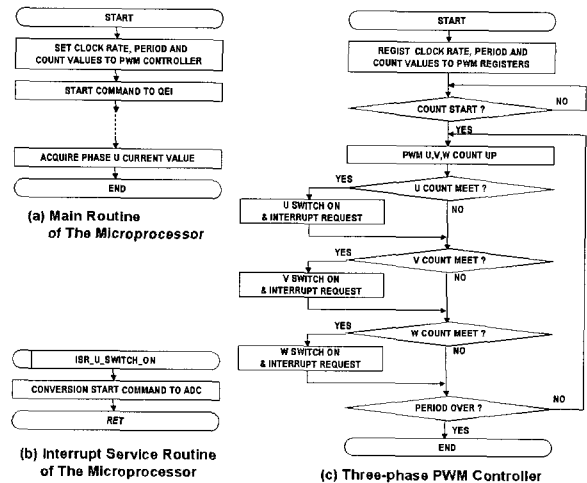


그림 6. 그림 5에 의한 신호흐름도.
Fig. 6. Flowcharts on the basis of Fig. 5.

를 들면, U상 카운트 일치신호를 인터럽트로 받아 이때에 전류제어를 위한 U상 전류를 샘플링하는 것이 가능하므로 최적의 시기에 전류제어를 하도록 설계할 수 있다.

그림 5 및 그림 6은 향상된 기능을 가지는 통합 디바이스 내부의 3상 PWM 신호발생기의 상세한 블록도 및 동작 신호흐름도를 나타낸 것이다.

그림 6(a)의 신호흐름도를 보면 그림 1(a)에서의 신호흐름도보다 매우 간략화 된 것을 볼 수 있다. 이것은 마이크로프로세서에서 수행하므로써 마이크로프로세서의 프로그램 자원을 소비하였던 그림 1(a)의 'INTERNAL TIMER COUNTING' 루틴과 'COUNT OVER?' 루틴이 그림 6(c)의 주변장치로 옮겨진 결과이다. 그림 7은 향상된 기능을 가지는 3상 대칭 PWM 신호 발생기의 동작 개념을 나타낸 것이다[2]. 즉, 각 상의 비교값이 일치할 때와, PWM주기의 시작시 및 카운트 종료시에 상태신호를 발생시키므로써 마이크로프로세서에서 별도의 카운트 프로그램을 구동하지 않아도 되는 것이다.

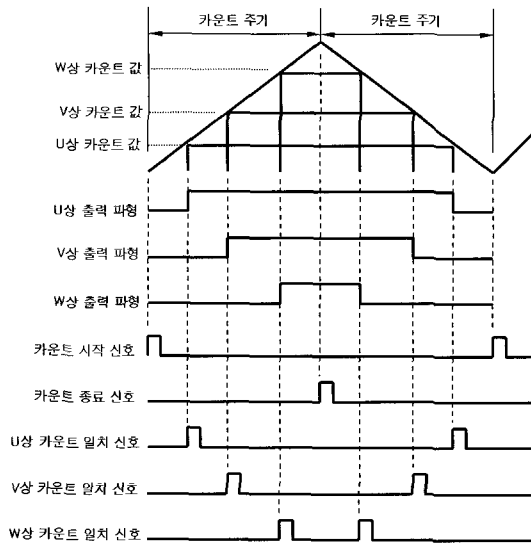


그림 7. 향상된 대칭 PWM 신호 발생 기능.
Fig. 7. Advanced function of the symmetric PWM.

2. 향상된 QEP신호 처리기

QEP(Quadrature Encoder Pulse) 신호 처리기는 모터의 위치 또는 속도 정보를 얻기 위하여 광학 엔코더로부터 출력되어진 직렬 펄스신호를 입력받아 주어진 샘플링 시간에서의 펄스수와 회전방향에 관한 정보를 출력하는 기능을 가진다. 마이크로프로세서에서는 이 펄스 수에 의하여 속도와 위치를 계산 할 수 있다. 일반적으로 저속에서와 고속에서의 단점을 보완한 M/T방법이 적용된다. 그림 8은 M/T방법을 나타낸 것이며, 속도 및 위치의 계산 방법에 있어서 먼저 속도는

$$v = \frac{(N_M + 1) \cdot f_{CLOCK}}{(N_T + dN_T) \cdot (PPR \cdot K)} \text{ [rps]} \quad (1)$$

또는

$$\omega = 2\pi \frac{(N_M + 1) \cdot f_{CLOCK}}{(N_T + dN_T) \cdot (PPR \cdot K)} \text{ [rad/s]} \quad (2)$$

로 계산되어지고, 이때 이동된 각도(또는 위치)는

$$\Delta\theta = 2\pi \frac{(N_M + 1)}{PPR \cdot K} \text{ [rad]} \quad (3)$$

여기서 f_{CLOCK} 은 [Hz] 이며, PPR(Pulse Per Revolution)은 엔코더의 분해능, K 는 엔코더 신호의 분주값 (그림 8에서 $K = 4$)이다[3].

QEP신호 처리기는 내부에 위치 카운터와 속도 카운터의 기능을 가짐과 동시에 샘플링 타임을 마이크로프로세서로부터 받아 정확한 데이터 획득시점에 위치 및 속도 데이터를 래치한 후, 이 상태에 대한 신호를 마이크로프로세서로 출력하도록 하므로써 위치 및 속도 데이터의 정확성을 유지하고 마이크로프로세서의 프로그램 자원을 절약할 수 있다. 그림 9 및 그림 10은 향상된 기능을 가지는 통합 디

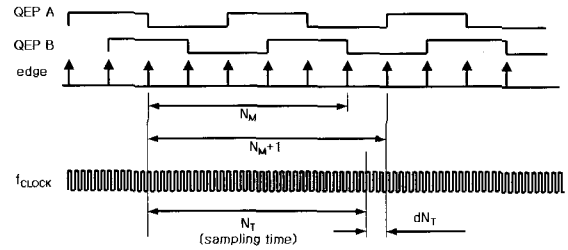


그림 8. QEP 신호처리 방법(M/T방법).
Fig. 8. M/T method.

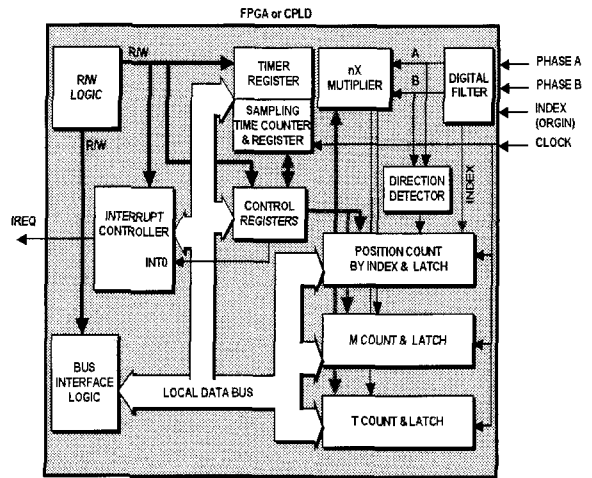


그림 9. QEP신호 처리기.
Fig. 9. QEP signal processor.

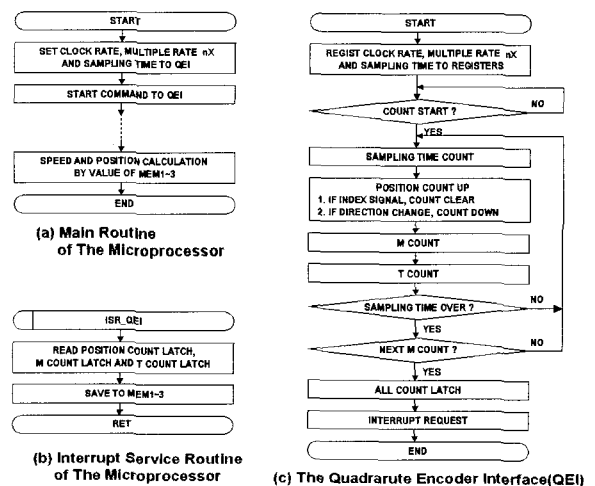


그림 10. 그림 9에 의한 신호흐름도.
Fig. 10. Flowcharts on the basis of Fig. 9.

바이스 내부의 M/T 방법을 구현하는 QEP신호 처리기의 상세한 블록도 및 동작 신호흐름도를 나타낸 것이다.

그림 10(a)의 신호흐름도를 보면 그림 3(a)에서의 신호흐름도보다 매우 간략화 된 것을 볼 수 있다. 이것은 마이크로프로세서에서 수행하므로써 마이크로프로세서의 프로그램 자원을 소비하였던 그림 3(a)의 'INTERNAL TIMER

COUNTING' 루틴과 'COUNT OVER?' 루틴이 그림 10(c)의 주변장치로 옮겨진 결과이다.

일반적으로 전류제어 루프보다 속도제어 루프가 십여배 느른 제어주기를 가지고 있는데, 전류 샘플링 루틴과 속도 샘플링 루틴이 동시에 발생한 경우 전류제어가 우선이므로 속도 샘플링의 지연이 발생되게 된다. 그러나, 본 논문의 향상된 QEP신호처리기와 같은 방식을 적용하면 전류 샘플링 및 제어로 인한 지연이 최소화될 뿐 아니라 속도 샘플링 주기와 일치하는 데이터를 획득할 수 있다.

3. 인터럽트 제어기

인터럽트 제어기는 기타의 주변장치들로부터 마이크로프로세서로의 신호의 흐름을 제어하는 장치이다.

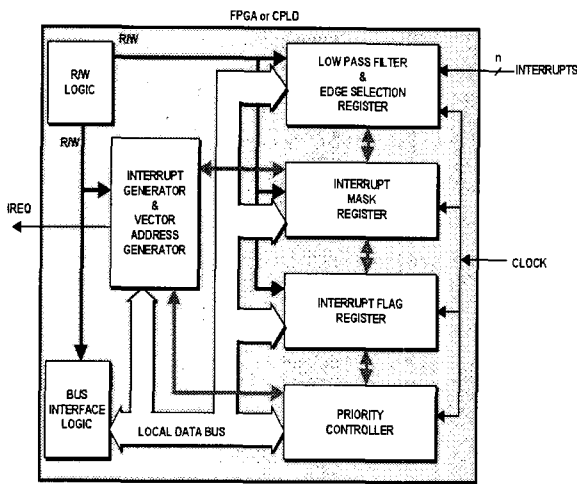


그림 11. 인터럽트 제어기.
Fig. 11. Interrupt controller.

앞서의 3상 PWM신호 발생기 및 QEP신호 처리기로부터의 특정 상태시 마이크로프로세서로 출력되는 많은 신호들의 신호원(signal source)을 인터럽트 요구신호와 함께 마이크로프로세서로 전달하며, 복수개가 동시에 발생된 신호들을 정해진 우선순위에 따라 마이크로프로세서로 전달하는 장치이다. 본 논문에서는 이 인터럽트 제어기를 이용하여

단일 입출력 기능을 가지지 않은 DSP와 같은 마이크로프로세서에 인터페이스된 주변장치들의 기능을 향상시킬 수 있었다. 그림 11은 인터럽트 제어기의 상세 블록도이다.

IV. VHDL을 이용한 설계 및 시뮬레이션 결과

개발언어로는 VHDL(Very high speed integrated circuit Hardware Description Language)을 사용하였고, 개발 툴은 MAX+Plus II Ver. 9.6을 이용하였으며, FPGA는 ALTERA사의 저가형 모델인 ACEX 1K 시리즈 중 10만개의 게이트를 가진 EP1K100QC208-3을 적용대상으로 하였다.

각 컴포넌트들은 세부적인 소자의 설계를 필요로 하지 않고 입출력관계의 알고리즘만으로 설계할 수 있는 동작적 모델링 기법을 주로 사용하였고, 설계한 각 컴포넌트들을 구조적 모델링으로 설계하여 전체적인 회로를 구현하였다 [4]. 디바이스 이용률을 표 2에 나타내었다.

표 2. 디바이스 이용률.

Table 2. Device Utilization.

Device	Memory Bits	Memory %Utilized	Logic Cells	Logic Cells %Utilized
3상PWM 제어기	0	0%	443	8%
QEP신호 처리기	0	0%	514	10%
인터럽트 제어기	0	0%	1316	26%

3상 PWM신호 발생기의 시뮬레이션 결과를 그림 12에 나타내었다. 시뮬레이션 조건은 PWM 주파수 20KHz, 대칭형 PWM 및 1 μs 데드타임의 경우로 한 것이다. 그림 12에서 U, V, W 각상의 턴온 신호의 시작점과 대칭형 PWM의 UP 카운트 최고점 및 DOWN 카운트 최저점에서 각각 인터럽트 신호를 출력하여 총 8개의 인터럽트 신호를 출력하고 있음을 볼 수 있다.

QEP신호 처리기의 시뮬레이션 결과는 그림 13에 나타내었다. 시뮬레이션 조건은 2000ppr(pulse per revolution)의 엔]

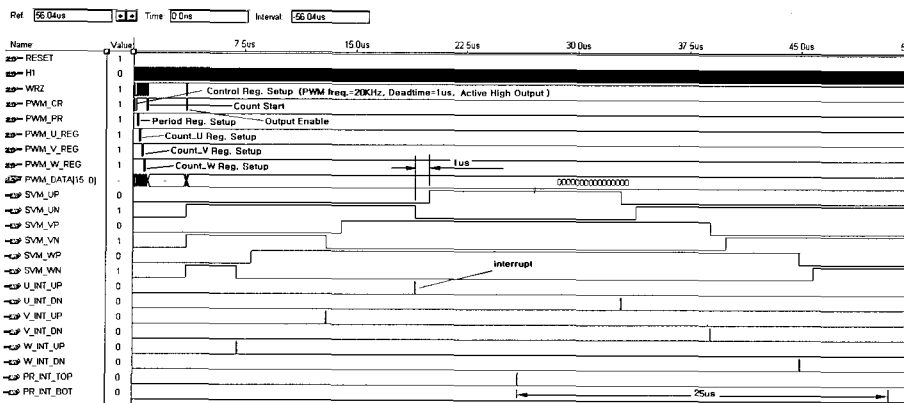


그림 12. 3상 PWM신호 발생기의 시뮬레이션 결과.
Fig. 12. Simulation result of three-phase PWM signal generator.

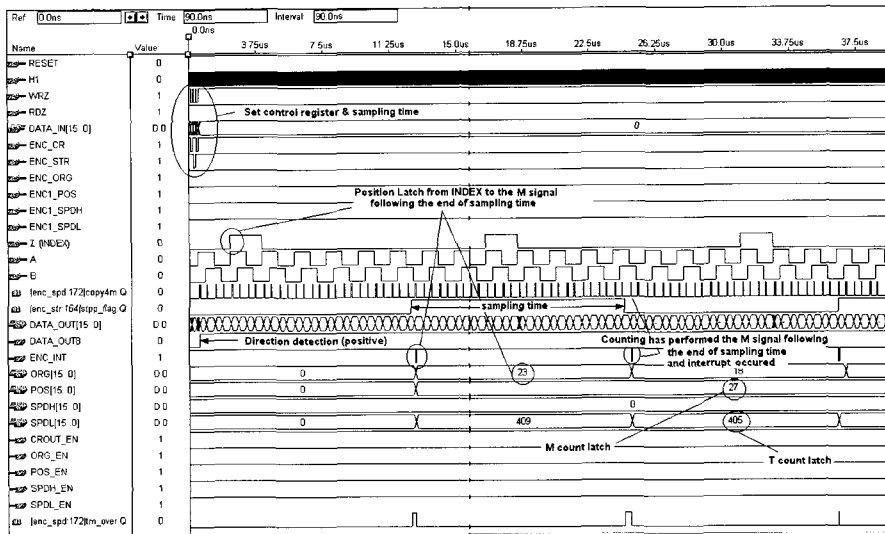


그림 13. QEP신호 처리기의 시뮬레이션 결과.
 Fig. 13. Simulation result of QEP signal processor.

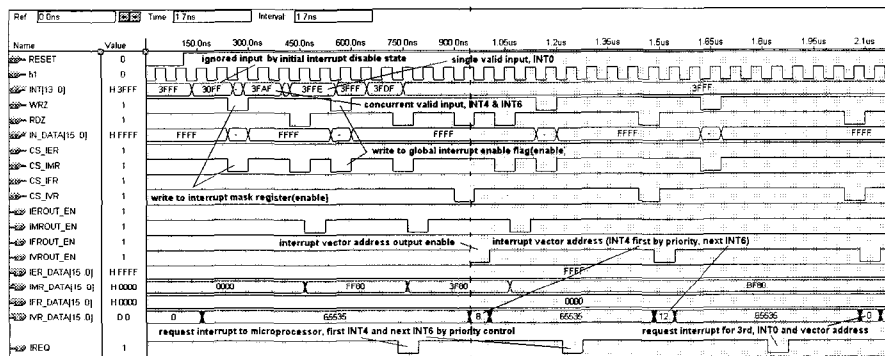


그림 14. 인터럽트 제어기 시뮬레이션 결과.
 Fig. 14. Simulation result of interrupt controller.

코더를 적용하고, 샘플링 타임 12 μs 및 16520rpm의 속도로 회전시로 한 것이다. 그림 13에서 샘플링 타임이 종료되고 난 직후의 M신호에서 위치 및 속도카운트가 종료되고 인터럽트 신호를 출력하는 것을 볼 수 있다.

인터럽트 제어기의 경우는 전체 14채널의 인터럽트중 먼저 인터럽트가 허가되기 전에 INT8~INT11을 입력하여 초기상태에서의 인터럽트 금지조건을 검증하고, 다음으로 INT0~INT6의 7개 채널을 허가상태로 하고 최종적인 인터럽트 요구신호를 출력하는 글로벌 인터럽트 허가/금지 플래그를 금지상태로 한 조건에서 INT4와 INT6가 동시에 입력되도록 하고, 이어서 INT0가 입력되는 시점에서 글로벌 인터럽트 허가/금지 플래그를 허가상태로 하여 인터럽트 제어기의 우선순위 제어, 인터럽트 래치 및 입력된 인터럽트에 상당하는 인터럽트 벡터 주소 출력상태를 시뮬레이션 하였다. 그림 14에 인터럽트 제어기의 시뮬레이션 결과를 나타내었다.

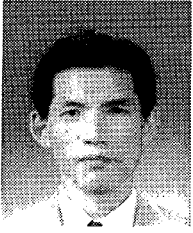
V. 결론

본 논문에서는 고속, 고정도의 모터제어를 구현하고자 DSP등의 고성능 마이크로프로세서를 이용한 제어 시스템에

있어서, 모터제어에 필요한 주변장치들을 각각 독립적으로 구현함으로써 주변장치들의 동작상태를 관측하거나 주변장치와의 동기를 맞추기 위하여 마이크로프로세서의 프로그램 자원을 소비하는 불필요한 프로그램들이 삽입되는 문제점들을 나타내고, 이러한 문제점을 개선하기 위하여 주변장치들을 하나의 인터럽트 제어기와 인터페이스 시킨 통합된 구조를 제안하였으며, 향상된 기능을 이용하여 문제점을 해결할 수 있음을 보였다. 제안한 모델은 VHDL을 이용하여 설계하고 시뮬레이션함으로써 그 유용성을 검증하였다.

참고문헌

- [1] B. H. Bae, "Implementation of sensorless vector control for super-high speed PMSM of turbo-compressor", *IAS Annual Meeting, Chicago, Illinois USA, 2001*.
- [2] Texas Instruments, *TMS320F243, F241, C242 DSP Controllers User's Guide*.
- [3] 황정원, "VHDL 및 FPGA 칩을 이용한 서보시스템의 속도 검출부 및 공간벡터 변조부의 구현", *창원대학교 석사학위 논문*, pp. 13-14, 1999.
- [4] J. A. Peter, "*The designer's guide to VHDL*", chapter 1, Morgan Kaufmann Publishers, San Francisco, California.



박 성 수

1958년생. 1987년 영남대 전자공학과 졸업. 창원대 전기전자제어공학과 석사(1999). 1986년~2001년 LG전자 책임연구원. 1999년~현재 창원대 전자공학과 박사과정. 관심분야는 시스템 제어 및 모터제어 응용.



박 승 엽

1958년생. 1981년 고려대 전기공학과 졸업. 동대학원 석사(1984), 동대학 박사(1988). 1988년~현재 창원대학교 전자공학과 교수. 관심분야는 플랜트 제어 및 고장진단, 모델링.