

Design and Measurement of an SFQ OR gate composed of a D Flip-Flop and a Confluence Buffer

K. R. Jung*,^a, J. H. Park^a, H. R. Lim^a, Y. -R. Jang^b, J. H. Kang^b, T. S. Hahn^a

^a Korea Photonics Technology Institute, Gwangju, Korea

^b University of Incheon, Incheon, Korea

Received 20 August 2002

D Flip-Flop과 Confluence Buffer로 구성된 단자속 양자 OR gate의 설계와 측정

정구락*,^a, 박종혁^a, 임해용^a, 장영록^b, 강준희^b, 한택상^a

Abstract

We have designed and measured an SFQ(Single Flux Quantum) OR gate for a superconducting ALU (Arithmetic Logic Unit). To optimize the circuit, we used WRspice, XIC and Lmeter for simulations and layouts. The OR gate was consisted of a Confluence Buffer and a D Flip-Flop. When a pulse enters into the OR gate, the pulse does not propagate to the other input port because of the Confluence Buffer. A role of D Flip-Flop is expelling the data when the clock is entered into D Flip-Flop. For the measurement of the OR gate operation, we attached three DC/SFQs, three SFQ/DCs and one RS Flip-Flop to the OR gate. DC/SFQ circuits were used to generate the data pulses and clock pulses. Input frequency of 10kHz and 1MHz were used to generate the SFQ pulses from DC/SFQ circuits. Output data from OR gate moved to RS flip-Flop to display the output on the oscilloscope. We obtained bias margins of the D Flip-Flop and the Confluence Buffer from the measurements. The measured bias margins were $\pm 38.6\%$ and $\pm 23.2\%$ for D Flip-Flop and Confluence Buffer, respectively. The circuit was measured at the liquid helium temperature.

Keywords : SFQ, OR-gate, superconductor

I. 서론

초전도 디지털 소자는 기존의 반도체 소자보다 100배 이상의 작동 속도와 1000분의 1이하의 소비전력을 가지고 있어, 한계점에 도달하고 있는 반도체 소자 이후의 대안으로 대두

되고 있다[1]. 이러한 초전도 디지털 소자가 반도체 소자의 자리를 대신할 경우 그 파급효과를 예상하여, 미국[2][3], 일본[4] 그리고 유럽[5]에서는 이에 대한 연구가 활발히 수행되어지고 있다.

본 연구에서는 하나의 D Flip-Flop과 Confluence Buffer로 구성된 단자속 양자(SFQ: Single Flux Quantum) OR gate를 설계하였으며, 제작된 소자를 측정하였다. 제작된 칩은 5개의

*Corresponding author. Fax : +82 2 573 8623
e-mail : krjung@kopti.re.kr

초전도(Nb)층, 4개의 절연(SiO_2)층, 1개의 접합(Al_2O_x), 1개의 저항(Mo)층 그리고 전극(Ti/Au)층이 Si 기판위에 증착된다. 본 연구에서 설계한 칩을 제작하기 위해서는 총 10장의 마스크가 필요하며, 13번의 증착 공정, 9번의 식각 공정 그리고 전극형성에 필요한 한번의 Lift-off 공정을 거쳐야 한다. 칩의 제작은 Hypres사에서 6인치 Si 기판에 제작하였으며, OR gate 칩의 크기는 5mm x 5mm이다.

단자속 양자 OR gate의 설계는 회로에 대한 시뮬레이션, layout 그리고 칩의 설계 순으로 수행하였다. 칩 설계에서는 외부의 signal을 단자속 펄스로 변환하여 주기 위한 DC/SFQ 회로와 OR gate의 출력 값인 단자속 양자 펄스를 DC voltage로 변환하여 주기 위한 SFQ/DC 및 RS Flip-Flop 회로를 삽입하여, OR gate의 입력 부분과 출력 부분에 각각 연결하였다. SFQ/DC 회로는 단자속 양자 펄스의 생성 유무를 확인하기 위하여 SFQ/DC 회로의 출력부분에 부착하였으며, RS Flip-Flop은 OR gate의 결과 값을 측정하기 위하여 OR gate의 출력 부분에 연결하였다. 단자속 OR gate의 설계 software는 CAD 프로그램인 XIC[6]와 시뮬레이션 software인 WRspice[7] 그리고 인덕턴스 추출 프로그램인 Lmeter를 사용하였다. 측정은 임의 파형발생기를 이용하여 신호를 입력하였으며, 오실로스코프를 사용하여 측정 결과를 관측하였다. 칩의 측정온도는 액체 헬륨온도(4.2 K)로 하였으며 오실로스코프의 대역폭의 제한으로 인하여 1kHz와 1MHz를 선택하였다.

II. 본론

Fig. 1은 단자속 양자 OR gate의 회로도를 나타내고 있다. 본 연구에서 사용된 OR gate는 하나의 Confluence Buffer(BJ11, BJ12, BJ21, BJ22, BJ1)와 D Flip-Flop(BJ2, BJ3, BJ4, BJ5)으로 구성되어 있다. IN1과 IN2에서 들어온 펄스는 Confluence Buffer를 거쳐 D Flip-Flop으로 들어가게 되며, D Flip-Flop에 저장된 데이터는 clock 펄스가 D Flip-Flop에 입력 되었을 때 D Flip-Flop을 빠져 나가게 된다. 여기에서 Confluence Buffer의 역할은 IN1이나 IN2에서

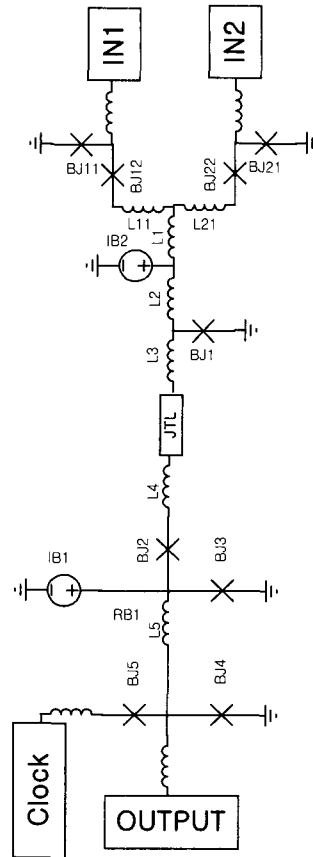


Fig. 1. Circuit diagram of an RSFQ OR gate.

펄스가 입력되면, 그 펄스가 IN2나 IN1 방향으로 역행하는 것을 막아주는 역할을 한다. 반도체의 회로에서 보면 다이오드와 비슷한 기능을 하는 회로이다. D Flip-Flop의 기능은 클럭 주기 사이에 두개의 펄스가 들어와도 클럭 펄스가 입력되었을 때 하나의 펄스만 출력시킨다.

Confluence Buffer의 동작을 살펴보면, IN1에만 펄스가 입력 되면, 이 펄스는 L11을 지나 L21과 L1의 양쪽 방향으로 진행하게 된다. L21으로 들어간 펄스는 BJ22가 스위칭을 하게 되어 더 이상 진행을 하지 못하고 사라져 버리고 L1으로 진행한 펄스는 BJ1을 스위칭 시키고 계속 진행하게 된다. IN2에만 펄스가 입력되었을 때도 IN1과 대칭적인 형태를 가지고 있어 같은 결과를 보여준다. 여기서는 BJ12가 스위칭을 일으켜 IN1의 방향으로 펄스가 진행하지 못하도록 하고, L1의 방향으로만 진행하도록

한다. IN1과 IN2에서 동시에 펄스가 들어오면 BJ12와 BJ22는 스위칭을 일으키지 않고 BJ1만 스위칭을 일으켜서 L3방향으로 펄스가 진행하게 된다. D Flip-Flop의 동작은 BJ3-L5-BJ4의 루프에 단자속 양자가 저장되어 있는 상태와 저장되어 있지 않은 두개의 상태로 구분할 수 있다. 저장되어 있지 않은 상태로 클럭에서 펄스가 입력되게 되면, BJ5가 스위칭을 하게 되어 클럭 펄스는 더 이상 진행을 하지 않게 되고, OR gate에서 “0”의 결과 값을 출력되게 된다. 그러나, BJ3-L5-BJ4의 루프에 단자속 양자가 저장되어 있는 상태에서는 클럭 펄스는 BJ5가 스위칭이 되지 않고, BJ4가 스위칭을 하게 되어 output 방향으로 펄스를 내보내게 되어 OR gate에서 “1”의 결과 값이 출력되게 된다. Fig. 2는 단자속 양자 OR gate회로(Fig. 1)의 시뮬레이션 결과를 보여 주고 있다. IN1이나 IN2에서 데이터가 입력되었을 때만 “1”의 결과값을 출력하고, IN1과 IN2에서 데이터가 입력되지 않았을 때에는 “0”의 결과 값을 출력함으로써 OR gate로서 잘 동작하고 있음을 알 수 있다.

Fig. 3는 단자속 양자 OR gate의 Layout을 보여 주고 있다. Layout에서는 Lmeter라는 초전도 선의 인덕턴스를 추출할 수 있는 프로그램을 사용하였으며, layout된 초전도 선의 폭과 길이를 조정하면서 Lmeter에서 추출한 인덕턴스와 시뮬레이션에서 사용된 인덕턴스가 서로 같아지도록 하였다.

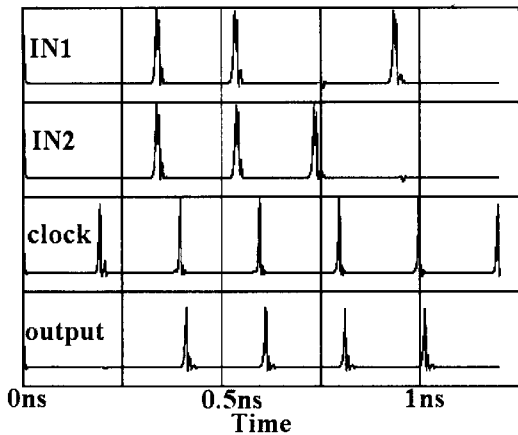


Fig. 2. Simulated voltage vs time graph of an RSFQ OR gate. The graph shows SFQ pulses of clock, data IN1, data IN2 and output.

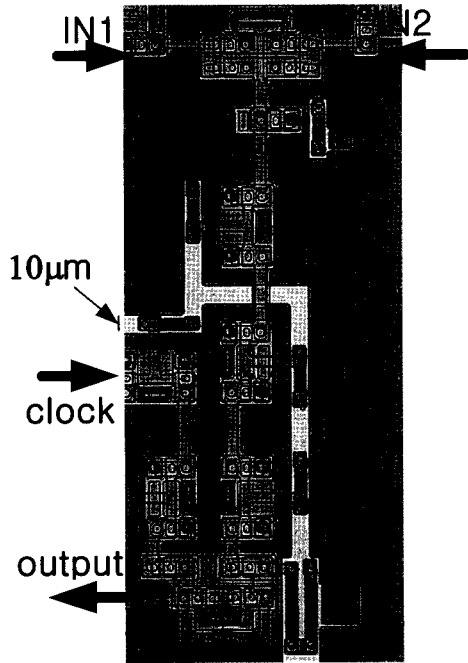


Fig. 3. Photograph of an RSFQ OR gate.

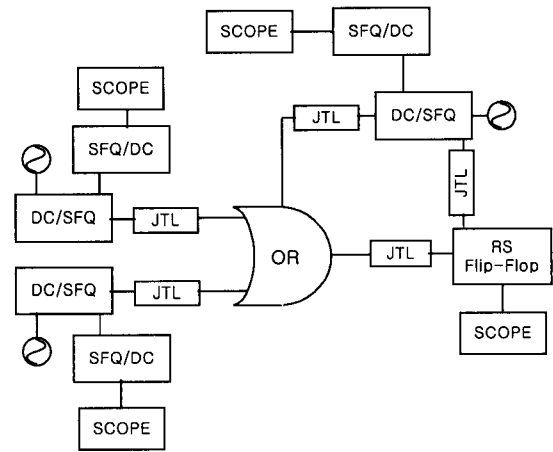


Fig. 4. Measurement block diagram of an RSFQ OR gate which uses an RS Flip-Flop.

Fig. 4와 Fig. 5는 OR gate에 DC/SFQ 회로, SFQ/DC 그리고 RS Flip-Flop이 연결된 개략도와 현미경 사진을 보여 주고 있다. OR gate에 데이터 신호를 입력하기 위해서 DC/SFQ 회로를 사용하였으며, 이 DC/SFQ 회로에 SFQ/DC 회로를 연결하여 DC/SFQ 회로에서의 펄스 발생 유무를 관측할 있도록 하였다. DC/SFQ 회로

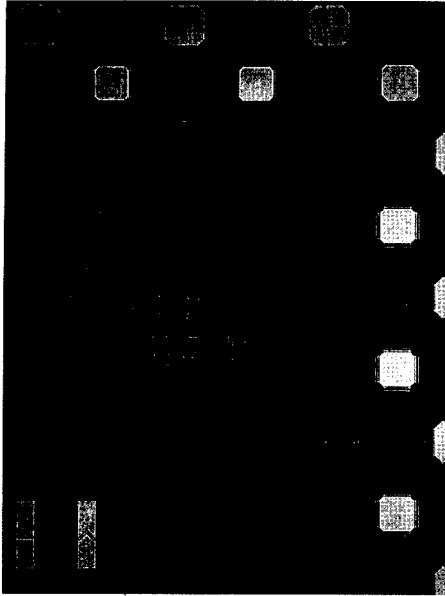


Fig. 5. Photograph of an RSFQ OR gate chip including the measurement structure.

는 외부의 임의의 파형 발생기에 연결되어 있어, 이 파형 발생기에서 입력된 신호를 단자속 양자 펄스로 변환하는 기능을 하며, 두개의 출력 부분이 있어 두개의 펄스를 발생시킨다. 이 두 펄스는 주기가 같고 서로의 주기 사이에 위치하게 된다. DC/SFQ 회로에서 만들어진 클럭 신호는 OR gate와 RS Flip-Flop 부분에 연결시켰으며, 이 OR gate와 RS Flip-Flop을 reset 시키는 역할을 한다. 단자속 양자소자의 결과 값은 SFQ/DC 회로와 RS Flip-Flop의 두가지 회로로 측정을 하는데, SFQ/DC회로는 두개의 펄스가 입력되었을 때 하나의 출력 신호를 얻을 수 있어 논리회로 측정을 할 때 결과값을 쉽게 알아볼 수 없지만, RS Flip-Flop은 하나의 데이터를 입력하고 하나의 출력 신호를 얻을 수 있어 논리회로 측정에 용이하다.

Fig. 6과 Fig. 7은 단자속 양자 OR gate의 오실로스코프를 사용한 10kHz와 1MHz 측정결과를 보여 주고 있다. 데이터 IN1과 IN2의 값이 모두 “0” 일 때만 “0”의 출력 값을 갖고, IN1과 IN2 중에 어느 하나가 “1”이거나 모두 “1”일 때는 결과 값이 “1”이 됨을 보여주고 있어 OR gate로서 동작을 하고 있음을 알 수 있다. OR gate 칩은 24 핀 high speed probe에 장착하여 액

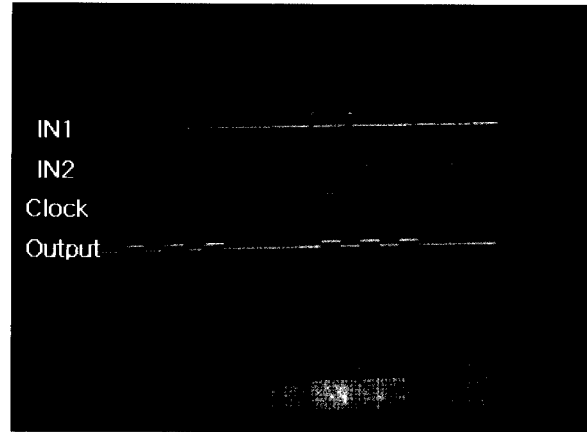


Fig. 6. Scope traces of an RSFQ OR gate measured at 10kHz. An oscilloscope and an arbitrary waveform generator were used in this test.

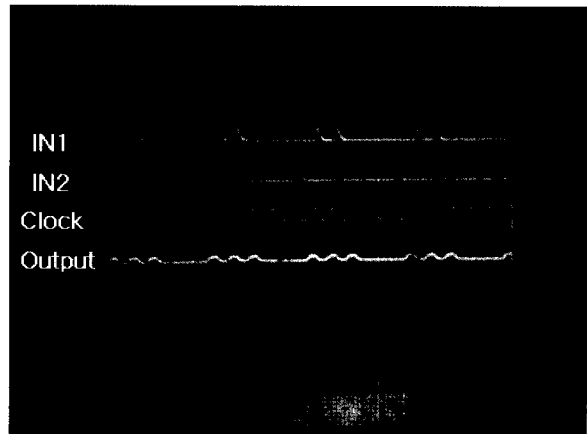


Fig. 7. Scope traces of an RSFQ OR gate measured at 1MHz.

체 헬륨 속에 담가진 상태 하에서 10kHz와 1MHz로 측정을 하였다. bias 측정 마진은 Confluence Buffer가 $\pm 38.6\%$ 로 나왔으며, D Flip-Flop은 $\pm 23.2\%$ 을 얻었다.

III. 결론

본 연구에서는 Confluence Buffer와 D Flip-Flop으로 구성된 단자속 양자 OR gate의 시뮬레이션과 layout을 수행하였으며, 제작된 칩의 동작유무를 10kHz와 1MHz로 측정을 하였다.

본 연구에서 사용된 설계 프로그램은 CAD software인 XIC, 시뮬레이션 software인 WRspice 그리고 layout상태에서 초전도 선의 인덕턴스를 추출할 수 있는 Lmeter를 사용하였다. 제작된 칩의 측정은 24핀 high speed probe에 장착해 액체 헬륨 온도(4.2 K)에서 다채널 current source, 임의 파형 발생기 그리고 1mV/div의 분해능을 갖는 8채널 오실로스코프를 사용하였다. 설계된 단자속 양자 OR gate 소자는 OR gate의 진리 표를 만족시킴을 알 수 있었고, 측정 bias 마진은 Confluence Buffer가 $\pm 38.6\%$ 로 나왔으며, D Flip-Flop은 $\pm 23.2\%$ 을 얻을 수 있었다.

Acknowledgments

본 연구는 21세기프런티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다. 본 연구의 측정에 도움을 준 Hypres 사의 연구팀에 감사드립니다. 인천대학교의 연구팀은 과학재단지정 멀티미디어 연구센터의 연구비지원에 감사 드립니다.

References

- [1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson-Junction Technology for Sub-Terahertz Clock-Frequency Digital Systems", IEEE Trans. Appl. Supercond., 1, 3-28, (1991).
- [2] P. Bunyk and P. Litskevitch, "Case Study in RSFQ design: Fast Pipelined Parallel Adder", IEEE Trans. Appl. Supercond., 9, 3714-3720, (1999).
- [3] Alex F. Kirichenko, Saad Sarwana, Oleg A. Mukhanov, Igor V. Vernik, "RSFQ Time Digitizing System", IEEE Trans. Appl. Supercond., 11, 978-981, (2001).
- [4] Shuichi Nagasawa, Hideaki Numata, Yoshihito Hashimoto and Shuichi Tahara, "High-frequency Clock Operation of Josephson 256-word x 16-bit RAMs" IEEE Trans. Appl. Supercond., 9, 3708-3713, (1999).
- [5] Pascal Febvre, Jean-Claude Berthet, David Ney, Agnes Roussy, Jun Wu Tao, Gilbert Angenieux, "On-Chip High-Frequency Diagnostic of RSFQ Logic Cells", IEEE Trans. Appl. Supercond., 11, 284-287, (2001).
- [6] <http://www.wrcad.com/xic.html>
- [7] <http://www.wrcad.com/wrspice.html>