

DC 파라미터 검사 시스템 설계에 관한 연구

A Study on the Design of DC Parameter Test System

신 한중, 김 준식

Han-Joong Shin, Joon-Seek Kim

요 약

본 논문에서는 반도체 소자의 DC 파라미터에 대한 특성을 검사하는 DC 파라미터 검사 시스템을 개발하였다. 개발된 시스템은 IBM-PC와 연결하기 위한 CPLD(Complex Programmable Logic Device)로 구현된 연결부와 ADC/DAC부, 전압원/전류원, 가변저항부, 측정부로 구성되어 있다. 제안된 시스템에서 정전압원과 정전류원은 하나의 회로로 설계하여 외부의 컴퓨터에서 주어지는 모드명령에 의해 선택되도록 하였으며, VHDL(VHSIC Hardware Description Language)을 사용하여 회로를 제어하고 신호를 변환하는 기능을 CPLD로 설계하였다. 제안된 시스템은 두 개의 채널을 가지고 있으며, VFCS(Voltage Force Current Sensing) 모드와 CFVS(Current Force Voltage Sensing) 모드로 동작할 수 있도록 하였다. 검사 전압의 범위는 0[V]-10[V]까지이고, 검사전류의 범위는 0[μ A]-100[μ A]까지로 다이오드를 사용하여 설계된 회로의 성능을 검증하였다.

Abstract

In this paper, we developed the DC parameter test system which inspects the property of DC parameter for semiconductor products. The developed system is interfaced by IBM-PC. It is consisted of CPLD part, ADC (Analogue to Digital Converter), DAC (Digital to Analogue Converter), voltage/current source, variable resistor and measurement part. In the proposed system, we have designed the constant voltage source and the constant current source in a part. The CPLD part is designed by VHDL, which it generates the control and converts the serial data to parallel data. The proposed system has two test channels and it operates VFCS mode and CFVS mode. The range of test voltage is from 0[V] to 10[V], and the range of test current is from 0[μ A] to 100[μ A]. The diode is tested. The test results have a good performance.

key words : dc parameter, test system, current force voltage sensing, voltage force current sensing

I. 서 론

국내 및 국외에서 생산하는 반도체는 빠르게 성장하는 산업중 하나이며, 한국의 주력 수출 상품이다[1]. 과거 전 세계적인 수요증가와 생산 업체의 설비 확장을 통해 미국과 일본이 독점하고 있던 반도체 시장에서의 자신의 영역을 확장해 왔다[2-3]. 앞으로도 컴퓨터와 가전기기가 발전할수록 반도체 소자 및 초소형 반도체 소자에 대한 성능과 용량에 대한 욕구는 증대될 것이다.[4] 이러한 반도체는 장치 산업이라는 특성으로 인해, 생산과 검사를 위한 정밀한 설비를 포함한다. 국내에는 생산과 검사에 관련된 장비를 생산하는 업체가 거의 없을 뿐 아니라, 생산제품도 몇몇 제품에 한정되어 있어, 대부분의 설비를 수입에 의존하고 있다[5]. 고가의 장비를 수입하면 제품에 대한 유지/보수/개선도 외국업체에 의존할 수밖에 없다. 따라서 이러한 문제를 해결하기 위해서는 수입 제품에

대한 외국 의존도를 낮추고 해당 기술을 국내 자체 보유함으로써, 장비 수입을 대체하고, 나아가서 새로운 장비의 개발이 필요하다. 제조 기술의 발전에 기인하여, 가격과 수입이 급격히 감소하였으며, 이러한 이익 양상은 고가의 새로운 반도체 및 메모리 테스터 장비를 구입해야하는 제조회사의 능력을 감소시킨다[6]. 대신에 모듈 제조회사는 적절한 소비량 대 생산단가를 제공하기 위하여 저렴한 테스터 장비를 선호한다. 본 논문에서는 반도체 테스터 장비인 DC parameter test system을 제어하기 쉬운 연산증폭기를 사용하여 개발하였으며, 반도체 소자를 대상으로 테스트 및 모의실험을 통해 검증하였다.

본 논문의 구성은 I 장 서론에 이어서 II 장에서는 현재 반도체 시장에서 사용되고 있는 반도체 테스트의 종류에 대해서 설명하고, III 장에서는 DC parameter test system의 하드웨어 구현에 따른 회로의 각 부분별 설명과 동작에 대해 기술하고 있다. IV 장에서는 구현된 테스

트 시스템의 성능과 모의실험 결과, 실제 부하를 연결하여 시험한 결과에 대해서 서술하고, 마지막으로 V장에서는 제안된 테스트 시스템에 대한 결론과 앞으로 더 연구되어야 할 과제에 대해서 언급하였다.

II. 반도체 테스트 종류

반도체 테스트의 목적은 불량소자를 검출하고 과잉 분석과 오류 데이터를 제조에 반영한 생산력 향상, 스트레스를 가해서 초기 불량가능 소자의 검출 및 대외적인 질적 신뢰성 확보에 있다. 이러한 테스트는 크게 웨이퍼 탐침(wafer probing)과 패키지 테스트(package test)로 나누어지며, 전체적인 개념도는 그림 1[7]과 같다.

웨이퍼 탐침은 불량 소자를 검출하여 패키지 테스트 생산력과 과잉을 극대화하기 위해서 실시한다. 이는 테스트 시스템과 자동 탐침(automatic probe)을 이용하여 약 85°C의 온도에서 실시하는 것으로서 전처리 테스트와 후처리 테스트로 구분된다[8].

전처리 테스트의 목적은 패키지 테스트와 테스트를 통한 양품을 극대화하고 최소한의 테스트 패턴 수행을 통한 테스트 시간을 최소화하는데 그 목적이 있으며, 양품과 불량품을 분류하며, 불량품인 경우 수리하여 양품화 가능여부를 판단하고, 양품화 가능시 재사용 가능 여부를 판단한다. 여기에는 DC parameter test, AC parameter test, function test 등이 있다.

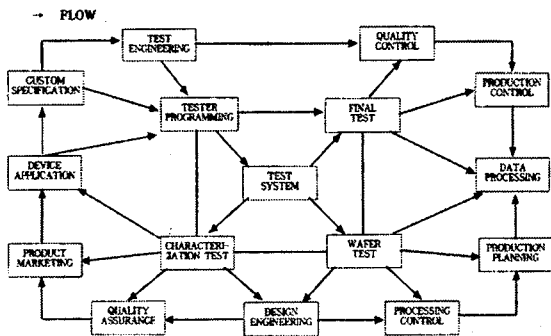


그림 1. 반도체 테스트 전체 흐름도

패키지 테스트는 제조후 출하 전에 불량 소자를 가려내는 마지막 공정으로 실제 제품의 품질을 좌우하는 공정이다. 이러한 패키지 테스트에는 전처리 번인(pre-burn in), 패키지 번인(package burn-in) 및 마지막 테스트 인 후처리 번인(post-burn in)등이 있다.

III. 회로 설계 및 구현

본 논문에서 제안된 DC parameter test system은 IBM-PC의 ISA 슬롯과 인터페이스를 통해 데이터를 주고받는 형태로 설계하였다.

1. 테스트 시스템의 전체 구성

변환기의 전체 구성도는 그림 2와 같은 블록구조로 되어 있다. IBM-PC 인터페이스를 이루고 있는 인터페이스부, A/D, D/A를 제어하는 Altera사의 7064SLC44-10을 사용한 제어부, 정전압, 정전류를 구동하는 전압/전류원(voltage/current source), 테스트 채널을 선택하는 채널선택부, 테스트 전압 및 전류의 범위를 결정하는 가변저항, 실제 테스트 소자와 연결하는 측정부로 구성되어 있다.

본 논문에서 제안한 테스트 시스템은 DC parameter test 항목중 VFCS (Voltage Force Current Sensing), CFVS (Current Force Voltage Sensing) 테스트 항목에 중점을 두고 설계하였으며, 그 외에도 다이오드의 문턱전압을 측정할 수 있으며, 부가회로 추가시 출력 전류 측정, 전원 전압 측정 등을 할 수 있다.

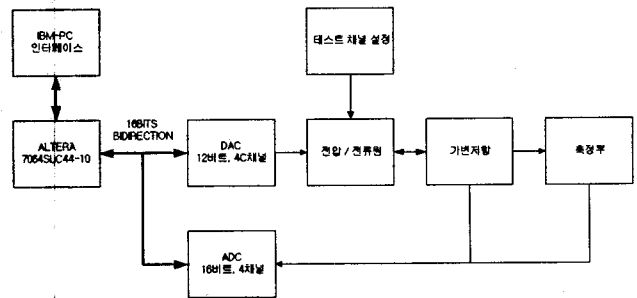


그림 2. 테스트 시스템의 전체 구성도

2. PC-인터페이스부

테스트 시스템의 인터페이스는 8255와 74LS138 디코더로 구성되어 있으며, 제어 신호 발생을 위한 데이터 전송 및 D/A 변환을 위한 디지털 데이터 전송하며, A/D 변환 결과를 읽어온다. PC와의 어드레스 매핑은 I/O mapped I/O 방식으로 구성되어 있으며, 표1과 같다.

표 1. 인터페이스 보드의 I/O 번지

	I/O Address	접근 유형
8255 포트 A	0x300H	읽기 / 쓰기
8255 포트 B	0x301H	읽기 / 쓰기
8255 포트 C	0x302H	쓰기
8255 제어 바이트	0x303H	쓰기

3. A/D, D/A 제어부

A/D, D/A 제어부는 그림 3에 나타내었으며, Altera사의 7064SLC44-10 EPLD를 사용하여 디코더와 16비트 쉬프트 레지스터를 프로그래밍 하였으며, 디코더부에서는 IBM-PC 인터페이스로부터 전송되어 온 데이터를 통해 테스트 시스템의 제어신호를 발생하며, 쉬프트 레지스터부에서는 ADC 시리얼 변환 결과를 16비트 워드로 재조합한다. 16비트 양방향 버스를 구현하기 위하여 디코딩된 ADC chip select 신호를 제어 신호로 하여, '1'인 경

우 IBM-PC -> 테스트 시스템으로 '0'인 경우 테스트 시스템 -> IBM-PC로 데이터 방향을 결정하였으며, 쉬프트 레지스터부의 클럭은 ADC에서 변환 완료시 출력으로 나오는 클럭을 이용하였다.

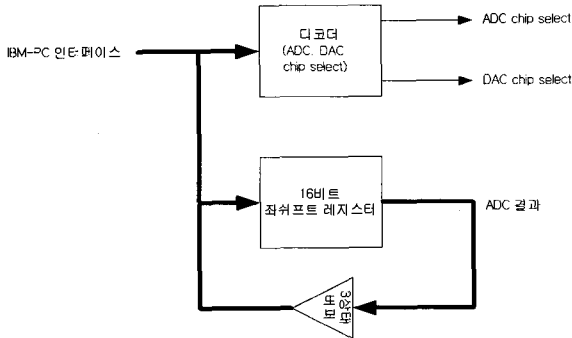


그림 3. A/D, D/A 제어부 블록도

4. D/A 변환부와 A/D 변환부

D/A 변환부는 전압/전류원에 테스트 값을 지정하기 위한 목적으로 사용되며, 4개의 변환 채널과 12비트의 변환 범위를 가지고 있으며, -5[V] ~ +5[V]의 아날로그 출력 범위를 가지고 있다. MSB (Most Significant Bit) = 1이고, 나머지 비트가 모두 0인 경우 D/A 결과는 0[V]를 출력하며, 1비트는 약 2.44[mV]를 의미하며, 잡음 성분이 심하므로 저주파 통과 필터를 부가적으로 사용한다.

A/D 변환부는 전압/전류원으로부터 테스트 소자에 가해지는 전압을 측정하기 위한 목적으로 사용되며, 16비트, 4개의 변환 채널을 가지고 있다. 변환범위는 0~4[V], 0~5[V], ±10[V] 세 가지 모드가 있다. 본 논문에서는 DAC 변환 출력이 ±5[V] 범위를 가지고 있고, 현재 생산되는 반도체 소자 대부분의 전원(VDD) 공급은 5[V] 이하에서 동작하기 때문에 0~5[V] 측정범위를 선택하였다. ADC에 입력된 아날로그 값이 0[V]일 경우 '0000000000000000'이 MSB부터 직렬로 출력된다. 0~5[V] 측정범위 선택 시 1비트는 76[μV]이다.

5. 전압원

본 논문에서는 측정부에 일정한 전압이 걸리도록 하는 정전압 회로는 측정부에 걸리는 전압을 다시 কে환하여 입력값과 더해주거나 빼주어 측정소자에 상관없이 일정한 전압이 유지되도록 설계하였다. 전압원에 대해 그림 4에 블록도로 나타내었다. 그림에서 전압원의 내부저항이 측정소자의 저항값(부하저항)보다 큰 경우에는 테스트 전압이 내부저항에 모두 걸리고 측정소자에는 전압이 거의 걸리지 않게 되므로 정전압으로 동작 시에는 측정소자 부하 저항값보다 내부저항 즉, range저항을 작게 하여 검사한다.

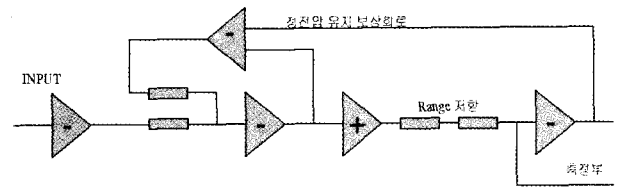


그림 4. 전압원 블록도

그림 5에 정전압 회로에 대한 기본 회로도를 나타내었다. 그림 5의 회로도는 그림 4에서 보여진 블록도에서처럼 입력전압과 측정부에서 U11을 통해 케환되는 전압의 차를 구해 U10을 토해 입력과 더해주어 일정한 전압을 측정부에 공급하게 된다.

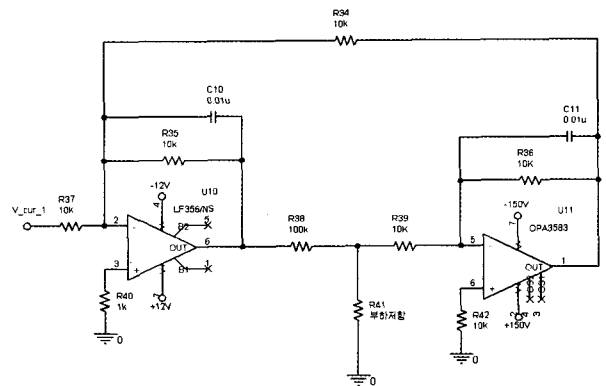


그림 5. 정전압 회로

6. 전류원

부하에 일정한 전류를 흐르도록 하기 위해서 본 논문에서는 가변저항에 걸리는 전압을 일정하게 유지하여 이를 통해 측정부에 흐르는 전류를 일정하게 공급하는 방법을 사용하였다. 그림 6에서와 같이 측정부 전압을 케환하여 테스트 전압과의 차이를 구해 가변저항 전압을 구한 뒤 다시 가변저항 전압을 케환하여 입력전압과의 차이를 구한 후 이를 입력전압과 다시 더해주어 결국 가변저항 전압이 일정하도록 하였다. 즉, 입력전압과 가변저항 전압의 차이를 다시 입력전압과 더해 다시 가변저항에 인가하는 방법을 하드웨어적으로 반복하게 되면, 가변저항에는 입력전압과 같은 전압이 걸리게 되고, 옴의 법칙(I=V/R)에 의해서 일정한 전류가 가변저항에 흐르게 되고, 측정부 저항에 상관없이 일정한 전류가 가변저항을 통해서 공급된다.

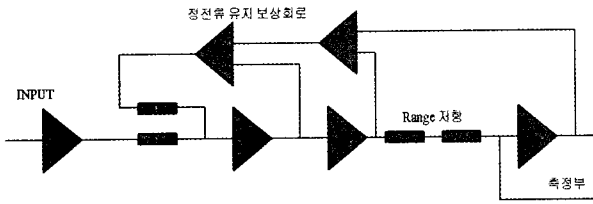


그림 6. 전류원 블록도

그림 7에 전류원 회로에 대한 기본 회로도를 나타내었다. 부하저항에 일정한 전류를 공급하기 위해서 내부 저항 R42 양단 전압을 측정하여 입력전압과의 차이를 계산하여 더하거나 빼주어 R42에 일정한 전압이 유지되도록 하였다. 즉, 내부저항에 일정한 전압이 인가되고, 내부저항 값으로 전압을 나누어주면 측정부에 공급되는 전류는 일정하게 공급된다.

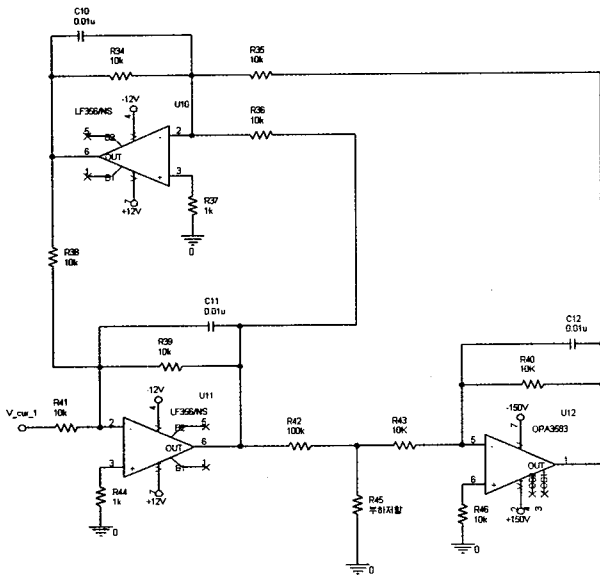


그림 7. 정전류 회로

7. 측정부

그림 8은 측정부 회로이다. 그림에서와 같이 가변저항 R_r 과 부하 전압을 측정하기 위한 내부 계환 저항 R_{in} , 그리고 부하저항 R_L 로 구성되어 있다. 그림과 같이 OUT에서 출력되는 테스트 전압은 정전압이나 정전류 모드에서 각각 R_r 과 R_L 에 전압을 일정하게 인가한다.

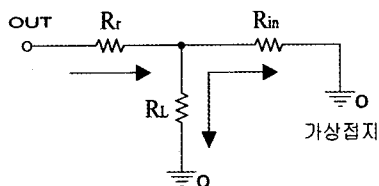


그림 8. 측정 부분 회로

정전압 모드(VFCS) 검사 시에는 측정부에 흐르는 전류를 측정하며, 이때 가변저항에 걸리는 전압 V_{R_r} 과 측정부에 걸리는 전압 V_{R_L} 을 ADC를 통해 측정하고, 가변저항에 의해서 공급되는 전류 I_{R_r} , 내부 계환 저항에 흐르는 전류 $I_{R_{in}}$ 을 계산을 통해 알 수 있으며, 측정부에 흐르는 전류 I_{R_L} 은 아래와 같은 식을 통해서 구할 수 있다.

$$I_{R_r} = \frac{V_{R_r}}{R_r} \tag{1}$$

$$I_{R_{in}} = \frac{V_{R_{in}}}{R_{in}} \tag{2}$$

$$R_L = \frac{R_r \times V_{R_L} \times R_{in}}{V_{R_r} \times R_{in} - R_r \times V_{R_{in}}} \tag{3}$$

$$I_{R_L} = \frac{V_{R_{in}}}{R_L} = \frac{V_{R_{in}}}{\frac{R_r \times V_{R_L} \times R_{in}}{V_{R_r} \times R_{in} - R_r \times V_{R_{in}}}} \tag{4}$$

정전류 모드(CFVS)로 검사 시에는 측정부에 걸리는 전압을 ADC를 통해 측정할 수 있다.

8. DC parameter test system 제어 프로그램

제어 프로그램은 Visual C++ 6.0 버전으로 프로그래밍 하였으며, 인터페이스를 통해 ADC, DAC 제어 및 입력된 테스트 값을 DAC를 통한 변환, VFCS, CFVS 모드 선택 및 각 모드에 맞는 테스트 시스템 동작제어, ADC 변환 결과 습득 및 그래프로 표시하는 기능을 포함하고 있다. 그림 9는 전체적인 테스트 시스템 제어 프로그램의 테스트 흐름도를 보여주고 있다.

DC parameter test시 VFCS 모드로 테스트를 하는 경우 정전압 모드로 테스트 시스템은 동작하며, ADC는 테스트부에 걸리는 전압과 가변저항에 걸리는 전압을 디지털 값으로 변환하게 된다.

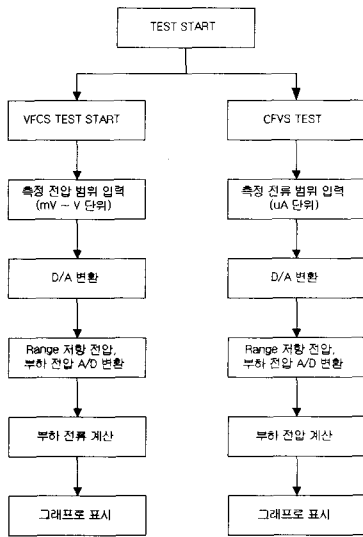


그림 9. 테스트 흐름도

9. 모의실험 및 제작된 전체 회로도 및 동작

DAC로 전송된 D/A 변환 데이터는 그림 10에 있는 전압/전류원의 입력부와 연결되며, 첫 번째 연산증폭기에서는 이를 받아 1:1 증폭을 하여 두 번째 연산증폭기로 넘긴다. 두 번째 연산증폭기에서는 DAC 출력을 2배로 증폭하여 반도체 소자 테스트 범위를 0 ~ 5[V]에서 0 ~ 10[V] 범위로 확장을 하며, 정전압/정전류를 유지하기 위한 보상회로에서의 출력값과 DAC 출력값을 경우에 따라 더하거나 빼어 일정한 전압을 유지한다. 세 번째 연산증폭기는 두 번째 연산증폭기의 출력값을 비반전 증폭하며, 이 출력값은 가변저항과 연결되어 부하에 정전류나 정전압을 공급한다.

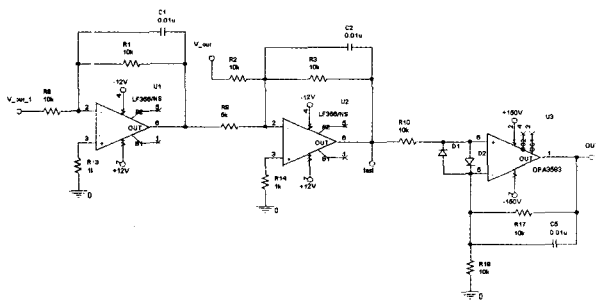


그림 10. 정전압원/정전류원 회로

그림 11에서는 검사 시 부하에 걸리는 전압을 측정하는 회로를 보여주고 있다. 첫 번째 연산증폭기에서의 출력은 부하전압을 반전시킨 전압이 출력되고, 이는 다시 정전압을 유지 보상하는 회로로 궤환된다. 두 번째 연산증폭기는 첫 번째 연산증폭기에서 반전된 부하 전압을 원래 부호로 바꾸어 주며, 출력은 ADC에 연결되어 디지털값으로 변환된다.

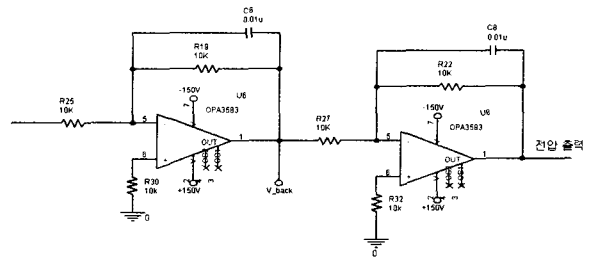


그림 11. 부하 전압 측정 회로

그림 12에서는 가변저항에 걸리는 전압을 측정하는 회로를 보여주고 있으며, 모의실험 및 회로 제작 시 사용하였다. 그림 16에서 출력되는 전압과 그림 17에서 궤환되는 부하전압의 차이를 구해 가변저항에 걸리는 전압을 측정하여 부호를 반전시키는 첫 번째 연산증폭기와 이를 원래의 부호로 바꿔주는 두 번째 연산증폭기로 구성되어 있다.

그림 13은 정전압/정전류 시에 발생하는 오차를 계산해서 입력부로 궤환하여 입력값과 더해주거나 빼주어 오차를 보상해주는 회로이다. 첫 번째 연산증폭기는 정전압 동작시, 두 번째 연산증폭기는 정전류 동작 시 각각 오차값을 보상한다.

그림 14는 가변저항으로 구성된 range 저항회로를 보이고 있다. 저항값 범위는 0~1MΩ까지 가변할 수 있도록 설계하였고, VFCS 테스트시에는 부하저항에 테스트 전압 대부분이 걸리도록 부하 저항값보다 작게 조정하고, CFVS로 검사 시에는 가변저항에 검사 전압 대부분이 걸리도록 부하 저항값보다 크게 조정한다. 이는 실험에 의해서 결정되며, 실제의 경우 VFCS 시에는 기본적으로 100[Ω], CFVS 시에는 10~100[kΩ] 정도로 가변하여 검사하였으며, 실험 결과를 토대로 저항값을 조절하여 사용하였다.

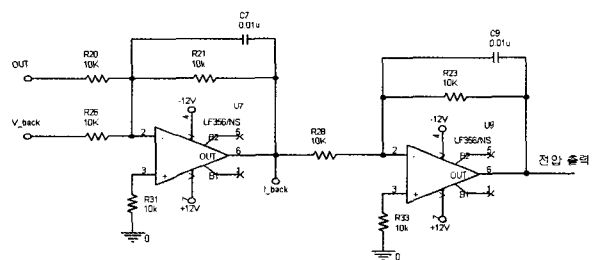


그림 12. 가변저항 전압 측정 회로

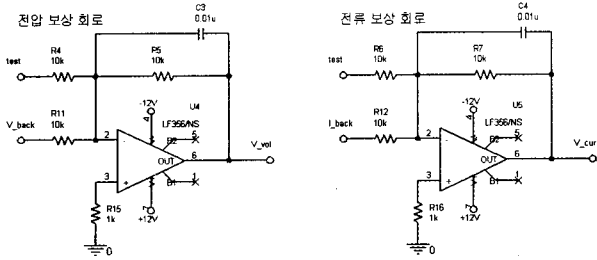


그림 13. 정전압/정전류 보상 회로

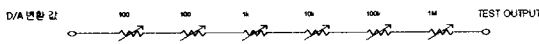


그림 14. Range 저항의 구성

다이오드의 문턱전압에 접근할수록 급격한 경사를 보며 증가를 하고 있다. 이는 다이오드의 전압특성을 보여주는 한 예이다.

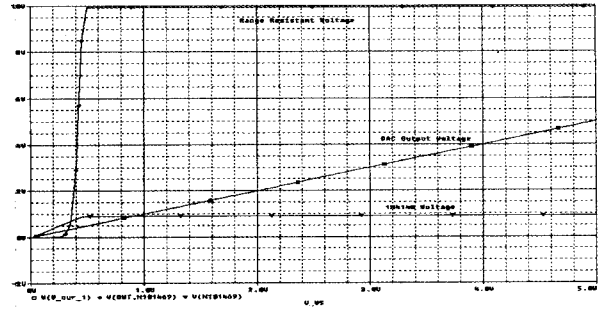


그림 15. 다이오드(1N4148)의 VFCS 테스트
가변저항 : 100[Ω], 부하 : 1N4148

IV. 실험결과 및 분석

본 논문에서 제작/실험한 DC parameter test system의 spec.은 아래와 같다.

- 전압 입력 : -5 ~ +5[V]
- 전류 입력 : 0 ~ +100[mA] (무부하)
- DAC 변환 능력 : 12비트 (1비트 ≍ 2.44[mV])
- ADC 변환 능력 : 16비트 (1비트 ≍ 76[μV])
- 테스트 전압 범위 : 0 ~ +10[V]
- 테스트 전류 범위 : 0 ~ +100[mA](무부하)
- 테스트 채널 : 2채널
- DAC 변환 오류 : 약 ±40[mV]
- ADC 변환 오류 : 약 ±30[mV]

본 논문에서 제안한 DC parameter test system 하드웨어에 관한 OR-CAD 모의실험은 측정부에 능동소자인 다이오드 1N4148에 대해서 VFCS 모의실험 시 가변저항 100[Ω], 측정 입력전압 0 ~ 5[V]까지 50[mV] 단위로 증가하였고, 제작한 회로 실험 시 0 ~ 2[V]까지 10[mV] 단위로 증가하며 실험하였다. CFVS 모의실험 시에는 가변저항 10[kΩ], 측정 입력전류 0 ~ 500[μA]까지 1[μA] 단위로 증가하며 실험하였고, 제작한 회로 실험 시 측정 입력전류 0 ~ 500[μA]까지 1[μA] 단위로 증가하며 실험하였다.

1. 순방향 바이어스 VFCS 모드 테스트

그림 15에 그림 18까지는 다이오드 1N4148에 대해 순방향바이어스 상태에서 측정 입력 전압으로 0[V] ~ 5[V]까지 50[mV] 단위로 가변시키며 VFCS모드와 CFVS 모드에 대해 가변저항 100[Ω]을 사용하여 모의실험한 결과이다. 그림에서 가로축은 입력전압, 세로축은 각각의 측정부에서 측정된 전압을 의미한다.

그림 15에서 보면 다이오드 1N4148은 약 0.8[V]에서 입력전압에 상관없이 더 이상은 전압이 증가하지 않고 유지되는 것을 볼 수 있다. 이로써 다이오드의 문턱전압을 알 수 있다. 반면에 가변저항에 걸리는 전압을 보면

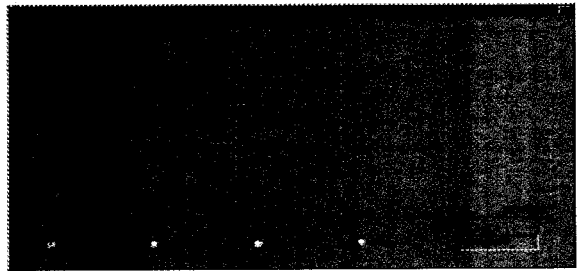


그림 16. 다이오드(1N4148) VFCS 테스트 - 부하 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[V] ~ 2[V], 10[mV] 단위 가변)

그림 16에서는 DC parameter test system으로 VFCS 모드에서 내부저항 100[Ω], 측정 입력전압 0 ~ 2[V]까지 10[mV]씩 증가하면서 다이오드에 걸리는 전압을 측정하는 결과이다. 그림에서 볼 수 있듯이 약 0.9[V]에서 더 이상 전압이 증가하지 않고 일정하게 유지되는 것을 알 수 있으며, 이는 익히 알고 있는 다이오드의 특성이다. 그림 17에서는 같은 조건 하에 가변저항에 걸리는 전압을 측정하는 결과이다. 이 그래프를 통해 가변저항에 걸리는 전압을 가변 저항값으로 나누면 측정부에 흐르는 전류를 구할 수 있다. 즉, 그림 34의 세로축의 값을 가변 저항값으로 나누면 다이오드 V-I 특성곡선을 얻을 수 있다.

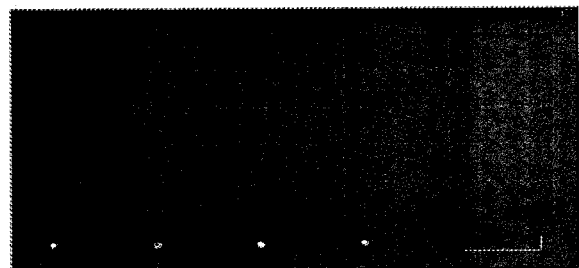


그림 17. 다이오드(1N4148) VFCS 테스트 - 가변저항 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[V] ~ 2[V], 10[mV] 단위 가변)

2. 순방향 바이어스 CFVS 모드 테스트

그림 18에는 다이오드 1N4148의 CFVS 모드에서 가변 저항 100[kΩ], 입력전압 0A ~ 500[μA]까지 1[μA]단위로 증가하면서 모의 실험한 결과이다.

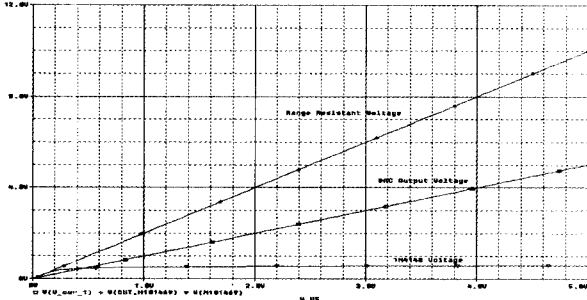


그림 18. 다이오드(1N4148)의 CFVS 테스트
가변저항 : 10[kΩ], 부하 : 1N4148

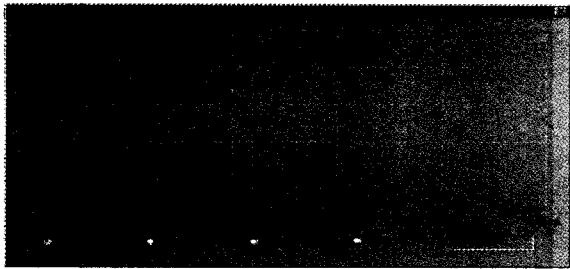


그림 19. 다이오드(1N4148) CFVS 테스트 - 부하 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[A] ~ 200[μA], 1[μA] 단위 가변)

그림에서 입력은 전압으로 나타내었다. 그림에서와 같이 VFCS 모드에서와 마찬가지로 약 0.5[V]에서 제한이 되는 것을 알 수 있으며, VFCS 실험에서 보다 적은 전압이 걸리는 이유는 가변 저항값이 다이오드 저항값에 비해 상당히 크기 때문에 전압분배가 발생할 때 가변 저항에 대부분의 전압이 걸리기 때문이다. 그래프를 자세히 보면, 다이오드 전압은 조금씩 증가하는 것을 알 수 있다. 가변저항에는 일정한 전압이 유도되어 입력전압에 비례해서 선형적인 특성을 가진다.

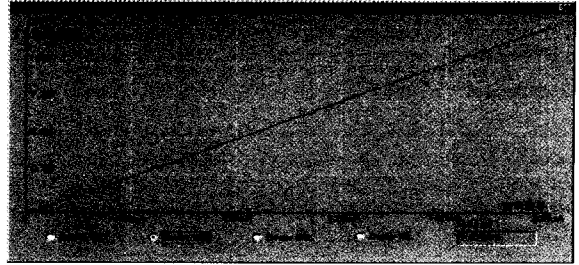


그림 20. 다이오드(1N4148) CFVS 테스트 - 가변저항 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[A] ~ 200[μA], 1[μA] 단위 가변)

3. 역방향 바이어스 VFCS 모드 테스트

다이오드 1N4148에 VFCS 모드에서 가변저항 100[Ω], 측정 입력전압 0 ~ 5[V]까지 50[mV]단위로 증가하면서 역방향 바이어스에 대해 모의실험을 하였다.

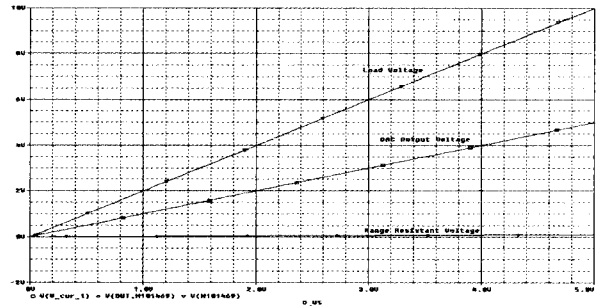


그림 21. 다이오드(1N4148)의 VFCS 테스트
가변저항 : 100[Ω], 부하 : 1N4148

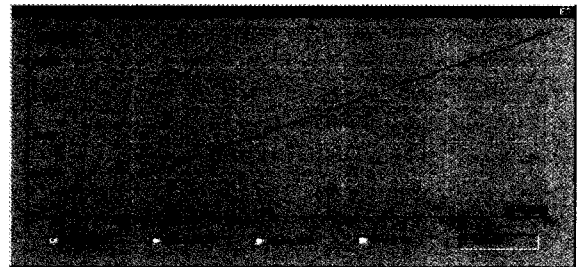


그림 22. 다이오드(1N4148) VFCS 테스트 - 부하 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[V] ~ 2[V], 10[mV] 단위 가변)

모의실험에서 보는 바와 같이 다이오드에는 측정 입력전압의 대부분이 걸리게 되며, 이는 다이오드의 내부 저항값이 가변 저항값보다 상당히 크다는 것을 알 수 있다. 이 상태에서는 다이오드에 전류가 거의 흐르지 않음을 알 수 있다. 만약 절연 파괴가 발생하면, 급격히 전류가 많이 흐르게 되고, 이에 따라 다이오드에 걸리는 전압은 적어지게 되며, 가변저항에 대부분의 전압이 걸리게 된다.

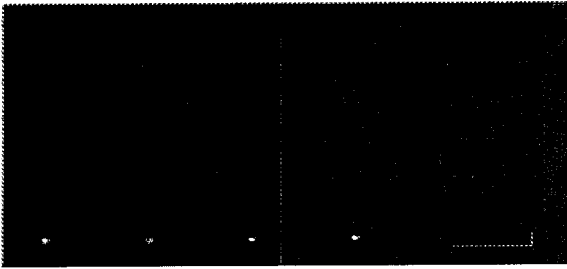


그림 23. 다이오드(1N4148) VFCS 테스트 - 가변저항 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[V] ~ 2[V], 10[mV] 단위 가변)

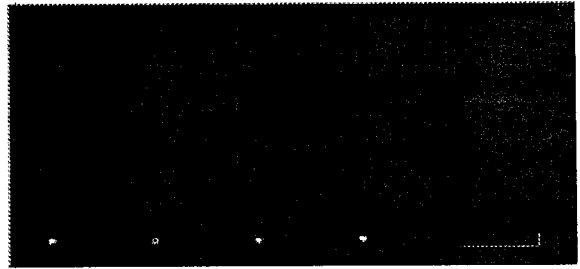


그림 26. 다이오드(1N4148) CFVS 테스트 - 가변저항 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[A] ~ 200[μA], 1[μA] 단위 가변)

4. 역방향 바이어스 CFVS 모드 테스트

다이오드 1N4148에 역방향 바이어스에 대한 CFVS 모드에서 가변저항 100[kΩ], 측정 입력전압을 0A ~ 500[μA] 까지 1[μA] 단위로 증가하면서 모의실험을 하였다. 실험결과를 그림 24, 그림 25, 그림 26에 나타내었다.

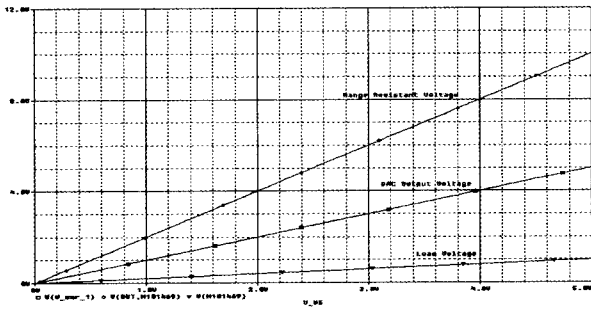


그림 24. 다이오드(1N4148)의 CFVS 테스트
가변저항 : 100[kΩ], 부하 : 1N4148

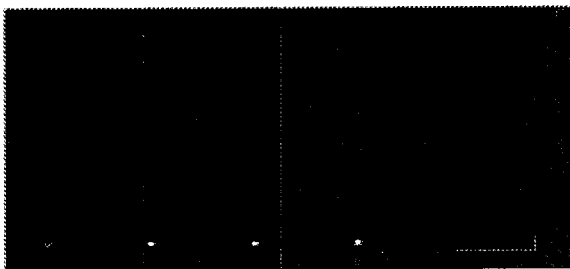


그림 25. 다이오드(1N4148) CFVS 테스트 - 부하 전압
가변저항 : 100[Ω], 부하 : 1N4148
(0[A] ~ 200[μA], 1[μA] 단위 가변)

V. 결론

반도체 테스트 장비는 증가하는 반도체 소자의 용량증가에 대응하며, 제품에 대한 신뢰성을 확보해야 한다. 그러기 위하여 반도체 제품을 제조 시에 막대한 테스트 장비와 테스트 시간이 소요된다. 이러한 소요는 반도체 제조단계에 대부분을 차지하게 되고 이는 소비자들에게 많은 부담을 안겨준다. 본 논문에서는 DC parameter test system에 대해서 적은 비용과 테스트 회로에 들어가는 부품의 수를 줄이고, 무엇보다도 세밀하게 변환을 하는 DAC와 ADC를 사용하여 동작의 안정성과 신뢰성에 중점을 두고 DC parameter test system을 설계하였으며, 현재 제품화되어 있는 반도체 소자의 특성에 맞게 저전압, 저전력에 중점을 두고 설계하였다. 본 논문에서 개발된 DC parameter test system은 새롭게 설계된 신제품뿐만 아니라, 기존 공급된 검사 장비와도 호환성을 유지하며 IBM-PC에 쉽게 인터페이스를 할 수 있어, 기존 제품에서 개선이 필요한 부분에 대응하여 공급될 수 있을 것이다. 또한 성능의 개선뿐만 아니라 제조 단가도 낮출 수 있으므로 수입 외국 제품에 대한 경쟁력도 개선될 것으로 추측된다. DC parameter test system은 전압, 전류를 이용한 반도체 특성 측정용 장비개발을 목표로 하였으며, 아울러 [μ] 단위 이하 측정을 위한 기존 프로토 타입에서 사용하던 12비트 ADC에서 16비트 ADC로 변환 정밀성에 중점을 두었다. 반도체 소자를 테스트하는데 일반적으로 사용되는 신호와는 달리 아날로그 시스템은 전기분야의 기술을 필요로 하며, 사용되는 부품의 특성을 정확하게 파악하여야만 올바른 모의실험 결과를 얻을 수 있으므로 주의하여야 한다. 특히, 사용된 소자의 오차 범위와 특성, 노이즈 대책도 매우 중요하다.

본 논문에서 설계한 DC parameter test system은 현재 온도에 대한 보상회로, 가변저항의 자동변환, 자동 탐침 제어, 테스트 시 발생하는 노이즈 등에 대한 해결 문제가 남아 있다. 하지만 여러 소자에 대한 테스트를 거치는 동안 [[mV]], [[μA]] 단위에서의 동작에 대한 신뢰성은 테스트 결과 확인하였으며, 차후 연구과제로 auto probing과 가변저항의 자동설정, 온도 증가 시에 발생하는 오차에 대한 보정, DAC, ADC의 오차에 대한 보정이 필요하다.

접수일자 : 2003. 1. 15 수정완료 : 2003. 4. 08

본 논문은 한국과학재단지정 호서대학교 RRC의 연구지원으로 이루어진 것임.

참 고 문 헌

- [1] 김충기, "한국 반도체 공업의 회고, 대한전자공학회지 13권 5호, 2p 1986.
- [2] 반도체 혁신 기술개발계획, 서울대 반도체 공동 연구소, 1997.
- [3] Technology Insight's Fast chips/super storage Wiley, 1997.
- [4] G7 진입을 위한 반도체 분야 기술 동향 분석 연구, 과학기술처, 한국, 1992.
- [5] 한국 반도체 산업전략 심포지움, ISS Korea 1996.
- [6] 반도체 산업, 한국 반도체 산업협회, 1994-1997.
- [7] The National Technology Roadmap for Semiconductors, SIA, 미국, 1994.
- [8] 21세기를 향한 반도체 기술 인프라 조성방안, 한국반도체산업협회, 1996.



신 한 중(HanJoong Shin)

準會員

1998년 2월 호서대학교 전자공학과
(공학사)

2000년 2월 호서대학교 전자공학과
(공학석사)

2000년 3월 ~ 2000년 12월(주)디아이
연구원

2001년 1월 ~ 2002년 12월 (주) 성진씨앤씨 연구원

2003년~현재 (주) Toshiba 연구원

관심분야 : 이미지 프로세싱, Codec, 회로설계 등



김 준 식 (Joon-Seek Kim)

正會員

1987년 2월 서강대학교 전자공학과
(공학사)

1989년 2월 서강대학교 전자공학과
(공학석사)

1993년 8월 서강대학교 전자공학과
(공학박사)

1993년 9월 ~ 1994년 2월 서강대학교부설산업기술연구소
박사후연구원

1994년 3월 ~ 현재 호서대학교 전기정보통신공학부 교수
관심분야: 반도체 검사장비, 회로설계, 컴퓨터 비전 등