

마이크로스트립 대역통과 여파기와 고이득 저잡음 증폭기를 이용한 블루투스 리시버 전반부 설계

손주호[†] · 최성열^{**} · 윤창훈^{***}

요 약

본 논문에서는 마이크로스트립 대역통과 여파기와 0.25 μ m CMOS 공정을 이용한 저잡음 증폭기를 이용하여 블루투스 리시버를 설계하였다. 설계한 저잡음 증폭기는 캐스코드 인버터를 이용하였으며, 레퍼런스 전압원을 가지며 쇼크 인덕터를 사용하지 않는 1단으로 설계하였다. 설계된 2.4GHz 저잡음 증폭기는 2.8dB의 NF값과 18dB의 전력이득을 가지고 있으며, 2.5V 공급 전원에서 255mW의 소모전력을 가지고 있다. 또한 마이크로스트립 리시버 여파기는 중심주파수는 2.45GHz이고 대역폭은 4%이고 삽입손실은 -1.9dB를 가지고 있다. 마이크로스트립 대역통과 여파기와 저잡음 증폭기를 시뮬레이션 하였을 경우 16.3dB의 전력이득을 나타내어 블루투스 대역에서 대역통과의 좋은 특성을 얻을 수 있었다.

Design of Bluetooth Receiver Front-end using High Gain Low Noise Amplifier and Microstrip Bandpass Filter

Son Ju-Ho[†], Choi Sung-Youl^{**} and Yun Chang-Hun^{***}

ABSTRACT

In this paper, we designed the bluetooth receiver using the microstrip bandpass filter and the high gain low noise amplifier with the 0.25 μ m CMOS technology. A cascode inverter is adopted to implement the low noise amplifier and is one stage amplifier with a voltage reference and without the choke inductor. The designed 2.4GHz LNA was achieved a power gain of 18dB, a noise figure of 2.8dB, and the power consumption of 255mW at 2.5V power supply. Also, the microstrip receiver bandpass filter was designed that the center frequency was 2.45GHz, the bandwidth was 4% and the insert attenuation was -1.9dB. When the microstrip bandpass filter and LNA was simulated together the power gain was 16.3dB.

Key words:-LNA, inductor, bluetooth, microstrip, BPF

1. 서 론

인터넷 보급과 기업의 네트워크의 발전에 따라 LAN의 보급이 활성화되었으며 사무실의 레이아웃 변경에 따른 배선의 빈번한 변경 또는 배선이 불가능한 장소, 특히 이동성이 강조된 노트북 등의 보급으로 무선 LAN에 대한 관심이 증대되고 있다.

저가격 고집적 RF 송수신기 실현에 주도적 역할을

하게 될 CMOS 공정은 단말장치의 소형화, 저전력화, 저가격화를 위하여 바람직하며 이를 통한 단말장치의 CMOS 단일칩화 연구가 활발히 진행되고 있으며 국내의 CMOS 공정기술을 고려할 때 RF 소자개발은 더욱 더 실현 가능성을 밝게 하고 있다[1-7].

그러나 현재 화합물 반도체를 이용하여 구현되는 저잡음 증폭기는 1단인 경우 10~15[dB]정도의 이득을 갖고 있으나 CMOS 공정에서 동일한 증폭이득을 얻기 위해서는 2단 증폭을 사용해야 하지만 2단 증폭을 사용할 경우 회로가 복잡하고 잡음이 많이 발생한다는 단점을 갖고 있다[8-10].

접수일 : 2002년 9월 25일, 완료일 : 2002년 12월 2일

[†] 정회원, 전북대학교 전기공학과 박사과정

^{**} 전북대학교 전기공학과 박사과정

^{***} 정회원, 우석대학교 이공대학 정보통신컴퓨터공학부 조교수

또한 수백MHz 대역에서 사용되는 연산증폭기에서는 이득을 증가시키기 위해 캐스코드 구조를 이용하여 해결한다. 캐스코드로 하였을 경우에 생기는 전압이득은 배칭이 이루어졌을 때 전력이득으로 환산 할 수 있으므로 1단 증폭을 하더라도 15~20[dB]의 전력이득을 얻을 수 있다[12,13].

블루투스와 같은 무선 통신 장비는 작은 삽입손실과 예리한 선택도를 갖는 소형화된 여파기를 요구한다. 이러한 특성을 만족하는 여파기는 제작이 용이하고 인쇄회로기판 기술에 의해 대량 생산이 가능하며, 제작 가격이 싸고 동일 평면 위에 초고주파 집적회로(MIC)와 함께 구현할 수 있는 등의 많은 장점을 갖는 마이크로스트립 라인을 이용한다. 이와 같은 특성을 갖는 마이크로파 여파기를 제작하는 방법으로 평행 결합 선로 공진기를 이용한 여파기가 1958년 S. B. Chon [14]에 의해 평행 결합 선로의 길이가 $\lambda/4$ 가 되도록 $\lambda/2$ 공진기를 다단 중속 접속하는 방법이 제안되었고, 1980년대 말에 M. Sagawa[15]는 헤어핀 공진기를 이용한 여파기를 제안하였다. 그러나 이는 블루투스와 같은 무선 통신 장비에 적합하지 못하기 때문에 본 논문에서는 소형화와 MIC화를 위하여 마이크로스트립 선로를 이용하여 헤어핀 형태의 공진기를 만들고 이를 병렬로 배치하여 대역 통과 여파기를 실현하였다. 이와 같은 헤어핀 공진기는 평행 결합 구조로부터 크기를 감소시킬 수 있다.

또한 본 논문에서는 국내의 0.25 μ m CMOS 설계파라미터를 사용하여 블루투스 RF 수신기의 전단에 필요한 고이득 저잡음 증폭기(LNA)를 1단으로 설계하고 교차결합을 이용한 마이크로스트립 대역통과 여파기를 설계하였다.

2. 저잡음 증폭기의 설계

본 논문에서 설계한 LNA는 DC적으로 인버터의 직층 형태를 가지고 있으며, 캐스코드된 트랜지스터로 인하여 전력 이득을 갖는다. 인버터 구조로 된 LNA는 충분한 이득을 얻기 위하여 2단을 캐스케이드로 연결할 경우 트랜지스터 수의 증가로 인해 잡음 특성이 떨어진다.

그림 1과 같이 CMOS 인버터의 경우 임출력 정합에 필요한 인덕턴스가 작아도 되므로 본 논문에서 설계하는 LNA에서는 쇼크형 인덕터를 사용하지 않았다.

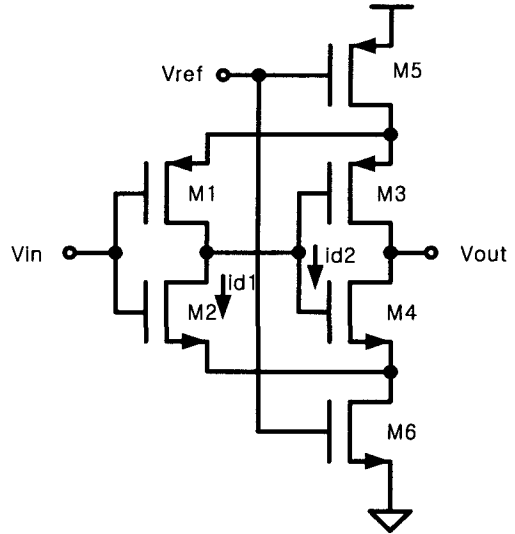


그림 1. 저잡음 증폭기의 구조

그림 1에서 M1, M3과 M2, M4를 각각 같은 크기를 갖도록 대칭적으로 구성하면 입력에 소신호가 인가될 때 드레인 전류 i_{d1} 과 i_{d2} 는 크기는 같지만 부호가 다르므로 그 합은 0이 된다.

$$i_{d1} + i_{d2} = 0 \tag{1}$$

그림 1을 소신호 등가회로 형태로 변환하여 해석하면 증폭회로의 전압 이득은 식(2)와 같다.

$$A_v \cong \frac{v_{out}}{v_{in1} - v_{in2}} \cong \frac{(g_{m1} + g_{m2})}{(g_{d3} + g_{d4})} \tag{2}$$

또한 안정도는 증폭기 설계에 있어 매우 중요한 요소로서 S-Parameter, Matching Networks 등에 의해 결정된다. 2단자쌍 회로망에서의 발진은 입력단 또는 출력단이 Negative Resistance를 가질 때 나타나므로 이 조건으로부터 안정 조건을 구해낼 수 있다. 그러므로 식(9)의 안정도 요소 K 를 사용하여 안정도가 1보다 크도록 설계하였다.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12} S_{21}|} \tag{3}$$

$$|\Delta| = |S_{11} S_{22} - S_{12} S_{21}| < 1 \tag{4}$$

그리고 임출력 매칭회로는 인덕터와 캐패시터를 직렬로 연결한 형태를 이용하여 50 Ω 으로 매칭 하였으며 수동소자의 경우는 구조적으로 모델링된 값을 사용하였다.

3. 마이크로스트립 대역통과 여파기의 설계

3.1 단일 헤어핀 공진기 설계

그림 2는 독립적으로 소형화된 헤어핀 공진기를 나타내고 있다. 크기를 최소화하기 위한 헤어핀 공진기는 1/2 파장의 개방된 마이크로스트립으로부터 전개되어지기 때문에 각 공진기의 기본 공진은 기수모드에서 일어난다. 이것은 꺾어진 마이크로스트립의 중앙에서 공진시에 전압이 최소가 되고 상호결합 선로의 양쪽 끝에서 전압은 서로 반대부호가 되며 최대 값을 갖는다.

$$\begin{aligned} & (Z_{pe} Z_{po} \cot \theta_{pe} \cot \theta_{po} - Z_s^2) \sin \theta_s \\ & + Z_s (Z_{pe} \cot \theta_{pe} + Z_{po} \cot \theta_{po}) \cos \theta_s \\ & - Z_s (Z_{pe} \cot \theta_{pe} - Z_{po} \cot \theta_{po}) = 0 \end{aligned} \quad (5)$$

여기서 $\theta_{pe} = \theta_{po} = \theta_p$ 이면 식(6)과 같이 간략화시킬 수 있다.

$$\begin{aligned} & (Z_{pe} Z_{po} \cot \theta_p - Z_s^2 \tan \theta_p) \sin \theta_s + \\ & Z_s (Z_{pe} + Z_{po}) \cos \theta_s - Z_s (Z_{pe} - Z_{po}) = 0 \end{aligned} \quad (6)$$

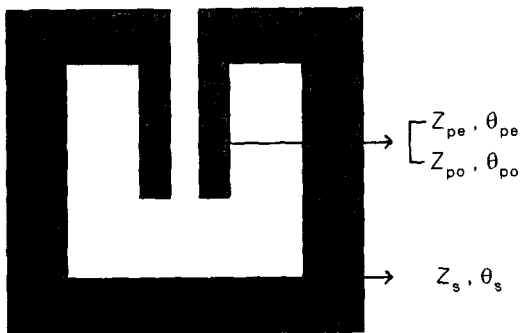


그림 2. 헤어핀 공진기의 구조

위에서 언급된 공진 조건은 일반적으로 공진기의 입력 어드미턴스로부터 유도되어진다. 그러나 이들의 관계는 너무 복잡하기 때문에 물리적인 의미로 이해하기가 어렵기 때문에 공진기의 등가회로부터 공진 조건을 찾는다. 개방회로 평행결합선로는 공진시에 우수모드와 기수모드의 전자기 분포를 갖는다. 따라서 그림 3과 같이 두 개의 등가회로가 존재하게 된다. 공진기의 공진 조건은 식(7), (8)과 같다.

$$\text{기수모드 : } Z_s \tan\left(\frac{\theta_s}{2}\right) = Z_{po} \cot \theta_{po} \quad (7)$$

$$\text{우수모드 : } Z_s \tan\left(\frac{\theta_p}{2}\right) = Z_{pe} \cot \theta_{pe} \quad (8)$$

여기서 Z_{po} 와 Z_{pe} 는 각각 개방회로 상호결합 선로의 기수모드와 우수모드의 특성임피던스이고, Z_s 는 마이크로스트립의 선로 임피던스이다. 또한 θ_{po} 와 θ_{pe} 는 각각 상호결합 선로에서의 기수모드와 우수모드의 전기적 길이를 나타내고, θ_s 는 마이크로스트립의 전기적 길이를 나타낸다. 기본 공진 조건은 기수모드에서 일어나고 다음 공진 주파수는 가장 낮은 스푸리어스 주파수인 우수모드에서 일어난다. 같은 방법으로 더 높은 공진 주파수는 기수모드와 우수모드를 번갈아가며 공진 하게 된다.

본 논문에서 사용된 소형화된 헤어핀 공진기를 설계하기 위한 조건은 다음과 같다.

- 1) 마이크로스트립의 선폭은 선로의 특성임피던스 Z_s 가 50Ω이 되도록 한다.
- 2) 각 공진기는 같은 구조로 이루어져있다.
- 3) 중앙 오픈 회로 상호결합선로의 길이는 최대가 되도록 확장한다.
- 4) 상호결합선로의 간격은 가능한 한 작게 하고 선폭은 크게 한다.

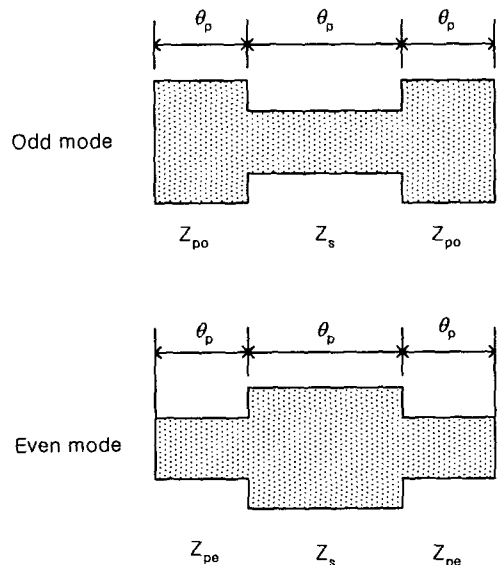


그림 3. 공진에서의 등가회로

3.2 여파기 설계

4극 타원함수 응답 특성을 갖는 대역통과 여파기 응답은 공진기 사이의 교차결합을 이용하여 실현 할 수 있다. 교차결합은 입력포트로부터 출력포트까지 두 개의 입력 신호 경로를 가지고 있다. 서로 다른 경로를 갖고 있기 때문에 신호의 크기와 위상은 각각 변하게 된다. 그러므로 출력포트에서 다중경로 효과는 공진기 사이의 결합을 적절하게 하면 유한 주파수에서 감쇠 극을 야기할 수 있다.

그림 4는 4개의 소형화된 헤어핀 공진기의 4극 타원 대역통과 여파기의 2×2구조를 보여주고 있다. 여기서 대각으로 되어있는 공진기 1과 3 그리고 2와 4 사이의 커플링은 무시하는 것으로 가정하였다. 이러한 구조에서 4개의 중요한 커플링 즉, K_{12} , K_{23} , K_{34} , K_{14} 을 고려하여야 한다. K_{ij} 는 여파기에서 공진기 i 와 j 사이의 커플링 계수이다. 4차 타원함수 여파기의 설계에서 계수 K_{34} 는 K_{12} 와 같기 때문에 필요한 커플링은 K_{12} , K_{23} , K_{14} 로써 여파기 설계에 있어서 고려되어야 한다.

각 구조에서의 커플링은 두 개의 전자계 커플링에 의한 공진 조건으로부터 분리된 공진 주파수에 의해 결정된다. 두 개의 공진 주파수의 작은 쪽의 주파수를 f_a 라하고 높은 쪽의 주파수를 f_b 라고 하면 공진기 i 와 j 에 대한 커플링 계수 K_{ij} 는 식(9)로 주어진다.

$$K_{ij} = \pm \frac{f_b^2 - f_a^2}{f_b^2 + f_a^2} \quad (9)$$

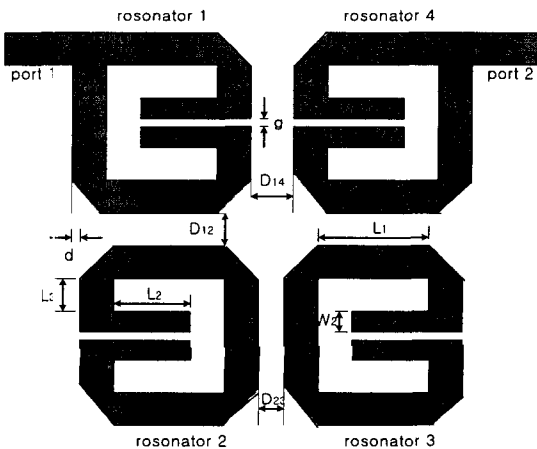


그림 4. Hair-pin 공진기 여파기의 구조

유전체의 두께는 0.51mm이고 비유전율 $\epsilon_r = 3.2$ 인 유전체 기판에서 여파기를 설계하였다.

그림 5는 오프셋 d 에 관한 커플링 계수 K_{12} 와 공진기 1과 공진기 2 사이의 간격 D_{12} 에 관한 결합계수를 나타내고 있으며 K_{12} 는 d 가 0.2mm로부터 0.7mm까지의 구간에 대하여 무관함을 알 수 있다.

그림 6은 공진기 사이의 거리와 커플링 계수 K_{23} 와 K_{14} 에 관한 그래프이다. K_{14} 의 크기는 K_{23} 의 값에 비하여 작고, K_{23} 과 K_{14} 둘 다 거리가 증가함에 따라 감소함을 알 수 있다.

대역통과 여파기는 중심주파수 f_0 가 2.45GHz 이고 대역폭 $\delta = \Delta f / f_0$ 는 4%로 설계하였다. 여파기의 설계 파라미터는 식(10)~(12)를 이용하여 계산 할 수 있다.

$$K_{12} = K_{34} = \sqrt{\frac{\delta}{g_1 g_2}} \quad (10)$$

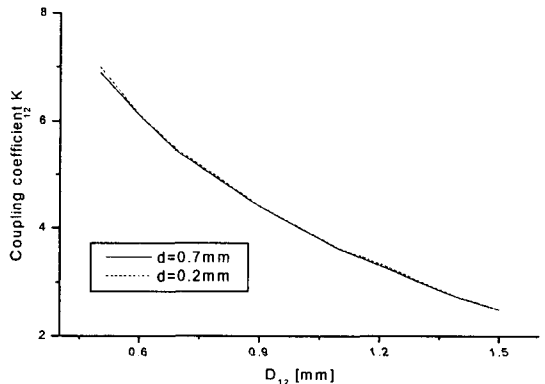


그림 5. D_{12} 에 관한 결합계수 K_{12}

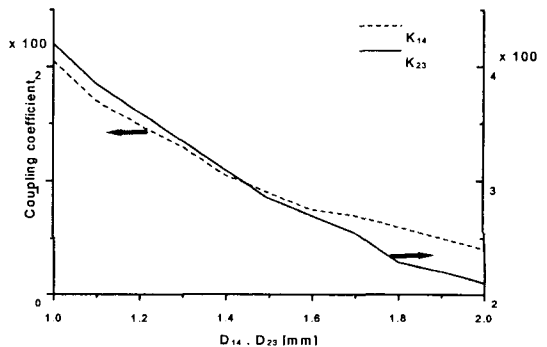


그림 6. D_{23} D_{14} 에 관한 결합계수 K_{23} , K_{14}

$$K_{14} = \frac{\delta J_1}{g_1} \quad (11)$$

$$K_{23} = \frac{\delta J_2}{g_2} \quad (12)$$

여기서 g_0, g_1, g_2 는 저역통과 여파기의 소자값이다.

4. 시뮬레이션 결과

저잡음 증폭기와 나선형 인덕터의 설계는 1poly 5metal CMOS 공정을 이용하여 시뮬레이션 하였다. 그림 7은 본 논문에서 사용하는 인덕터의 등가회로이며 등가회로 상에는 기판저항을 나타내는 소자는 표시하지 않았다. 그림 7에서 L_s 는 금속 세그먼트의 자기·상호 인덕턴스, R_s 는 적층된 스위트 저항, C_1, C_2 는 금속 레이어와 기판 사이의 기생 캐패시턴스를 나타낸다. 그리고 인덕터의 회전수에 따른 시뮬레이션 결과를 표 1에 나타내었다.

안정도(K)는 그림 8의 시뮬레이션 결과와 같이 모두 K 가 1보다 크므로 안정하다고 할 수 있다. 그림 9는 설계된 회로의 잡음인 NF를 나타내고 있다. 설계한 저잡음 증폭기는 블루투스 리시버대역인 2.4~2.5GHz 주파수 대역에서 NF가 2.8을 나타내고 있으며, 대역통과 필터를 거치고 난 후의 NF값은 낮은 대역통과의 NF에도 불구하고 변화가 거의 없었다.

그림 10에서는 S 파라미터 특성 곡선을 보여주고 있으며, 이득을 나타내는 S21곡선이 2.4~2.5GHz 대

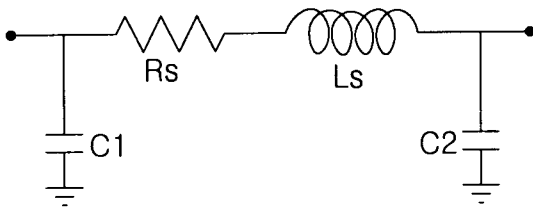


그림 7. 인덕터 모델

표 1. 나선형 인덕터의 등가 회로 소자 값

회전수	C1 [F]	C2 [F]	Rs [Ω]	Ls [H]
2.5	0.0136976P	0.0151302P	6.42526	2.00931N
3.5	0.0159725P	0.0196976P	10.0071	3.7015N
4.5	0.0184941P	0.0239897P	13.1529	5.85831N
5.5	0.0199827P	0.0293408P	17.276	8.72022N
6.5	0.0246337P	0.0318392P	21.6424	12.1875N

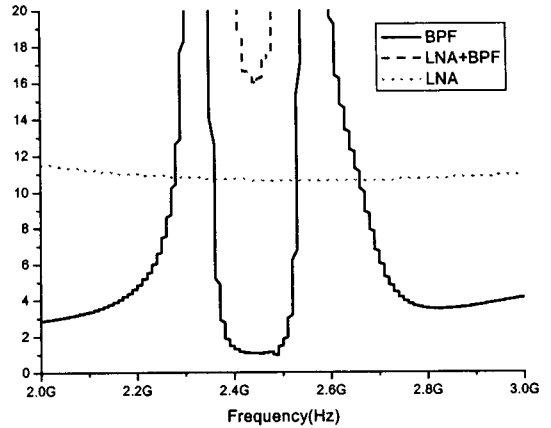


그림 8. 안정도 곡선

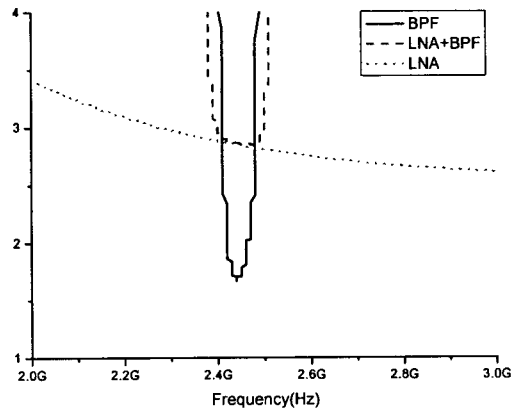


그림 9. 노이즈 특성 곡선

역에서 전체 16.3dB의 전력 이득을 갖는다. 매칭을 나타내는 S11과 S22는 2.4~2.5GHz 대역에서 매칭이 이루어졌음을 보여주고 있다. 단지 S22의 값이 -15dB 정도를 나타내고 있어 출력 매칭에 대한 고려가 필요함을 알 수 있다. 그림 11은 1[dB] 억압점을 나타내고 있다.

또한 표 2는 설계된 저잡음 증폭기의 시뮬레이션 결과를 보여주고 있다. 설계된 증폭기는 일반적인 설계조건을 만족하였으나 공급 전압 2.5V에서 트랜지스터의 증가로 255mW의 전력을 소비하였다.

그림 12는 설계된 저잡음 증폭기의 레이아웃도를 보여주고 있다. 측정을 위하여 입력단, 출력단 그리고 공급 전압원에 GSG 측정 패드를 달았다. 또한 패드의 커패시터 성분, package 연결시 pin과 wire등에 의한 커패시터 성분들의 영향에 대하여는 고려하지 않았다.

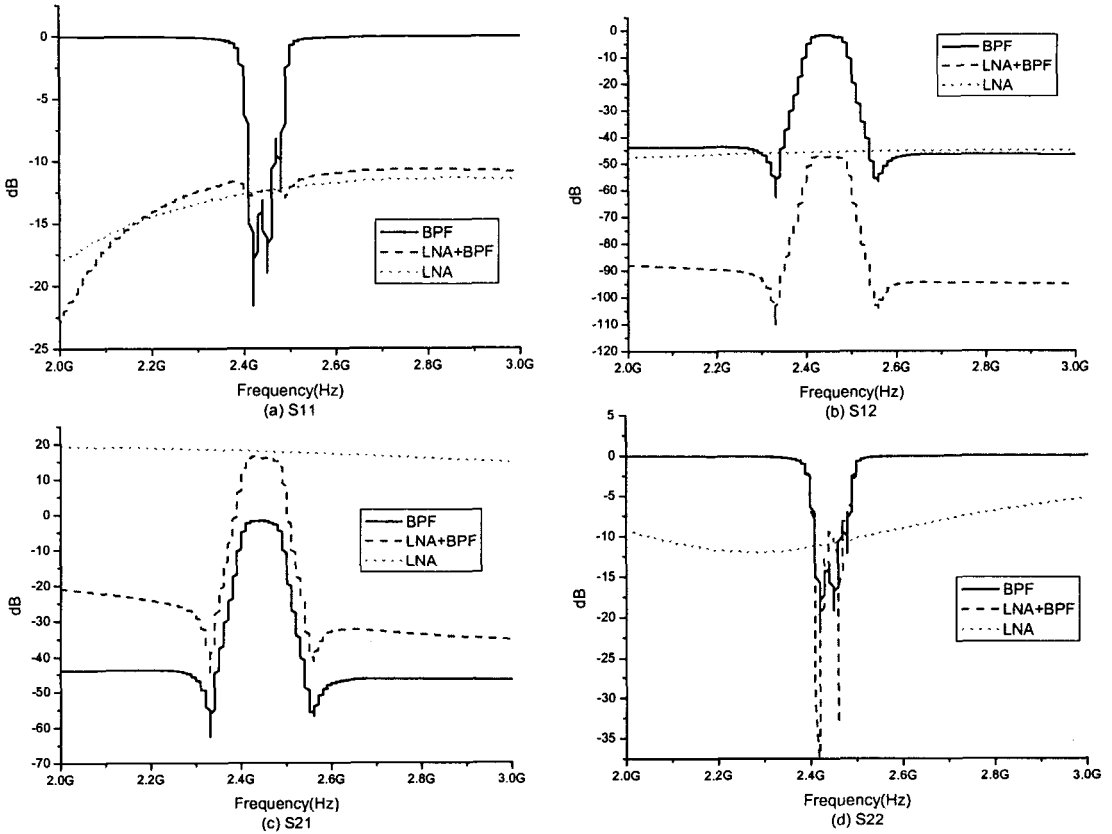


그림 10. S 파라미터 특성 곡선

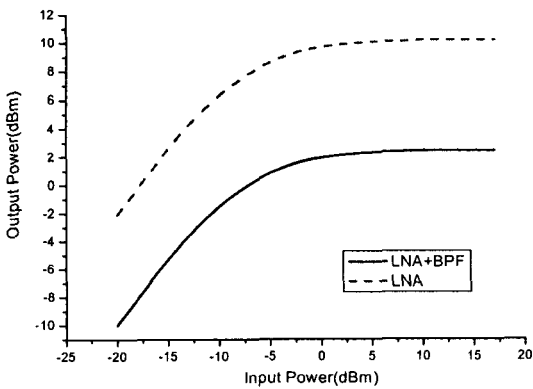


그림 11. 1(dB) 억압점

표 3에서는 본 논문에서 설계한 저잡음 증폭기의 시뮬레이션 결과와 함께 다른 문헌에 제시된 CMOS 저잡음 증폭기 결과를 비교하였다. 최근 발표된 CMOS 저잡음 증폭기들도 이득이 많이 개선되어 있음을 알 수 있다. 그러나 이득을 개선함에 있어 노이즈가 함께 증가하였으며 수신단의 처음에 위치하는 저잡음

증폭기가 전체 시스템의 노이즈에 우선하므로 노이즈가 증가하는 것은 좋지 않은 특성이다. 이를 비교할 때 적은 노이즈와 큰 이득을 비교할 경우 설계된 저잡음

표 2. 저잡음 증폭기와 대역통과여파기의 시뮬레이션 결과

Characteristic	시뮬레이션 결과	Unit	
Center Frequency	2.402~2.480	GHz	
Power Supply Voltage	2.5	V	
Power Supply current	102	mA	
Power	255	mW	
Gain(S21)	16.3	dB	
Noise Figure	2.8	dB	
P1dB	Input	-11.7	dBm
	Output	5.2	dBm
input matching	50	Ω	
output matching	50	Ω	
S11	-20이하	dB	
S22	-10이하	dB	

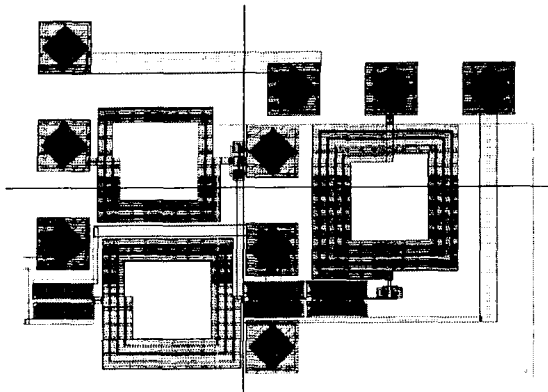


그림 12. 설계된 저잡음 증폭기의 레이아웃

표 3. 저잡음 증폭기의 시뮬레이션 결과

특 성	주파수(GHz)	공급 전압 (V)	소모 전력 (mW)	전력 이득 (dB)	NF
설계된 LNA	2.402~2.480	2.5	255	18	2.8
참고문헌[8]	2.45	.	.	14.7	2.88
참고문헌[9]	2.1	3	15	12	2.8
참고문헌[10]	2.4	2	22.4	19.8	3
참고문헌[11]	2.4	1	32	18	4.6

음 증폭기는 우수한 특성을 가지고 있다고 판단되어진다. 그러나 설계된 저잡음 증폭기는 일반적인 설계조건을 만족하였으나 공급 전압 2.5V에서 트랜지스터의 증가로 255mW의 많은 전력을 소비하여 다른 저잡음 증폭기와 비교하여 개선해야 할 부분이다.

5. 결 론

본 논문에서는 실리콘 기반에서 저잡음 증폭기 설계에 대한 새로운 구조를 제시하고 이를 1 poly 5 metal 0.25 μ m CMOS 공정을 이용하여 설계하고 시뮬레이션을 통하여 검증하였다. 설계된 저잡음 증폭기는 인버터 적층 구조를 이용하였으며 2.8dB의 잡음과 16.3dB의 이득을 얻을 수 있었다. 그러나 전력소비가 255mW로써 전력 소비가 많으며, 이는 이득을 높이기 위해 칩 크기를 크게 해서 생기는 문제로서 전력소비를 줄이는 방법에 대한 연구가 필요하다.

또한 4개의 공진기로 구성된 4극 타원함수 응답을 갖는 대역통과 여파기를 설계하였다. 헤어핀 공진기의 구조와 평행 결합 구조가 함께 적용되어 크기를 감소

시킬 수 있었다. 설계된 대역통과 여파기는 중심주파수가 2.45GHz이며 대역폭은 4%이었다. 삽입손실의 경우 -1.9dB로 나타나는데 이것은 마이크로스트립 선로상의 방사손실 때문이므로 손실을 줄이는 연구가 진행되어야 할 것이다.

그리고 본 논문에서 설계된 저잡음 증폭기와 대역통과 여파기를 연결하여 시뮬레이션 하였을 때에도 우수한 특성을 얻은 결과로 볼 때 블루투스 리시버 전단에 사용하기에 충분하다고 사료된다.

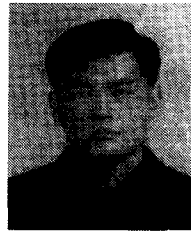
참 고 문 헌

- [1] P. K. Shaeffer and T. H. Lee, "A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June, 1996.
- [2] A. N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb, 1996.
- [3] R. G. Meyer and W. D. Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J. Solid-state Circuits*, Vol. 29, pp.166-176, March, 1994.
- [4] D. B. M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp.40-46, Sept, 1996.
- [5] James Yung-Cheh Chang, A low power 770 MHz RF tuned amplifier in 2 μ m CMOS using large suspended rectangular planar inductors, *M.S. thesis in Electrical Engineering*, Los Angeles, University of California, 1992.
- [6] Robert G. Meyer, and William D. Mack, "A 1 GHz BiCMOS RF front-end IC," *IEEE J. Solid-States Circuits*, vol.29, no. 3, pp. 350-355, Mar, 1994.
- [7] J. Y. C. Chang, A. A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a 2 μ m CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp. 246-248, 1993.
- [8] Robert Point, Michael Mendes and Willam Foley, "A Differential 2.4GHz Switched-Gain CMOS LNA for 802.11b and Bluetooth," *Radio and Wireless Conference*, pp. 221-224, 2002.
- [9] Yong-Sik Youn, Nam-Soo Kim, Jae-Hong

Chang, Young-Jae Lee and Hyun-Kyu Yu, "A 2-GHz RF front-end transceiver chipset in CMOS technology for PCS and IMT-2000 applications," *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 271-274, 2002.

- [10] Huang, J.C., Ro-Min Weng, Chih-Lung Hsiao and Kun-Yi Lin, "A 2 V 2.4 GHz fully integrated CMOS LNA with Q-enhancement circuit," *Microwave Conference, 2001. APMC 2001. 2001 Asia-Pacific*, pp. 1028-1031, vol.3, 2001.
- [11] Chan, A.N.L., Chun Bing Guo and Luong, H.C., "A 1-V 2.4-GHz CMOS LNA with source degeneration as image-rejection notch filter," *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium*, pp. 890-893, vol. 4, 2001.
- [12] 김영호, 정항근, "900MHz대 저전력 저잡음 증폭기 설계 Design of 900MHz Low Noise Amplifier," *대한전자공학회 1998년도 추계종합학술대회 논문집*, pp. 671-674. 1998.
- [13] 방준호, "저전압 저전력 CMOS 전류모드 필터 구현을 위한 새로운 적분기와 주파수 자동동조 회로의 구현," 전북대학교 대학원 박사학위논문, 1996.
- [14] S. B. Chon, "Parallel coupled transmission-line resonator filters," *IRE Trans. Microwave Theory Tech* vol. MTT-6, pp. 223-232, Apr. 1958.
- [15] Morikazu Sagawa, Kenichi Takashi, and E. M. T. Jonesn, "Miniaturized hairpin resonator filters and their application to receiver front-end

MICs," *IEEE Trans Microwave Theory Tech* vol. MTT-37, no.12, pp. 1991-1996, Dec. 1989.



손 주 호

1994년 2월 전북대학교 전기공학
학과 졸업(공학사)
1999년 2월 전북대학교 전기공학
과 졸업(공학석사)
1999년 3월~현재 전북대학교 전
기공학과 박사과정

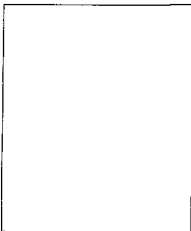
관심분야 : 무선랜, 블루투스, 인덕터



최 성 열

1997년 2월 전북대 전기공학과
졸업
1999년 2월 동 대학원 전기공학
과 졸업(석사)
현재 동 대학원 전기공학과 박사
과정

관심분야 : 전자계 해석, 안테나 및 필터



윤 창 훈

1985년 전북대학교 전기공학과
(공학사)
1987년 전북대학교 대학원 전기
공학과(공학석사)
1995년 전북대학교 대학원 전기
공학과(공학박사)
1998년~현재 우석대학교 이공대

학 정보통신컴퓨터공학부 조교수

관심분야 : 아날로그 집적회로 설계, RF 회로 설계

교신저자

손 주 호 560-756 전북 전주시 덕진구 덕진동 664-14
전북대학교 전자정보공학부