

CMOS 일체형 미세기계전자시스템을 위한 집적화 공정 개발

이호철[#], Michele Miller^{*}, Tomas G. Bifano^{**}

Chip-scale Integration Technique for a Microelectromechanical System on a CMOS Circuit

Hocheol Lee[#], Michele Miller^{*} and Tomas G. Bifano^{**}

ABSTRACT

This paper describes a novel MEMS integration technique on a CMOS chip. MEMS integration on CMOS circuit has many advantages in view of manufacturing cost and reliability. The surface topography of a CMOS chip from a commercial foundry has 0.9 μm bumps due to the conformal coating on aluminum interconnect patterns, which are used for addressing each MEMS element individually. Therefore, it is necessary to achieve a flat mirror-like CMOS chip for the microelectromechanical system (MEMS) such as micro mirror array. Such CMOS chip needs an additional thickness of the dielectric passivation layer to ease the subsequent planarization process. To overcome a temperature limit from the aluminum thermal degradation, this study uses RF sputtering of silicon nitride at low temperature and then polishes the CMOS chip together with the surrounding dummy pieces to define a polishing plane. Planarization reduces 0.9 μm of the bumps to less than 25 nm.

Key Words : Integration (집적화), MEMS (미세기계전자시스템), sputtering (스퍼터링), planarization (평탄화), dielectric layer (유전층), CMOS

1. 서론

미세기계(micromechanical) 구조물을 제어하기 위해서 그 구동 회로에 와이어본딩(wire bonding) 등으로 연결하는 패키징(packaging) 공정은 유연한 MEMS 설계를 제한하여 왔다. 또한, 조립의 복잡함을 초래하고 그 수율 저하에 따른 제작 원가 상승의 큰 요인이 되고 있다. 따라서, MEMS 를

CMOS 와 같은 구동 IC 에 직접 연결해서 제어하는 방식이 선호되고 있다.¹ 텍사스 인스트루먼트(Texas Instrument)의 on-off 구동형 마이크로 미러 어레이(micromirror array)는 대표적인 구동 IC 일체형 MEMS 이다.² CMOS 같은 구동 IC 는 고가이지만, 칩 단위로도 주문 제작할 수가 있다. 칩(chip) 크기의 CMOS 일체형 MEMS 로써, 공정 개발과 설계 타당성 평가 등을 해보는 것이 개발 초기의

^{***} 2002 년 11 월 29 일 접수

[#] 교신저자, National Institute of Standards and Technology, USA
Email Hocheol@nist.gov

^{*} Michigan Technological University, USA

^{**} Boston University, USA

원가 및 기간을 줄이는 하나의 방법이 될 수가 있다. 수직, 수평으로의 배치 방법에 따른 칩과 MEMS의 일체화는 칩 유전층(dielectric layer) 평탄화(planarization), 칩 비어(via)의 형성 및 연결 방법, 칩 크기로 인한 포토레지스트 도포(spinning)의 한계가 고려되어야 한다. 그리고, CMOS 알루미늄(aluminum) 배선은 450°C 이상에서 열화(degradation)되는 성질이 있어, 후속 공정도 제한된다.³

CMOS 칩의 평탄화에 대한 기존의 연구는 주로 스핀 코팅(spin coating) 할 수가 있는 폴리머(polymer)를 이용하는 방법이 시도되어 왔다. 특히, 멀티칩 모듈(multichip module) 제작에 사용되어 온 벤조사이클로부틴(Benzocyclobutene, BCB)은 200-250°C의 낮은 경화온도를 가지고 있는 장점도 있는데, 다층 구조인 SiO₂/BCB/SiO₂를 이용하여 5% 이하의 평탄화 오차를 얻은 예가 있었다.⁴ 그러나, 두꺼운 폴리머 도포 때문에 칩 가장자리 부근에 에지비드(edge-bid)가 생기는 어려움이 있었다. BCB를 이용한 다른 연구로는 2.8 μm의 칩의 표면 요철을 60 nm까지 감소시켰다.⁵ 나노미터(nanometer) 크기의 연마 입자와 연마패드(pad)에 의한 기계 화학적 평탄화(chemical mechanical planarization, CMP)는 최근 IC 산업에서의 고 집적화에 크게 기여하여 왔다.⁶ 다층의 폴리실리콘(polysilicon) MEMS에 CMP가 성공적으로 이용되어졌다.⁷ 또한, 트렌치(trench)를 웨이퍼(wafer) 상에 형성한 다음, 트렌치 안에 폴리실리콘(polysilicon) MEMS를 먼저 제작하고, 보호층을 씌우고, CMP하는 방법으로 CMOS 일체형 MEMS를 제작하는 방법도 연구되었다.⁸ 이 방법은 평탄화된 MEMS 웨이퍼 위에서 CMOS를 후속 공정으로 제작함으로써, 고온의 MEMS 공정을 할 수 있는 장점이 있지만, 수평적으로만 MEMS와 CMOS 배치하게 된다. 본 논문에서는, CMOS 칩 위에 마이크로 미러 어레이(micro mirror array)같은 MEMS 구조물을 수직으로 집적하기 위한 공정 개발로서, 저온 증착, 평탄화 방법과 그 결과를 기술한다.

2. CMOS 칩 표면구조

그림 1은 크기가 4 mm * 4 mm인 CMOS 칩의 약 1/4부분을 보여준다. 칩은 알루미늄 패턴(pattern)과 그 위를 덮는 유전(dielectric) 물질의 보호층(passivation layer)으로 되어 있다. 칩 표면은

가장자리 부분에 전원 공급 용도의 본딩(bonding)패드(pad)와 안쪽 부분의 MEMS 구조물을 제작할 보호층 영역으로 구성되어 있다. 보호층에는 연결용 비어홀(via-hole)들이 바닥의 알루미늄 패턴까지 만들어져 있다.

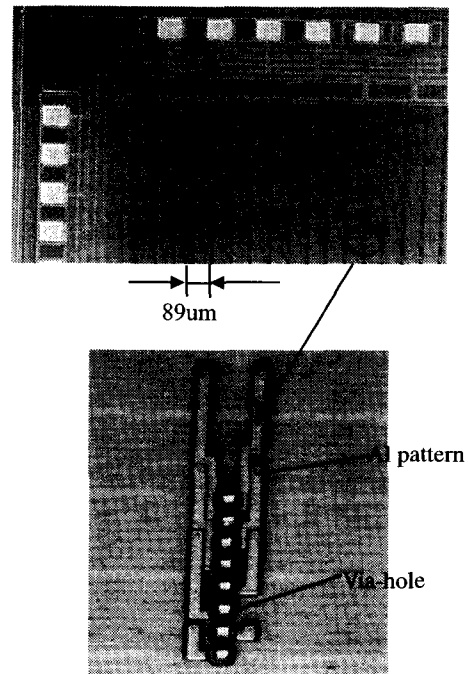
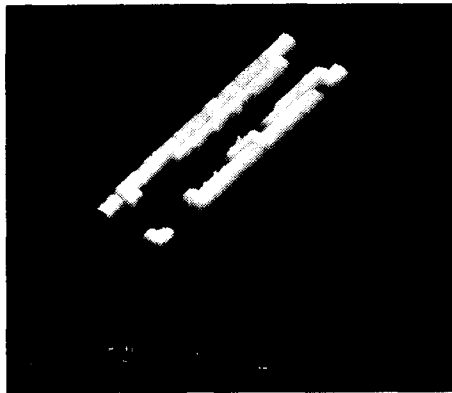


Fig. 1 CMOS chip with interconnecting via-holes

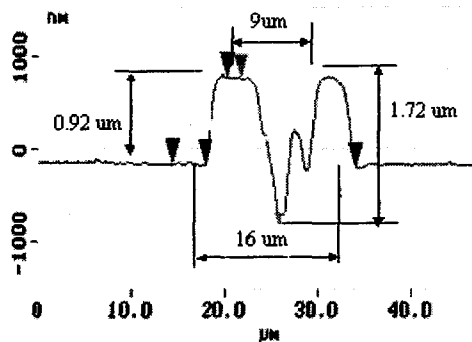
그림 2의 원자력현미경(atomic force microscope, AFM)의 측정 결과는 칩 표면의 형태를 잘 보여주고 있다. 그 단면 형상을 보면, 요철의 보호층이 높이 약 0.9 μm, 폭이 16 μm 정도로 평탄한 보호층 면에서 드러나와 있다. 이것은 아래의 알루미늄 패턴 형상에 보호층이 증착된 결과이다. 일반적인 CMOS의 보호층의 구성은 알루미늄 패턴 위에 먼저 전기적인 절연효과를 위해 실리콘 다이옥사이드(silicon dioxide, SiO₂)를 0.8 μm 정도 증착하고, 그 위에 실리콘 나이트라이드(silicon nitride, Si₃N₄)를 증착한다. 실리콘 나이트라이드는 외부 환경으로부터 실리콘 다이옥사이드를 보호하는 역할을 한다.

보호층의 요철은 후속의 포토레지스트 도포(spining)를 어렵게 하고, 평탄한 구조물 제작을

불가능하게 하는 요인이므로, 먼저 요철의 CMOS 를 평탄하게 해야만 한다.



(a)



(b)

Fig. 2 AFM measurement of the bumps on a CMOS chip; (a) 3-D image (b) Section profile

3. 저온 증착 공정

보호층(passivation layer)의 두께 0.9 μm 은 후속의 칩 평탄화 공정을 대해서 그 여유가 부족한 것으로 추측되었다. 따라서, CMOS의 알루미늄에 영향을 주지 않고서, 더 두꺼운 보호층을 만드는 것이 필요하다. 일반적으로 chemical vaporized deposition (CVD)는 패턴 사이의 기공(void, or bubble)이 없이 보호층을 증착하는 방법으로 알려져 왔다. 특히, plasma enhanced chemical deposition (PECVD)은 그 저온 특성으로 유전층의 증착에 많이 사용되어 왔다.⁹ 그러나, 기공이 비어 홀에 일부 생기더라도,

평탄화 후에 그 후속 공정으로 비어홀을 다시 에칭(etching)할 것이기 때문에, 저온 증착 공정으로서 특성을 가지고 있는 RF 스퍼터링(sputtering) 방법에 의한 유전 물질의 증착을 하도록 한다.

3.1 온도 특성

CMOS 칩의 후속공정 온도 제한을 고려하여 먼저 실리콘 다이옥사이드와 실리콘 나이트라이드의 RF 스퍼터링 공정 온도를 조사하였다. 그림 3의 실험에서는, Plasma-Therm 790® 과, 아르곤(argon) 75 sccm, RF 출력 351W, 스퍼터링 초기 진공 압력은 5×10^{-7} Torr 을 사용하였다. 클린룸(clean room)의 온도는 21°C 이었고, 안정된 플라즈마를 얻기 위해서 2 분의 예비 스퍼터링을 실시하였다. 온도는 내부에 장착된 온도계를 이용하여 측정하였다. 2 분 후의 평균 온도는 실리콘 다이옥사이드에 대해서는 26°C, 실리콘 나이트라이드에 대해서는 23°C 가 되었다.

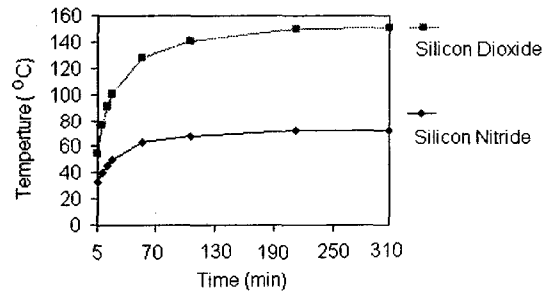


Fig. 3 Temperature characteristic in RF sputtering

310 분 후의 최종 온도는 실리콘 다이옥사이드에 대해서는 156°C, 실리콘 나이트라이드에 대해서는 75°C 가 되었다. 약 100 분 후에는 온도가 열적 평형 온도에 도달하고, 그 이후에는 같은 온도를 유지하였다. 반복적인 실험 결과, 약 10% 이내의 평형 온도 편차가 발생하였다. 따라서, 이 실험 조건에 의해 알루미늄 열화 가능 온도인 450 °C 보다는 낮은 공정 온도에서의 증착 결과를 얻을 수가 있었다.

3.2 증착율 (deposition rate)

스퍼터링 증착율과 증착 후의 두께 분포를 실험으로 조사하였다. 실험 조건은 온도 특성 실험

에서와 동일하게 하였다. 242 분 후의 실리콘 다이 옥사이드의 평균 두께는 표 1 에서와 같이 3243 nm 였다. 동일 시편에 대해서 2 회의 측정을 하여 그 평균값을 구한 결과, 평균 증착율은 13.4 nm/min 였다. 시편 5 개에 대한 최대 최저값의 범위는 227 nm 으로 평균값의 7%이다. 표준 편차값은 104 nm 으로 평균값의 3.1%이다.

Table 1 Sputter thickness of silicon dioxide

| Sample | 1 st scan (nm) | 2 nd scan (nm) | Mean (nm) |
|--------|---------------------------|---------------------------|-----------|
| 1 | 3197 | 3165 | 3181 |
| 2 | 3227 | 3215 | 3221 |
| 3 | 3287 | 3305 | 3296 |
| 4 | 3352 | 3392 | 3372 |
| 5 | 3267 | 3025 | 3146 |
| Mean | 3266 | 3220 | 3243 |

표 2 는 75 분 동안 증착 후의 실리콘 나이트라이드의 두께 분포이다. 동일 시편에 대해서 3 회의 측정을 하여 평균 두께는 763 nm 였다. 시편 7 개에 대한 최대 최저값의 범위는 70 nm 으로 평균값의 9%이다. 표준 편차값은 18nm 으로 평균값의 2.4% 수준이었고, 평균 증착율은 10.2 nm/min 였다.

Table 2 Sputter thickness of silicon nitride

| Sample | 1 st scan (nm) | 2 nd scan (nm) | 3 rd scan (nm) | Mean (nm) |
|--------|---------------------------|---------------------------|---------------------------|-----------|
| 1 | 753 | 740 | 765 | 753 |
| 2 | 778 | 763 | 725 | 755 |
| 3 | 773 | 760 | 733 | 755 |
| 4 | 778 | 740 | 775 | 764 |
| 5 | 763 | 750 | 758 | 757 |
| 6 | 773 | 775 | 788 | 779 |
| 7 | 793 | 770 | 775 | 780 |
| Mean | 773 | 757 | 760 | 763 |

그림 4 와 같이 실리콘 나이트라이드에 대해서 증착 시간에 따른 증착 두께 변화를 조사하였다. 6

번의 실험에서의 초기 진공압력의 범위는 1.1×10^{-7} Torr 에서 3.2×10^{-7} Torr 이었다. 28 분에서는 11.4 nm/min, 280 분에서는 9.1 nm/min 의 증착율을 기록하였다.

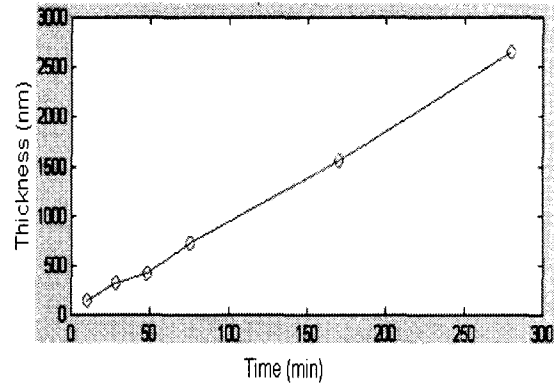


Fig. 4 Sputter thickness of silicon nitride with time

증착율은 시간이 경과함에 따라 감소하는 경향을 보이다가 점점 수렴하는 것이 관측되어졌다. 이것은 그림 3 의 측정 온도의 수렴 과정과 유사성을 갖고 있는 것으로 보여진다. 또한, 450 분의 증착에서는 9.3 nm/min 의 결과를 보였다.

4. 평탄화 공정

4.1 실험장치

실험 장치는 그림 5 에서와 같이 요동 운동 (orbital motion)하는 방식으로서, 연마 패드 (polishing pad)와 칩 장착부(quill)가 회전 및 이동하는 것으로 구성되어 있다. 직경 100 mm, 두께 8 mm 의 유리판의 중앙에 한개의 칩을 왁스를 사용하여 부착하고서, 그 유리판을 칩 장착부에 고정하였다. 또한, 장착부는 볼 조인트(ball joint) 기구를 가지고 있어서, 유리판을 연마 패드에 완전히 밀착시킬 수가 있다. 유리판의 가장자리에 실리콘 웨이퍼 조각(dummy pieces, 크기: 10 mm * 10mm) 8 개를 붙였다. 이것은 장착부 전체의 무게를 분산하여, 칩에 압력이 집중되지 않도록 하는 효과가 있고, 볼조인트 기구에 부착된 유리판이 연마 패드 위를 이동하는 도중에 균형을 유지하기 위한 것이었다.

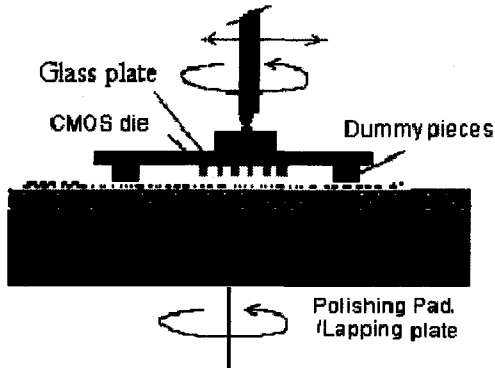


Fig. 5 Schematic diagram of the planarization equipment

4.2 래핑 (lapping)

높이 게이지(height gage)를 이용하여 유리판의 평행도를 파악하기 위해, 정반 위에 유리판을 두고서 그 두께 분포를 측정하였다. 측정 결과, 그림 6(a) 와 같이 고저의 뚜렷한 두께 분포를 가지며, 그 범위는 4.5 μm 를 가지는 것으로 나타났다. 가장자리의 실리콘은 래핑을 위해서 CMOS 칩보다 두께가 약 20 μm 이상의 큰 것을 사용하였다.

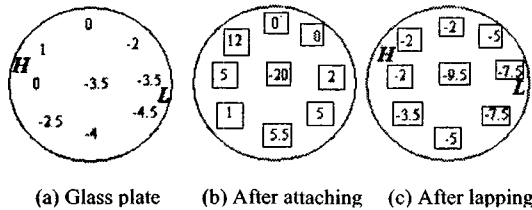


Fig. 6 Height measurements (in μm) of glass plate, CMOS chip, and silicon pieces

사용된 왁스의 두께 편차로 인해서, 칩과 실리콘을 붙인 후의 두께는, 그림 6(b)에서와 같이 불규칙적으로 분포되며, 그 실리콘 조각들 사이의 높이 차가 12 μm 까지 증가하였다. 따라서, 초기의 유리판의 두께 분포와 같은 하나의 평면을 만들도록 래핑(lapping)을 하였다. 연마 입자 크기는 3 μm 과 5 μm 인 알루미나 (Al_2O_3)를 이용하였다. 유리판 자체의 경사가 있어도, 실리콘 조각들이 하나의 평면을 이룬다면, 실험 장치의 볼 조인트(ball joint) 기구로 인해서, 연마 패드에 수직인 평면으

로 균등한 압력 분포를 얻을 수가 있다. 래핑 후에 그림 6(c)와 같은 두께 분포를 얻었다. 실리콘 조각 사이의 두께 차는 5.5 μm 이고, 그림 6(a)의 유리판의 경우와 유사한 두께 분포를 얻었다. 중앙의 CMOS 칩은 연마 입자 등이 부착된 것을 제외하고는 래핑에 의해서 직접적인 영향을 받지 않았다. 결국, 가장자리의 실리콘이 부착된 위치의 직경이 80mm 인 것을 고려한다면, 래핑된 면의 경사도는 정반을 기준으로 0.07 $\mu\text{m}/\text{mm}$ 이다. 이것은 유리판의 바닥면과 실리콘 조각과의 상대적인 경사도를 반영한 것이다. 칩 자체는 래핑을 거치지 않았으므로, 다른 평면을 갖을 수가 있어서, CMOS 칩 자체의 평탄화 과정에서의 평행도 오차의 발생 가능성이 있다.

4.3 폴리싱 (polishing)

래핑에 의해서, 칩과 가장자리 실리콘과의 높이차가 수 μm 수준으로 되면 폴리싱 공정으로 전환이 필요하다. 이것은 래핑에서의 깊은 스크래치 (scratch) 를 피하고, 연마 패드의 압력에 따른 변형 특성을 이용한 평탄화를 하기 위한 것이다. 5 단계의 압력을 가하면서 연마 패드의 변형을 그림 7 과 같이 측정하였다.

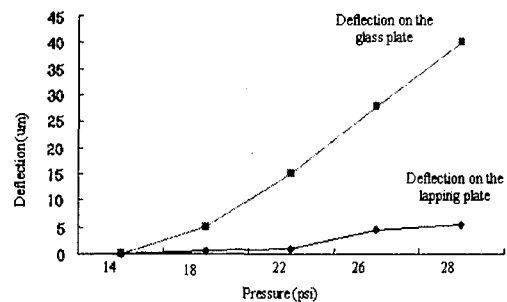


Fig. 7 Pad deflection under polishing pressure

그림 5 의 장치 구조에서 유리판에 압력을 가하면, 유리판과 연마 패드를 붙인 연마 플레이트 (pad on lapping plate)가 함께 아래로 이동한다. 따라서, 이동량의 상대적 차이만이 연마 패드의 순수한 변형 깊이가 된다. 연마 장치의 압력 게이지 (pressure gage) 30 psi 에서 유리판은 40 μm 이동하는 동안에, 연마 플레이트는 5.5 μm 아래로 이동하였

다. 따라서, 연마 패드의 변형량은 $34.5 \mu\text{m}$ 이었다. 압력 22 psi 에서는 그 변형량이 $14 \mu\text{m}$ 이었다. 결국, 실리콘 조각과 CMOS 칩 사이에 수 μm 의 단차가 있어도, 연마 패드의 변형으로 인해서 칩의 연마가 가능함을 알 수가 있다.

한편, 실리콘의 연마율에 관한 실험을 수행하였다. 입자 크기 50 nm 의 실리카(silica) 연마액(slurry), 패드 플레이트 회전수 70 rpm , 요동 운동하는 스피들(spindle) 회전수 40 rpm 을 사용하였다. 압력 20 psi 과 22 psi 에 대해서 20 분간 연마한 후 그 두께 변화를 측정하였다. 20 psi 에 대해서 $0.13 \mu\text{m}/\text{min}$, 그리고 22 psi 에 대해서는 $0.23 \mu\text{m}/\text{min}$ 의 연마율을 각각 얻었다. 폴리싱 압력에 따라 연마율은 큰 차이를 보인다.

또한, 8 개의 조각 중에서 4 개의 조각에만 실리콘 나이트라이드를 스퍼터해서 동일 조건으로 연마하였다. 실리콘이 평균 $4 \mu\text{m}$ 연마되는 동안 실리콘 나이트라이드는 $1.25 \mu\text{m}$ 에서 $1.5 \mu\text{m}$ 의 연마량을 기록하였다. 스퍼터된 실리콘 나이트라이드는 실리콘에 비해 약 $1/3$ 배의 적은 연마율을 갖고 있는 것으로 보여진다.

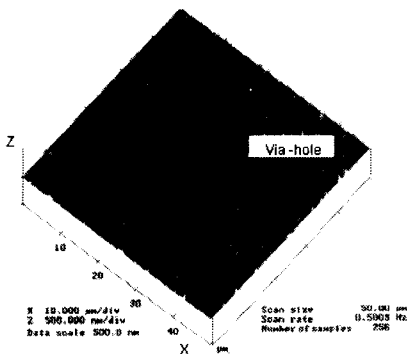
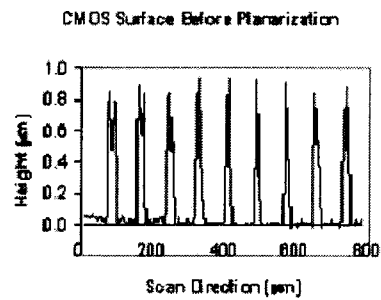


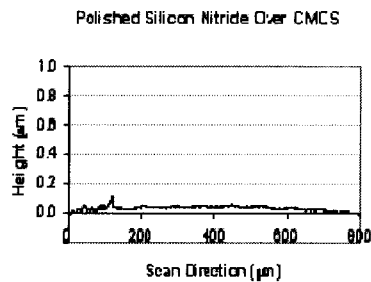
Fig. 8 AFM image of the interconnect area after planarization

CMOS 칩에 $2.2 \mu\text{m}$ 두께의 실리콘 나이트라이드를 스퍼터한 후 실리콘 조각과 함께 래핑하였다. 래핑후의 실리콘 조각들의 높이는 CMOS 칩보다 $1 \mu\text{m}$ 에서 $7 \mu\text{m}$ 정도 높은 분포를 갖고 있었다. 30 분의 폴리싱을 한 후에 CMOS 칩의 표면을 AFM 을 이용하여 확인하였다. 평탄화의 결과로 그림 8 에서와 같이 비어홀 주변의 요철은 평탄화 전의

$0.9 \mu\text{m}$ 에서 표면거칠기 25 nm 이하의 값을 보인다. 스퍼터 공정에서의 스텝 커버리지(step coverage)에 의해서 칩의 비어홀이 수평적으로도 거의 실리콘 나이트라이드에 의해서 채워졌음을 알 수가 있다. 그림 9 는 접촉식 형상 측정기를 이용한 CMOS 칩의 $800 \mu\text{m}$ 범위에서의 측정 결과로, 요철이 평탄화 되어 졌음을 알 수가 있다.



(a) Before planarization



(b) After planarization

Fig. 9 Surface profile of a CMOS die

또한, 광학을 이용한 간접계 방식의 형상 측정기를 이용해서 $2 \text{ mm} * 1.6 \text{ mm}$ 의 MEMS 가 탑재될 영역에 대해서 형상을 측정하였다. 그림 10 에서, 요철을 가로지르는 X 방향에서는 73 nm 의 블록형상의 오차가 남아 있음을 알 수가 있고, 주기적인 요철의 크기는 약 20 nm 이나, 바닥의 알루미늄의 반사를 반영한 것으로서 AFM 결과와는 차이가 있다. Y 방향으로는, 41 nm 의 블록형상의 오차가 형성되었다. 블록 면 생성은 칩과 접촉 변형하는 패드의 가장자리에서의 더 많은 변형과 가장자리 부분의 패턴 밀도가 희박한 것 때문에 가장자리 부분이 더 많이 폴리싱이 된 것으로 추정된다.

칩 자체의 평행도 측정은 본 연구 내에서는 수행되지 못하였다.

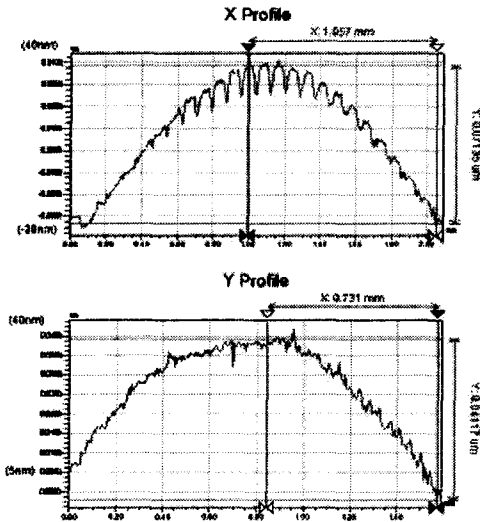


Fig. 10 Surface profile of a CMOS die after planarization

5. 결론

본 논문에서는 마이크로 미러 같은 MEMS 를 CMOS 칩 위에서 수직으로 집적화하기 위한 공정 개발로서, 저온 증착과 평탄화에 대해 연구하였다. 경사면 오차를 제외한 곡면 오차는 70 nm 수준으로 비교적 성공적인 결과를 얻었다. CMOS 일체형 MEMS 를 위해서는 본 논문의 연구 외에도 비어홀 에칭과 칩 위의 MEMS 구조물 공정 등의 후속 연구를 필요로 한다.

참고문헌

1. Bifano, T. G., Bierden, P., Cornelissen, S., Dimas, C., Lee, H., Miller, M. and Perreault, J., "Large scale metal MEMS mirror array with integrated electronics," Proceedings of SPIE: Design, Test, Integration, & Packaging of MEMS/MOEMS, Vol. 4755, pp. 467-476, 2002.
2. Hornbeck, L. J., "Current status of the digital micro mirror device (DMD) for projection television application," Technical Digest of International

- Electron Devices Meeting, pp. 381-384, 1993.
3. Van de Van, E. P., Martin, R. S. and Berman, M. J., "High Rate PECVD to Reduce Hillock Growth in Aluminum Interconnects," Proceedings of the 4th International IEEE VLSI Multilevel Interconnection Conference, pp. 434-439, 1987.
4. Lee, J. B., English, J., Ahn, C. H and Allen, M. G., "Planarization Techniques for Vertically Integrated Metallic MEMS on Silicon Foundry Circuits," Journal of Micromechanics and Microengineering, Vol. 7, pp. 44-54, 1997.
5. Zheng, Y., Dutta, M., Kotecki, C. and Zincke, C., "Planarization for the Integration of CMOS and Micro Mirror Arrays," Proceedings of SPIE: Metrology, inspection, and process control for microlithography XVI, Vol. 4689, pp. 1070-1076, 2002.
6. Ryan, J. G., Geffken, R. M., Poulin, N. R. and Paraszczak, J. R., "The Evolution of Interconnection Technology at IBM," IBM Journal of Research and Development, Vol. 39, No. 4, pp. 371-381, 1995.
7. Sniegowski, J. J., Rodgers, M. S., "Multi-Layer Enhancement to Polysilicon Surface Micromachining Technology," Technical Digest of International Electron Devices, pp. 903-906, 1997.
8. Nasby, R. D., Sniegowski, J. J., Smith, J. H., Montague, S., Barron, C. C., Eaton, W. P., McWhorter, P. J., Hetherington, D. L., Apblett, C. A. and Fleming, J. G., "Application of Chemical-Mechanical Polishing to Planarization of Surface-Micromachined Devices," Technical Digest of the Solid State Sensor and Actuator Workshop, pp. 48-53 1996.
9. Cote, D. R., Nguyen, S. V., Cote, W. J., Pennington, S. L., Stamper, A. K. and Podlesnik, D. V., "Low Temperature Chemical Vapor Deposition Processes and Dielectrics for Microelectric Circuit Manufacturing at IBM," IBM Journal of Research and Development, Vol. 39, No. 4, pp. 437-463, 1995.