

부분등가회로모델을 이용한 매립형 인덕터의 특성 연구

Characterization of Embedded Inductors using Partial Element Equivalent Circuit Models

신동욱*, 오창훈*, 이규복**, 김종규**, 윤일구*

(Dongwook Shin*, Changhoon Oh*, Kyubok Lee**, Jongkyu Kim**, and Ilgu Yun*)

Abstract

The characterization for several multi-layer embedded inductors with different structures was investigated. The optimized equivalent circuit models for several test structures were obtained from HSPICE. Building blocks are modeled using partial element equivalent circuit method. The mean and the standard deviation of model parameters were extracted and predictive modeling was performed on different test structure. From this study, the characteristic of multi-layer inductors can be predicted.

Key Words : Integrated inductors, Embedded passives, Circuit model, PEEC, LTCC

1. 서 론

최근의 무선통신 시장은 부품의 초소형화, 고기능화, 낮은 전력소비 및 저렴한 생산비용을 요구하고 있다. 위와 같은 향상된 특성의 부품제작을 위해 능동소자와 수동소자를 결합하는 모듈 및 모듈화된 부품의 특성 구현을 위한 연구가 활발하게 진행되고 있다. 기술이 발전함에 따라 각종 부품을 집적화 하는데 많은 노력을 기울이고 있으며 여러 응용분야에서 향상된 성능의 구현과 소형화를 위해 몇 개의 집적회로(IC)를 함께 패키징(packaging)하는 multichip modules (MCMs), radio frequency integrated circuits (RF ICs)를 사용하고 있다[1].

이러한 MCMs 및 RF ICs 분야에 저항, 인덕터, 커패시터 등의 수동소자를 집적시켜 모듈화 하는데 저온 동시소성 세라믹(Low Temperature Cofired Ceramic : LTCC) 공정이 주로 사용되고 있다[2]. LTCC 공정으로 소자를 제작하게 되면 기판

(substrate)에 수많은 소자를 집적할 수 있다는 것 외에도 높은 신뢰성, 가격절감, 부피감소 등의 장점이 있지만 한 번 만들면 재공정이 불가능하다는 단점도 있다[3]. LTCC 공정의 장점을 최대한 활용하기 위해서는 소자의 구조를 정확하게 설계하는 기술이 요구되고 새로운 구조의 소자에 대한 특성 예측이 수반되어야 한다.

이 논문에서는 다층(multilayer) LTCC 공정으로 제작된 6가지 구조의 3차원 매립형 인덕터를 partial element equivalent circuit(PEEC) 방법으로 HSPICE simulation tool을 이용하여 정확히 모델링하고 최적화된 각 파라미터 값의 statistical analysis를 통해 공정상의 변위가 실제 인덕터의 특성 변화에 미치는 영향에 대하여 분석하고자 한다[3]. 또한 다른 구조에 대한 예측적인 모델링(predictive modeling)을 통해 구조변화에 따른 인덕터의 특성에 대하여 연구하고자 한다[4].

* : 연세대학교 전기전자공학과
(서울특별시 서대문구 신촌동 134번지,
Fax: 02-362-6444

Corresponding Author : iyun@yonsei.ac.kr)

** : 전자부품연구원 무선회로연구센터
2002년 9월 10일 접수, 2002년 11월 18일 1차 심사완료,
2002년 12월 24일 2차 심사완료, 2003년 1월 29일 최종 심사완료

2. 테스트 구조 설명 및 측정

2.1 테스트 구조 설명

테스트 구조는 각 두께가 4.3 mils인 12-layer로 되어 있으며 LTCC 공정으로 제작되었다. 유전상수

7.8인 96% alumina substrate에 Ti/Au를 적층(deposit)하였으며 그림 1과 같은 상부 도체(top conductor)와 하부 도체(bottom conductor)로 이루어졌다. Electron beam evaporation system을 이용하여 0.04mm의 Ti와 0.2mm의 Au를 적층하였으며 standard photolithology와 etch back 기술을 이용하여 패턴(pattern)을 형성하였다. KCN solution으로 1분 동안 가열하여 Au를 제거하고 BOE(Buffered Oxide Etch)를 이용하여 Ti를 제거하였으며 각각 다른 층의 도체를 thermal via를 형성하여 via stack으로 연결하여 solenoidal pattern을 만들었다. 또한 도체 사이에 발생할 수 있는 coupling capacitances를 줄이기 위하여 도체 사이에 6개의 ceramic tape를 적층하였다.

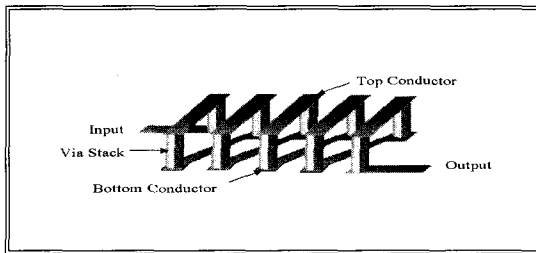


그림 1. 3차원 매립형 인덕터의 구조.
Fig. 1. 3-D embedded inductor illustration.

세 개의 LTCC 기판(coupon)은 동일한 공정을 거쳐 집적화 수동소자(integrated passives)로 제작되었고, 각 기판 위에는 그림 2와 같이 여섯 개의 테스트 구조가 제작되었다. 따라서 각 구조별로 총 18개씩 동일한 모양의 인덕터가 존재하게 된다. 이 각각의 구조에 대하여 모양이 동일한 3개의 인덕터가 존재하므로 각각의 테스트 구조별로 가질 수 있는 공정상의 변위 뿐 아니라, 기판(coupon)별로 발생할 수 있는 변위도 고려할 수 있다. 그림 2의 왼쪽과 오른쪽에 대응되는 테스트 구조의 physical dimension과 기본적인 구조는 같으나 솔레노이드 부분의 개수에서 차이가 있으므로 느슨(loose)한 구조(test structure X-L)와 촘촘(dense)한 구조(test structure X-D)로 구분하였다. 테스트 구조 1은 양쪽 끝의 패드(pad)와 솔레노이드 구조 부분이 연결된 직선 형태의 인덕터이다. 테스트 구조 2는 양끝의 패드와 중간의 솔레노이드 구조, 그리고 솔레노이드 구조를 서로 연결해 주는 링크(link) 부분으로 구성되어 있는 'ㄷ'자 형태의 인덕터이다. 테스트 구조 3은 양끝의 패드와 세 개의 링크 부분으로 솔레노이드 구조를 네 개 연결한 구조로서 'M'자를 90도 회전시킨 형태이다.

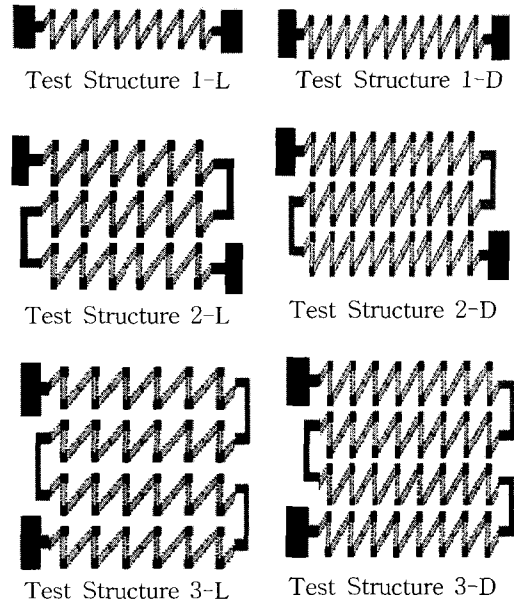


그림 2. 여러 가지 테스트 구조의 2차원 모형.
Fig. 2. 2-D models of several test structures.

2.2 테스트 구조 측정

테스트 구조는 standard network analysis를 사용하여 HP8510C network analyzer와 Microtech probe station을 이용하여 측정하였고 측정에 앞서서 line-reflect-mismatch(LRM) method로 calibration하였다. 각각의 구조에 대해서 50MHz~5GHz까지 201개 포인트의 scattering parameter(S-parameter)를 측정하였고 S-parameter를 Y-parameter로 변환하여 인덕터의 특성을 파악하였다[5,6]. 또한 제조 공정에서 매우 작은 저항을 갖는 물질을 이용하였기 때문에 직류 저항은 무시하였다.

3. 모델링 및 최적화

3.1 모델링

모델링을 위하여 테스트 구조의 각 부분을 그림 3과 같이 기본적인 building block으로 나누었다. 각 building block은 partial element equivalent circuit(PEEC) method를 이용하였으며 각 building block들이 인덕터의 특성에 미치는 영향을 고려하였고 building block의 실제 3차원 구조를 등가회로로 적용시켰다[7].

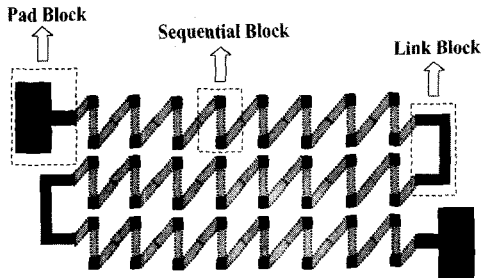


그림 3. 기본적인 building block.
Fig. 3. Basic building blocks.

기본적인 building block의 등가회로는 대칭적인 구조이며 일반적인 인덕터 등가모델을 사용하였다. Building block의 등가회로의 아랫부분에 있는 커패시턴스(C2)는 기판과 building block의 사이의 커패시턴스를 고려한 것이다. 테스트 구조 2, 3과 같이 겹쳐있는 구조에서는 솔레노이드 구조끼리의 기생효과(parasitic effect)가 발생하게 되므로 전류의 방향을 고려하여 인덕턴스, 그리고 솔레노이드 구조 사이의 커패시턴스를 고려하여 모델링하였다[8].

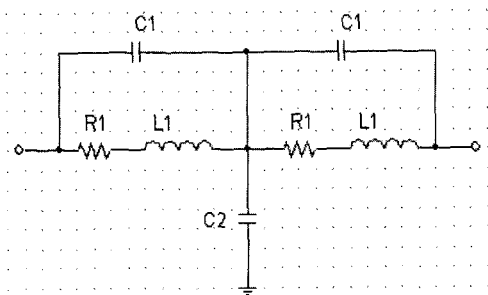


그림 4. 기본적인 partial element equivalent circuit.
Fig. 4. Basic partial element equivalent circuit.

3.2 HSPICE를 이용한 최적화

HSPICE simulation tool을 이용한 시뮬레이션은 기존의 EM/RF(Electro Magnetic/Radio Frequency) 시뮬레이션 방법에 비해 테스트 구조의 동작을 정확히 예측할 수 있다. HSPICE를 이용한 최적화 알고리즘은 Levenberg-Marquardt(LM) 방법으로 Gauss-Newton 법에 의한 탐색 방향과 Steepest Descent 법에 의한 방향을 절충하여 탐색 방향을 제시한다. 즉, Steepest Descent 법으로 초기에 최적치에 접근해 가고, 어느 정도 접근한 상태에서는 Gauss-Newton 법으로 좀 더 정밀한 값을 찾아준다[9]. 각 building block을 구성하는 변수의 추출 및 최적화는 모든 테스트 구조들에 대해 50MHz에서 시작하였으며 고주

파에서의 기생효과(parasitic effect)를 최소화하고 인덕터로 동작하는 영역을 고려하여 첫 번째 공진 주파수(first resonant frequency)대역을 모델링 하였다.

4. 결과 및 토의

그림 5, 6은 세 개의 coupon 중 coupon-1에 해당하는 테스트 구조 1-L과 2-D에 대해 S-parameter의 최적화된 결과를 통해서 변환된 Y-parameter이다. 입력 어드미턴스(input admittance)인 Y11의 그림에서 볼 수 있듯이 최적화된 결과는 측정된 결과와 유사하며 나머지 두 개 coupon의 다른 테스트 구조들에 대해서도 같은 결과를 갖는다.

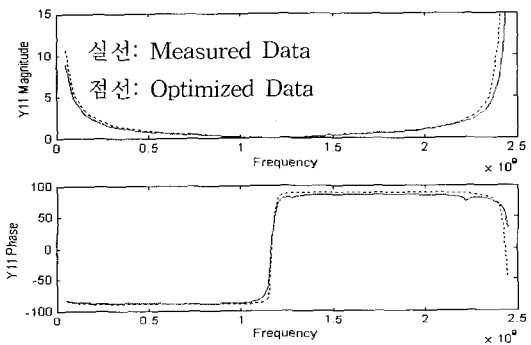


그림 5. 테스트 구조 1-L의 측정된 Y11과 최적화된 Y11.
Fig. 5. Measured Y11 and optimized Y11 on test structure 1-L.

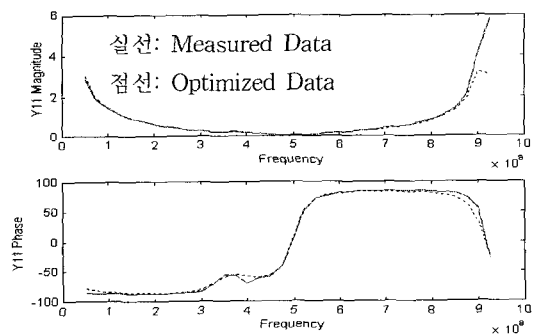


그림 6. 테스트 구조 2-D의 측정된 Y11과 최적화된 Y11.
Fig. 6. Measured Y11 and optimized Y11 on test structure 2-D.

세 개의 coupon에 있는 각각의 테스트 구조에 대한 모델링 및 최적화를 실시한 후 각 building block에 해당하는 파라미터 값을 추출하였으며 최적화된 파라미터 값은 표 1에 나타내었다. 표에서 보는 바와 같이 Rpad, Lpad, Cpad는 pad block을 구성하는 파라미터이며 Rseq, Lseq, Cseq는 sequential block를, Rlin, Llin, Clin은 link block을 구성하는 파라미터이다. 그리고 Cgnd1은 pad block과 기판, Cgnd2는 sequential block과 기판, Cgnd3는 link block과 기판 사이의 커패시턴스를 나타내는 파라미터이다.

표 1. 테스트 구조의 평균과 표준편차.

Table 1. Mean and standard deviation of test structures.

	Structure 1-L		Structure 1-D		Structure 2-L		Structure 2-D	
	Mean	Variation	Mean	Variation	Mean	Variation	Mean	Variation
Rpad[Ω]	7.7E-02	7.7E-03	4.1E-01	9.1E-02	6.7E-01	3.5E-02	1.5E+00	1.2E-02
Lpad[H]	5.5E-10	1.1E-21	1.2E-09	4.6E-20	1.8E-09	2.7E-19	2.0E-09	4.1E-21
Cpad[F]	2.8E-12	2.2E-24	2.0E-12	1.7E-25	9.5E-12	7.5E-24	1.4E-12	4.2E-25
Rseq[Ω]	1.0E-10	0	1.0E-10	0	1.0E-05	0	8.0E-03	1.8E-04
Lseq[H]	8.5E-10	2.3E-21	8.0E-10	5.4E-21	5.0E-09	3.5E-19	5.5E-09	1.0E-20
Cseq[F]	5.0E-13	1.2E-26	1.1E-12	1.6E-25	1.4E-12	7.1E-28	2.3E-12	3.5E-27
Rlin[Ω]	-	-	-	-	1.1E+02	3.9E-02	5.7E+01	2.0E-02
Llin[H]	-	-	-	-	8.9E-08	5.5E-16	1.0E-07	1.4E-17
Clin[F]	-	-	-	-	8.2E-13	1.1E-25	1.3E-12	6.3E-29
Cgnd1[F]	4.5E-13	3.3E-27	6.0E-13	5.5E-27	1.3E-12	4.3E-26	1.1E-12	7.8E-28
Cgnd2[F]	2.4E-13	2.6E-29	1.2E-13	3.3E-28	1.7E-14	1.0E-28	5.6E-14	1.5E-30
Cgnd3[F]	-	-	-	-	1.7E-12	6.5E-26	1.1E-12	8.0E-28

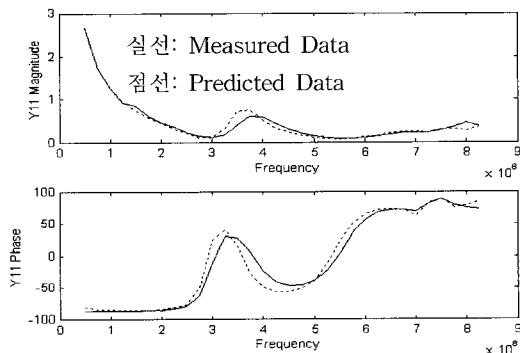


그림 7. 테스트 구조 3-L의 측정된 Y11과 예측된 Y11.

Fig. 7. Measured Y11 and predicted Y11 on test structure 3-L.

위의 결과를 볼 때에 각각의 테스트 구조에 대한 파라미터의 표준편차가 평균보다 훨씬 작으므로 최적화된 파라미터 값에 대한 신뢰성이 있음을 알 수

있다. 또한 각각의 테스트 구조의 building block을 구성하는 파라미터 값이 유사한 범위 상에 존재하므로 세 가지 building block을 조합하여 구성된 다른 구조에 대해 소자를 직접 제작하지 않고도 특성에 대한 예측이 가능하다고 할 수 있다.

테스트 구조 1, 2에서 추출한 최적화된 파라미터 값을 바탕으로 테스트 구조 3을 building block을 조합하여 등가회로로 구현하고 이에 대한 특성을 예측하였다. 실제로 제작된 테스트 구조 3의 측정된 값과 예측한 데이터는 유사한 특성을 나타내었으며 이에 대한 테스트 구조 3-L의 특성 예측에 대한 결과는 그림 7과 같다.

5. 결론

본 논문에서는 다차원 패턴 LTCC 공정으로 제작된 3차원 매립형 인덕터에 대한 모델링을 PEEC 방법을 이용하여 수행하였고 최적화된 결과에서 추출한 파라미터 값에 대한 평균과 표준편차를 계산하였다. 이를 바탕으로 다른 구조를 갖는 인덕터의 특성을 예측하였다. 위의 연구를 통해 공정상의 변위가 실제 제작된 인덕터의 동작에 어떤 영향을 미치는지에 대해 예측할 수 있을 뿐만 아니라 다른 구조를 갖는 인덕터에 대해서도 특성을 예측할 수 있다. 따라서 실제로 소자를 기획, 설계하거나 제작하는데 시간과 비용을 절감할 수 있으며 수율을 향상시킬 수 있다.

참고 문헌

- [1] L. J. Golonka, K. J. Wolter, A. Dzedzic, J. Kita, and L. Rebenklau, "Embedded passive components for MCM", 24th International Spring Seminar on Electronic Technology, p. 73, 2001.
- [2] R. L. Brown, A. A. Shapiro, and P. W. Polinski, "The integration of passive components into MCMs using advanced low-temperature cofired ceramics", The Int. Journ. of Microcircuits and Electron Packaging, Vol. 16, No. 4, p. 328, 1993.
- [3] H. Heeb and A. E. Ruehli, "Three-dimensional interconnect analysis using partial element equivalent circuits", IEEE Trans. Cir. Sys. I,

- Vol. 39, p. 974, 1992.
- [4] R. Poddar and M. Brooke, "Accurate high speed empirically based predictive modeling of deeply embedded gridded parallel plate capacitors fabricated in a multilayer LTCC process", IEEE Trans. Advanced Packaging, Vol. 22, No. 1, p. 26, 1999.
 - [5] 이서구, 최중성, 윤일구, "저온 동시소성 공정으로 제작된 3차원 매립 인덕터 모델링," 전기전자재료학회논문지, 15권 4호, p. 344, 2002.
 - [6] D. M. Pozar, "Microwave Engineering", John Wiley & Sons, p. 211, 1998.
 - [7] 오창훈, 신동욱, 이규복, 김종규, 윤일구, "구조 변화에 따른 LTCC 매립형 인덕터 등가모델 연구", 전기전자재료학회 2002하계학술대회논문집, 3권 2호, p. 678, 2002.
 - [8] 신동욱, 오창훈, 이규복, 김종규, 윤일구, "3차원 매립형 수동소자에 대한 통계적 분석", 전기전자재료학회 2002하계학술대회논문집, 3권 2호, p. 593, 2002.
 - [9] I. Yun, L. A. Carastro, R. Poddar, M. A. Brooke, G. S. May, K. Hyun, and K. Pyun, "Extraction of passive device model parameters using genetic algorithms", ETRI Journ., Vol. 22, No. 1, p. 38, 2000.