

## 코발트 오믹층의 적용에 의한 콘택저항 변화

### Effects of Cobalt Ohmic Layer on Contact Resistance

정성희, 송오성

(Cheong-Hwee Cheong and Oh-Sung Song)

#### Abstract

As the design rule of device continued to shrink, the contact resistance in small contact size became important. Although the conventional TiN/Ti structure as a ohmic layer has been widely used, we propose a new TiN/Co film structure. We characterized a contact resistance by using a chain pattern and a KELVIN pattern, and a leakage current determined by current-voltage measurements. Moreover, the microstructure of TiN/ Ti/ silicide/n+ contact was investigated by a cross-sectional transmission electron microscope (TEM). The contact resistance by the Co ohmic layer showed the decrease of 26 % compared to that of a Ti ohmic layer in the chain resistance, and 50 % in KELVIN resistance, respectively. A Co ohmic layer shows enough ohmic behaviors comparable to the Ti ohmic layer, while higher leakage currents in wide area pattern than Ti ohmic layer. We confirmed that a uniform silicide thickness and a good interface roughness were able to be achieved in a CoSi<sub>2</sub> process formed on a n+ silicon junction from TEM images.

**Key Words** : Cobalt disilicide, Ti interlayer, silicide, Co/Ti bilayer, Co ohmic layer, Ti ohmic layer

#### 1. 서 론

소자의 고집적화에 따라 게이트 선폭의 감소, 접합 영역 및 깊이의 감소, 콘택 크기의 감소가 이루어짐으로써, 트랜지스터의 작동을 위한 저항에서 채널에 의한 저항 보다는 접촉저항 같은 외부저항의 증가가 큰 문제점으로 대두되었다[1,2]. 따라서 접촉저항의 적절한 조절은 소자의 성능을 향상 시키는데 있어 중요하게 다루어져야 할 항목이 되었다.

일반적으로 접합영역에 접촉하는 금속배선은 알루미늄(aluminium: Al)과 같은 금속에 의해 이루어

지는데, Al은 접합 영역의 실리콘과 직접 접촉할 때는 실리콘과 반응하는 스파이킹 현상이 발생하여 접합의 누설 전류를 증가시키는 문제점이 발생된다[3]. 따라서, 일반적으로 실리콘 접합과의 안정적인 오믹(ohmic) 접촉을 형성하기 위하여 Al 증착 전 TiN/Ti의 적층 구조를 이용한 오믹층(ohmic layer)을 사용한다. TiN/Ti 오믹층 구조에서 TiN은 확산 배리어(barrier)의 역할을 하며, Ti는 산화막과의 좋은 접착 특성을 유지하고 실리콘과는 실리사이드 반응을 하여 오믹 접촉을 형성하는 역할을 한다[4,5].

오믹층 금속으로서 Ti는 자연 산화막에 대한 제거력이 뛰어나 Ti 증착 전의 전세정 공정에 민감하지 않은 장점도 있지만[6], 도핑된 실리콘 기판과의 반응 특성에서 몇가지 한계를 보여준다. Ti는 기본적으로 도판트와의 반응성이 커 n+/p+의 접합 영역에서 이미 도핑된 영역에 변화를 초래할 수

서울시립대학교 신소재공학과  
(서울시 동대문구 전농동90 130-743,  
Fax : 02-2215-5863

Corresponding Author : shcheong@sidae.uos.ac.kr  
2002년 10월 25일 접수, 2003년 1월 6일 1차 심사완료,  
2003년 2월 27일 최종 심사완료

있다. 반도체 제조에서 n+ 접합을 형성하는 도판트는 As 또는 인(P: phosphorous)을 적용하고 p+ 접합은 BF<sub>2</sub>를 사용하는데, 실리사이드 반응에서 실리콘이 확산하여 Ti와 반응하는 단계에서 물질 이동의 차이가 발생한다[7]. 즉, 도판트의 원자 크기에 따라 실리콘의 확산의 차이가 발생함으로써, 형성되는 실리사이드 두께는 도판트 종류가 다른 접합 영역에서 차이를 보이게 되어 일반적으로 작은 원자로 도핑되는 p+ 접합에서 상대적으로 두껍게 형성된다. 그리고 Ti는 도판트와의 반응이 활발하여 TiB<sub>2</sub>, TiAs 등의 화합물을 형성함으로써, 접합 영역의 도판트 분포에 대한 재분포를 발생시키거나 농도를 감소시킨다[8]. 특히 Ti-B 반응은 매우 활발하여 금속과 접합의 접촉저항에서 p+와의 저항의 절대값이 n+ 보다 더 큰 현상이 발생된다[5]. 급속가열처리(rapid thermal annealing: RTA) 과정에서 실리사이드/접합 사이의 계면에 있는 도판트가 Ti와 반응함으로써, 그 농도가 크게 감소하여 접촉저항이 크게 증가하는 현상이 발생되는데, 다음 식[9,10]에 접촉저항과 접합 농도와의 관계에서 저농도가 될 수록 Ti의 접촉저항이 커지는 현상을 쉽게 확인할 수 있다.

$$R_c = C_1 \exp\left[\frac{\Phi_{Bn}}{\sqrt{N_D}}\right]$$

여기서 R<sub>c</sub>는 접촉저항이고, Φ<sub>Bn</sub>는 배리어장벽(barrier height on n-type)이고, C<sub>1</sub>는 상수(constant)이고, N<sub>D</sub>는 기판 농도(substrate doping concentration)이다.

기존의 Ti가 가진 상기의 문제점에 대해 Co는 기본적으로 접합영역에서 상대적으로 우수한 특성을 보이는데, 실리사이드 형성 과정에서 Co가 확산하여 반응하므로 n+, p+ 접합 형태에 따른 차이 없이 동일한 두께를 보인다[11,12]. 또한, 도판트와의 반응성이 거의 없어 실리사이드와 접합 계면의 도판트는 계속 유지되어 접촉저항이 낮게 유지된다.

이와 같이 Co는 우수한 실리사이드 박막 특성을 보이지만, 오믹층 금속으로 사용될 때는 기본적으로 증착 후에 금속선 형성을 위한 건식 식각 공정이 가능하여야 한다. 그런데, Co 박막을 현재 기술로는 건식 식각하는 것이 쉽지 않아 본 연구에서는 오믹층 금속으로 적용할 때 콘택의 접합부에 형성되는 실리사이드 박막을 먼저 형성하는 방법을 채택하였다. 이와 같이 접합부에 Co 박막에 의한 CoSi<sub>2</sub> 박막을 형성하고 기본적인 TiN/Ti 구조

를 증착하여 RTA를 함으로써, CoSi<sub>2</sub>와 상부의 Ti가 오믹 접촉이 이루어지게 하여 Co 오믹층 채움에 따른 접촉저항 특성을 확인하였다.

## 2. 실험 방법

### 2.1 시편의 제작

Co 오믹층에 의한 접촉저항을 조사하기 위하여 접합, 금속배선, 접합과 금속배선을 절연 시키기 위한 oxide 층으로 구조를 형성하였으며, 그림 1에 접촉저항 측정을 위한 공정 순서를 나타내었다. 일반적으로 Co는 건식 식각이 어려운 특성이 있으므로, 본 실험에서는 오믹층 금속으로 직접적으로 적용할 수 없어 접합의 콘택 부분에 부분적으로 CoSi<sub>2</sub>를 형성한 후 일반적인 오믹층 금속인 TiN/Ti를 증착하여 연결하는 방법을 사용하였다.

접합은 As을 3×15 ion/cm<sup>2</sup>의 dose와 15 KeV의 에너지 조건으로 이온주입에 의해 형성하였으며, 절연 산화막은 PECVD(plasma enhanced CVD) 방법에 의해 3000 Å 두께로 증착하였다. 산화막의 전면 증착 후 접합과 금속배선을 연결 시키기 위하여 마스크 및 에칭 작업으로 접촉 통로를 형성하였다.

Co 오믹층을 형성하는 조건은 Co 500 Å을 콘택에 증착한 후 Ti를 시간 지연 없이 100 Å 두께로 증착하였다. 이때 Co 박막은 상온에서 1 kW의 DC power와 16 mTorr의 챔버 압력으로 진행하였고, Ti 증착은 DC power 1.75 kW, 압력 25 mTorr, 증착온도 200°C 조건에서 진행하였다. Ti 100 Å/Co 500 Å의 박막 적층 구조를 완료한 후 CoSi<sub>2</sub>를 형성하기 위하여 첫번째 RTA(700°C-20 sec)→습식용액(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=3:1)에 의한 미반응 금속 제거→두번째 RTA(850°C-20 sec)의 공정 순서로 진행하였다.

이와 같이 형성된 콘택에 오믹층 금속을 모든 실험 조건에 동일하게 TiN 500 Å/Ti 300 Å 적층 구조로 형성한 후 오믹층 금속을 650°C-10 sec 조건으로 RTA 처리하였다. RTA 과정에 접합 부분에 CoSi<sub>2</sub>가 형성된 조건은 Ti가 CoSi<sub>2</sub> 위의 산화막을 완전히 제거하여 오믹 접촉을 형성하게 되며, n+ 접합 부분에 직접 접촉하는 Ti 오믹층 조건은 일반적으로 형성되는 TiSi<sub>2</sub> 박막이 형성된다. 그리고, 오믹층 금속 위에 전기적 특성을 조사하기 위한 접촉 단자(pad)를 형성하기 위하여 Al 3000 Å을 증착하였으며, 또한 금속배선간의 절연을 위하여 마스크 및 에칭을 하였다.

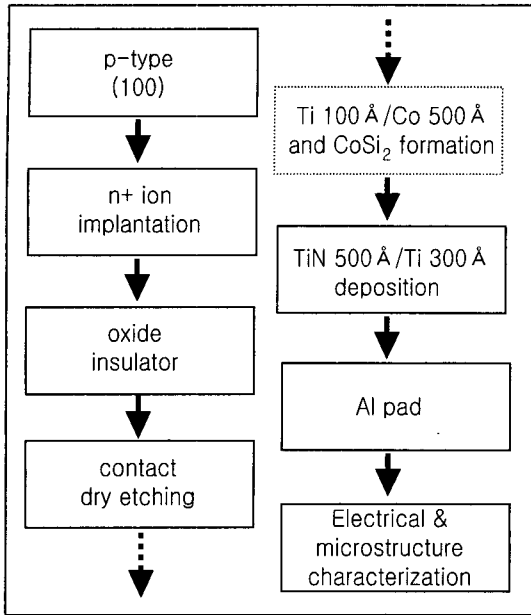


그림 1. 금속과 접합 사이의 전기적 특성 분석을 위한 공정 순서.

Fig. 1. The process flow for analyses of electrical characteristics between the metal and the junction.

### 2.2 오믹층 특성의 분석

Co의 오믹층 금속으로서의 가능성 및 적용을 위한 전기적 특성을 평가하기 위하여 연쇄접촉저항, 켈빈저항, 전류-전압 특성, 접합 누설전류를 조사하고 미세구조는 수직단면 전자현미경을 이용하였다.

연쇄접촉저항은 그림 2와 같이 수직단면으로 보았을 때 접합 부분과 금속배선의 반복적인 연결고리를 이용하여 만든 것인데, 접합과 금속배선은 모든 조건에서 동일하기 때문에 동일한 전압을 인가하였을 때 오믹층 금속의 형성 방법에 따른  $0.30 \mu\text{m} \times 0.30 \mu\text{m}$ ,  $0.35 \mu\text{m} \times 0.35 \mu\text{m}$ ,  $0.40 \mu\text{m} \times 0.40 \mu\text{m}$  크기의 콘택에서 접촉저항의 경향을 확인할 수 있도록 설계하였다. 접촉저항의 신뢰성을 높이기 위하여 그림 2에 나타난 바와 같은 연결방식으로 1000개의 접촉콘택을 만들었는데, 이 실험 패턴(pattern)에서 얻어진 저항을 이용하여 금속배선과 접합의 직접적인 저항을 검출하였다.

켈빈저항은 접촉저항의 측정 관점에서는 동일한 분석 항목인데, 연쇄 접촉저항과는 측정 구조와 의미에서 약간 차이가 있다. 즉, 켈빈저항은 그림 3에 나타난것과 같이 금속 배선과 접합 영역의 저항을 배제하고 금속배선과 접합의 순수한 접촉저항을 측정하기 위한 구조를 이용한 것이다. 또한, 금속배선과 접합 영역과의 접촉콘택은  $0.4 \mu\text{m} \times 0.4 \mu\text{m}$ 의 콘택 크기로 하나만 형성되도록 만들었다.

전압-전류 특성은 그림 2의 연쇄 접촉 패턴에서 전압-전류 특성을  $-3 \text{ V} \sim +3 \text{ V}$  범위에서 측정하였으며, 이 측정으로부터 접합과 금속배선의 오믹 접촉 여부를 확인하였다.

접합 누설전류는  $100 \mu\text{m} \times 100 \mu\text{m}$ ,  $400 \mu\text{m} \times 400 \mu\text{m}$ 의 두 영역에 많은 콘택을 형성한 후 오믹층 금속 조건 및 금속배선을 형성한 상태에서 실리콘 기판을 접지로 하여 측정하였다.

수직단면 전자현미경으로 접합부분에서의 실리사이드 형상을 확인하였는데, 주로 실리사이드와 접합 부분의 계면 거칠기와 형성된 실리사이드 두께를 확인하였다.

또한 기존의 Ti 오믹층 금속과의 비교를 위해 같은 방법으로 Co 대신에 Ti 오믹층을 적용한 경우도 동일한 패턴을 준비하고 각각의 결과를 비교 분석하였다.

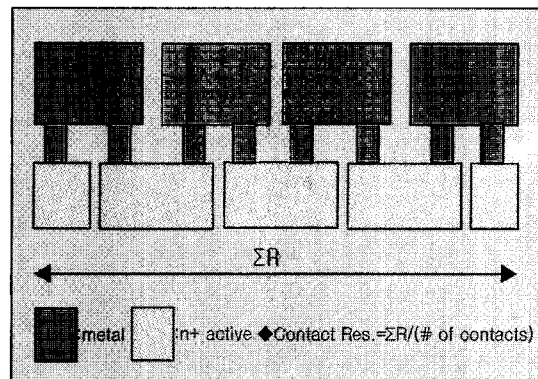


그림 2. 금속과 접합 사이의 연쇄접촉저항 측정을 위한 수직적 단면 패턴.

Fig. 2. The pattern of the vertical cross section for measuring the contact chain resistance between the metal and the junction.

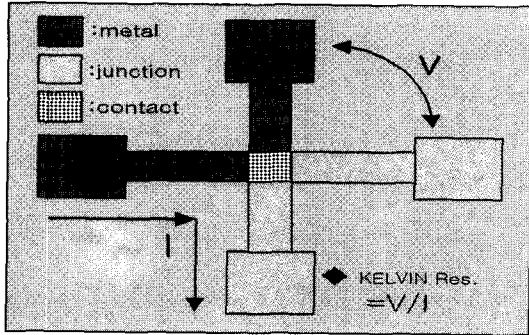


그림 3. 금속과 접합 사이의 켈빈저항 측정을 위한 패턴.

Fig. 3. The pattern for measuring the KELVIN resistance between the metal and the junction.

### 3. 결과 및 고찰

기존의 Ti 오믹층 금속과 달리 실리사이드 형성 반응에서 도판트 의존성이 없는 특성을 가지는 Co를 접촉콘택의 오믹층 금속으로 적용함으로써 얻어지는 전기적 특성을 다음과 같이 연쇄접촉저항, 켈빈저항, 전류-전압 특성, 누설전류, 콘택에서의 박막 형상 측면에서 분석하였다.

오믹층 금속에 따라 다른 실리사이드가 형성됨으로써, 얻어진 금속과 접합 사이의 연쇄접촉저항을  $0.30 \mu\text{m} \times 0.30 \mu\text{m}$ ,  $0.35 \mu\text{m} \times 0.35 \mu\text{m}$ ,  $0.40 \mu\text{m} \times 0.40 \mu\text{m}$ 의 콘택 크기에 대해 그림 4에 나타내었다. 연쇄접촉저항은 그림 2의 도식도와 같이 연결된 금속과 접합 부분에 대해 전압을 인가하여 얻어진 총저항에 대해 콘택 갯수 1000으로 나누어 각 조건에 대한 접촉저항을 표준화 시킨 것이다. 그림 4에서와 같이 세가지 크기의 콘택에 대해서 오믹층 금속에 관계 없이 콘택 크기가 증가할수록 접촉면적이 증가하여 콘택저항은 비례적으로 감소하였다. 또한, 오믹층 금속에 따라서는 뚜렷한 구별을 보였는데, 동일 조건의 콘택 크기에서 Co 오믹층을 사용하였을 때가 Ti에 비해 훨씬 낮은 결과를 보였다.  $0.30 \mu\text{m} \times 0.30 \mu\text{m}$  콘택 크기에 대해서 Co 오믹층은  $127 \Omega/\mu\text{m}^2 \sim 146 \Omega/\mu\text{m}^2$ 의 분포를 보였으며, Ti 오믹층은  $177 \Omega/\mu\text{m}^2 \sim 197 \Omega/\mu\text{m}^2$ 의 분포를 보여 Co 조건이 Ti 조건에 비해 약 26% 정도 개선된 결과를 보였다. 이와 같은 결과로부터 Co 오믹층의 적용에 따라 도판트(As)에 대한 반응성이 감소하여 실리콘 접합의 As 농도를 높게 유지하여 낮은 접촉저항을 확보할 수 있었다.

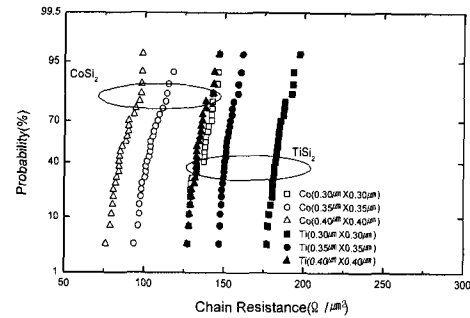


그림 4. 연쇄접촉 패턴에서 측정된 Ti와 Co 오믹층에 의한 접촉저항.

Fig. 4. Resistance behaviors by ohmic layers of Ti and Co from chain patterns.

연쇄접촉저항은 금속 및 접합의 고유저항이 포함되어 금속과 접합의 순수 접촉저항만을 확인하기 위하여 그림 3의 구조와 같은  $0.4 \mu\text{m} \times 0.4 \mu\text{m}$ 의 콘택에서 켈빈저항을 측정하여 그림 5에 정리하였다. Co 오믹층을 적용한 경우 켈빈저항은  $50 \Omega/\mu\text{m}^2 \sim 60 \Omega/\mu\text{m}^2$  범위로 Ti 조건의  $100 \Omega/\mu\text{m}^2 \sim 200 \Omega/\mu\text{m}^2$ 의 분포에 대해 50% 이상 더 낮은 결과를 연쇄접촉저항과 같은 경향을 보였다. 낮은 접촉저항의 결과로부터 Co 오믹층을 사용하는 경우  $\text{CoSi}_2/\text{n}^+$  접합의 계면은 완전한 오믹 상태를 유지하며, 계면에서의 도판트에 대한 감소 및 재분포를 일으키지 않는다는 것을 간접적으로 확인할 수 있었다 [12,13].

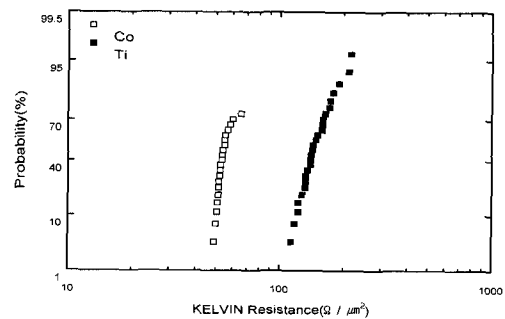


그림 5. 켈빈 패턴에서 측정된 Ti와 Co 오믹층에 의한 접촉저항.

Fig. 5. The behaviors of KELVIN resistances by Ti and Co ohmic layers.

오믹층 금속 종류에 따른 금속과 접합간의 오믹 특성을 확인하기 위하여 그림 2의 패턴에서 -3 V~+3 V의 전압 범위에서 전류-전압 특성을 측정하여 그림 6에 나타내었다. 그림 6에서와 같이 -3 V~+3 V의 전압 범위에서 Co 오믹층을 사용한 경우에도 기존의 Ti와 동일하게 좋은 오믹 특성을 보였다. 동일 전압에 대해 Co 조건에서 전류 흐름이 높아  $\text{CoSi}_2/n+$  접합의 계면 저항이 Ti에 의해 형성된  $\text{TiSi}_2/n+$  접합의 경우 보다 낮은 것을 확인할 수 있었다.

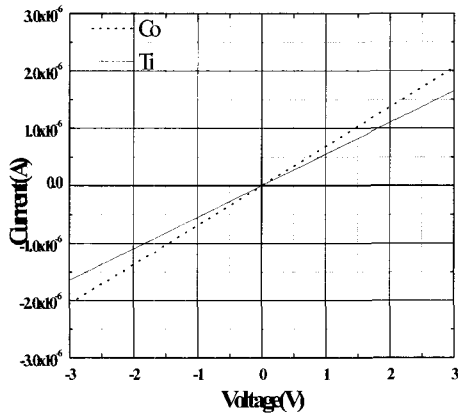


그림 6. 연쇄접촉 패턴에서 측정된 Ti와 Co 오믹층에 의한 전류-전압 특성.

Fig. 6. The current-voltage characteristics by the Ti and Co ohmic layer in chain patterns.

Co 오믹층을 사용하는 경우는 Co의 확산 속도가 빠르기 때문에 접합에서의 누설전류가 가장 큰 문제점 중의 하나인데, Co와 Ti 오믹층의 경우에 대한 누설전류를 두가지 측정 영역을 이용하여 비교 결과를 얻었다. 그림 7은 두가지 영역에 대해 1.8 V의 전압을 인가하였을 때 얻어진 누설전류를 두가지 오믹층 조건에 대해 정리하였다.  $100 \mu\text{m} \times 100 \mu\text{m}$ 의 영역에서 두 조건에 대해 얻어진 누설전류는 거의 비슷한  $2 \times 10^{-12} \text{ A} \sim 5 \times 10^{-12} \text{ A}$ 의 범위를 보였지만,  $400 \mu\text{m} \times 400 \mu\text{m}$ 의 영역에서는 Co는  $1 \times 10^{-11} \text{ A}$ 을 초과하였는데 Ti는  $1 \times 10^{-11} \text{ A}$  이하의 범위를 보였다. 이와 같이 Ti 오믹층에 비해 Co 오믹층이 더 높은 누설전류를 보이는 것은 두가지 원인으로 예상할 수 있다. 일차적으로 고려할 수 있는 것은 Co가 확산 속도가 Ti 보다 빠르기

때문에 본질적으로 누설전류의 원인이 되는 결합 밀도가 Ti 보다 더 증가할 수 있고, 한편으로  $\text{CoSi}_2$  박막을 만드는 과정에 Ti 오믹층 조건 보다 열처리가 추가된 것이 원인일 수 있다. 즉, Ti 오믹층 조건은  $650^\circ\text{C}-10 \text{ sec}$ 의 열처리만 하였지만, Co 오믹층 조건은  $\text{CoSi}_2$  형성과정에 추가적으로  $700^\circ\text{C}-20 \text{ sec}$ 와  $850^\circ\text{C}-20 \text{ sec}$ 의 열처리를 하였기 때문이다. 또한 그림 7에서와 같이 접촉영역의 면적이 증가할수록 Co와 Ti 모두 누설전류가 증가하였는데, 이것은 누설 전류의 결합이 비례하여 증가할 가능성이 많아지기 때문에 발생하는 현상으로 판단된다.

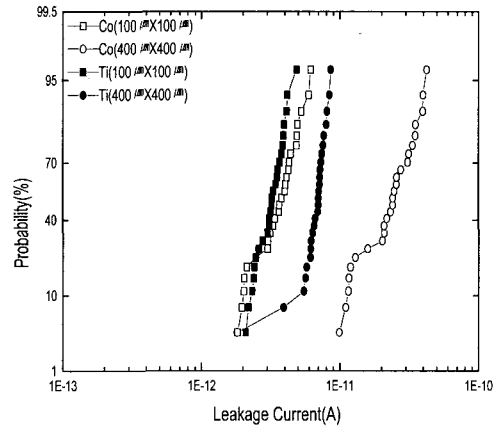


그림 7. Ti와 Co 오믹층에 의한 접합에서의 누설 전류.

Fig. 7. The leakage currents of the junction by Ti and Co ohmic layers.

$\text{CoSi}_2$  공정은 형성과정에 실리콘 소모량이 크므로 실제 실험에서  $\text{CoSi}_2$  형성이 정상적으로 이루어졌는지를 확인하기 위하여 Co 오믹층과 기존의 Ti 오믹층에 대한 n+ 접합에서의 형상을 수직단면 전자현미경을 이용하여 관찰하였으며, 그 결과를 그림 8에 나타내었다. 전기적 특성을 조사한 패턴의 콘택의 접합에서  $\text{CoSi}_2$  형상을 확인한 후 그림 8(a)에 나타내었는데, 그림 8(a)에 나타난 것과 같이  $\text{CoSi}_2$ 는 600 Å 정도의 두께를 보였으며, 실리콘 사이드 위에 증착된 TiN/Ti 오믹층과  $\text{CoSi}_2$  사이에는 불순물 층이 존재하지 않아 물리적으로 좋은 접촉을 유지하는 것을 확인할 수 있었다. 증착 두께인 500 Å의 Co 두께에 비해 형성된  $\text{CoSi}_2$  두께

가 얇은 것은 Co의 증착률(step coverage) 특성이 나쁘므로, 실제 콘택의 바닥에는 Co가 얇게 증착되었기 때문이다. 또한, 실리콘 접합과의 계면도 약 50 Å 정도의 거칠기를 보여 양호한 상태를 보였다. 그리고 접합에 직접적으로 TiSi<sub>2</sub>가 형성되는 조건은 그림 8(b)에 나타내었는데, 실리사이드 두께는 약 300 Å이었고 n+ 실리콘 접합과의 계면도 역시 균일하게 유지되었다. 따라서 콘택의 접합 부위에 형성되는 두 조건인 실리사이드는 미세구조적으로 계면 사이의 미소 공극형성 등의 문제없이 완벽하게 형성되었음을 확인하였다.

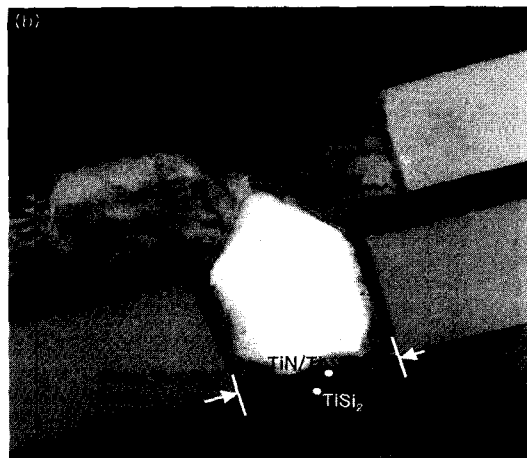
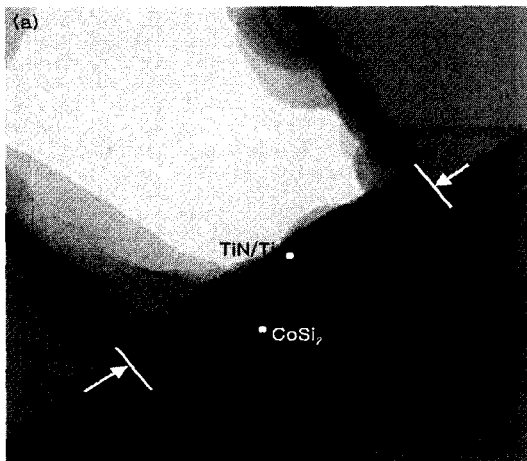


그림 8. T콘택 하부에서의 (a)Ti와 (b)Co 오믹층에 의한 silicide 형상.  
 Fig. 8. The silicide profiles at contact bottoms formed by the deposition of (a) Co and (b) Ti film as the ohmic layer.

#### 4. 결 론

고집적 소자의 접촉저항을 개선시키기 위하여 기존의 Ti 오믹층과 Co 오믹층을 각각 적용하였을 때 금속과 접합의 전기적 특성을 연쇄접촉저항, 켈빈저항, 전류-전압 특성, 접합의 누설전류 관점에서 평가하였고 접합에서의 실리사이드 형상은 수직단면 전자현미경을 이용하였다.

가. 금속과 접합의 연쇄접촉저항은 Co 오믹층의 경우 0.30 μm×0.30 μm에서 127 Ω/μm<sup>2</sup>~146 Ω/μm<sup>2</sup>의 결과로 Ti 오믹층에 비해 약 26 % 정도 향상된 결과를 보였다.

나. 켈빈저항 특성에서는 Co 오믹층 결과는 50 Ω/μm<sup>2</sup>~60 Ω/μm<sup>2</sup>의 결과로 Ti 조건에 비해 약 50 % 정도 개선된 결과를 얻었다.

다. 금속과 접합의 전류-전압 특성에서 Co 오믹층의 경우 Ti와 동일하게 오믹 특성을 보였다.

라. 누설전류에서는 Co 오믹층이 Ti에 비해 100 μm×100 μm의 영역에서는 거의 비슷하였지만, 400 μm×400 μm의 영역에서는 상대적으로 높은 누설 특성을 보였다.

마. 접합의 콘택 부분에 형성된 CoSi<sub>2</sub>는 약 600 Å의 두께를 보여 300 Å 두께의 TiSi<sub>2</sub> 보다 두꺼웠으나, CoSi<sub>2</sub>/n+ 접합의 계면의 상태는 TiSi<sub>2</sub>/n+ 접합과 거의 비슷하였다.

#### 감사의 글

이 연구는 2002년도 서울시립대학교 학술연구용역장비 지원에 의하여 이루어진 것입니다. 이에 감사 드립니다."

#### 참고 문헌

- [1] 최도영, 윤석범, 오환술, "2단계 RTP 방법에 의한 n+p 접합 티타늄 실리사이드 특성연구", 전기전자재료학회논문지, 8권, 6호, p. 737, 1995.
- [2] J. A. Kittl and Q. Z. Hong, "Self-aligned Ti and Co silicides for high performance sub-0.18μm CMOS technologies", Thin Solid Films, Vol. 320, No. 1, p. 110, 1998.
- [3] 정연실, 배규석, "SADS(Silicide As Diffusion Source) 법으로 형성한 코발트 폴리사이드 게이트의 C-V 특성", 전기전자재료학회논문지

- 지, 13권, 7호, p. 557, 2000.
- [4] 정두찬, 이재승, 이정희, 김창석, 오재웅, 김종욱, 이재학, 신진호, 신무환, "n<sup>+</sup>-GaN/AlGaIn/GaN HFET 제작을 위한 오믹접촉에 관한 연구", 전기전자재료학회논문지, 14권, 2호, p. 123, 2001.
- [5] Y. P. Chen, G. A. Dixit, J. P. Lu, W. Y. Hsu, A. J. Konecni, J. D. Luttmner, and R. H. Havemann, "Integrated barrier/plug fill schemes for high aspect ratio GB DRAM contact metallization", Thin Solid Films, Vol. 320, p. 73, 1998.
- [6] K. Maex, A. Lauwers, P. Besser, E. Kondoh, M. Potter, and A. Steegen, "Self-aligned CoSi<sub>2</sub> for 0.18 $\mu$ m and below", IEEE Trans. Electron Devices, Vol. 46, No. 7, p. 1545, 1999.
- [7] M. H. Juang, S. C. Han, and M. C. Hu, "Effects of Ni silicidation on the shallow p<sup>+</sup>N junctions formed by BF<sub>2</sub><sup>+</sup> implantation into thin polycrystalline-Si films on Si substrates", Jpn. J. Appl. Phys., Vol. 37, No. 10, p. 5515, 1998.
- [8] H. Fang, M. C. Ozturk, E. G. Seebauer, and D. E. Batchelor, "Effects of arsenic doping on chemical vapor deposition of titanium silicide", J. Electrochem. Soc., Vol. 146, No. 11 p. 4240, 1999.
- [9] C. M. Osburn and K. R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices", Thin Solid Films, Vol. 332, p. 428, 1998.
- [10] K. Varahramyan and E. J. Verret, "A model for specific contact resistance applicable for titanium silicide-silicon contacts", Solid-State Electronics, Vol. 39, No. 11, p. 1601, 1996.
- [11] R. T. Tung, "Ultrathin silicide formation for ULSI devices", Applied Surface Science, Vol. 117/118, p. 268, 1997.
- [12] D. Mangelinck, J. Cardenas, F. M. d'Heurle, B. G. Svensson, and P. Gas, "Solid solubility of As in CoSi<sub>2</sub> and redistribution at the CoSi<sub>2</sub>/Si interface", J. Appl. Phys., Vol. 86, No. 9, p. 4908, 1999.
- [13] A. Lauwers, Q. F. Wang, B. Dewerd, and K. Maex, "Ti/Co bilayers in salicide technology: electrical evaluation", Applied Surface Science, Vol. 91, p. 12, 1995.