

고집적화된 1TC SONOS 플래시 메모리에 관한 연구

A Study on the High Integrated 1TC SONOS Flash Memory

김주연*, 김병철**, 서광열***

(Joo Yeon Kim*, Byeong Chel Kim**, and Kwang Yell Seo***)

Abstract

To realize a high integrated flash memory utilizing SONOS memory devices, the NOR type 1TC(one Transistor Cell) SONOS flash arrays are fabricated and characterized. This SONOS flash arrays with the common source lines are designed and fabricated by conventional 0.35 μ m CMOS process. The thickness of ONO for memory cells is tunnel oxide of 34Å, nitride of 73Å and blocking oxide of 34 Å. To investigate operating characteristics, CHEI(Channel Hot Electron Injection) method and bit line method are selected as the program and the erase operation, respectively. The disturbance characteristics according to the program/erase/read cycling are also examined. The degradation characteristics are investigated and then the reliability of SONOS flash memory is guaranteed.

Key Words : SONOS flash memory, NOR type, CHEI, Disturbance, Common source line

1. 서론

NVSM(Non Volatile Semiconductor Memory)을 구현하는 소자 기술은 부유 게이트형(floating gate type)과 전하 트랩형(charge trap type)인 SONOS (polySilicon-Oxide-Nitride-Oxide-Semiconductor) 구조가 그 두 축을 이루어 왔다[1,2]. 현재까지 개발된 반도체 메모리 중[3] 이상적인 메모리 특성을 가장 많이 나타내고 있는 것이 플래시 메모리이다.

지금까지의 플래시 메모리 시장은 부유 게이트형이 주류를 이루어 왔다. 그러나 이러한 부유 게이트형 구조는 전하가 다결정 실리콘에 저장되기 때문에 터널링 산화막의 작은 결함에도 영향을 받아 기억유지 특성에 문제를 야기 시킬 수 있으며,

과도 소거 등의 단점을 가지고 있다. 이에 비하여 SONOS 소자를 이용한 전하 트랩형인 경우는 전하가 대부분 질화막에 트랩 되기 때문에 터널링 산화막의 결함이 기억유지 특성에 미치는 영향이 적고 그 특성이 우수[4,5]하므로 유전막 스케일링이 용이하다[6]. 최근 0.1 μ m 이하로의 축소 가능성이 검증[7]되어 고집적이 요구되는 차세대 플래시 메모리의 기억소자로의 그 응용 가능성이 대두되고 있다. 또한 기존의 CMOS 공정을 그대로 이용할 수 있어 SoC(System on Chip)화에도 유리하다.

SONOS 기억소자를 이용하여 비휘발성 메모리 구현은 1 cell 당 SONOSFET 1개와 로직 트랜지스터 1개를 필요로 하는 2TC(two Transistor Cell)이 일반적이었다. 따라서 1개의 SONOSFET로 구현되는 1TC 플래시 메모리 실현이 고집적화에 필수 불가결한 요소이다.

본 논문은 보다 고집적화된 플래시 메모리를 실현하기 위하여 공통 소오스 라인을 갖는 NOR형 1TC SONOS 플래시 메모리를 32x32 어레이로 제작하여 그 가능성을 조사하였다. 어레이에서 각

* : 울산과학기술대학교 전기전자통신학부
(울산광역시 남구 무거2동 산29,
Fax : 052-277-1538

Corresponding Author : joo@mail.ulsan-c.ac.kr)

** : 진주산업대학교 전자공학과

*** : 광운대학교 반도체 및 신소재공학과

2002년 10월 21일 접수, 2002년 12월 24일 1차 심사완료,
2003년 2월 25일 최종 심사완료

동작 특성을 조사하여 최적화 하였으며, 각 동작별 간섭 특성을 조사하여 그 개선안을 제시하였다. 신뢰성을 확보하기 위하여 열화 특성을 조사하였다.

2. 소자 제작

SONOS 기억소자를 이용한 플래시 메모리의 고 집적화를 위하여 공통 소오스 라인을 갖는 1TC NOR형 flash 어레이를 설계, 제작하였다. SoC를 위하여 0.35 μm CMOS 공정을 그대로 이용하여 제작하였으며 공통 소오스 라인 구현은 SAS(Self Align Source)공정을 사용하여 셀 면적을 감소시켰다.

SONOS 기억소자의 채널 폭/길이를 0.5 μm /0.35 μm 로 하였을 때, 최소 셀 크기는 11.75F²였다. 설계한 어레이의 레이아웃과 제작된 어레이의 TEM 측정결과를 그림1에 나타냈다. 제작된 SONOS 기억소자의 유전막 두께는 터널링 산화막, 질화막, 플로킹 산화막이 각각 34Å, 73Å, 34Å이었다.

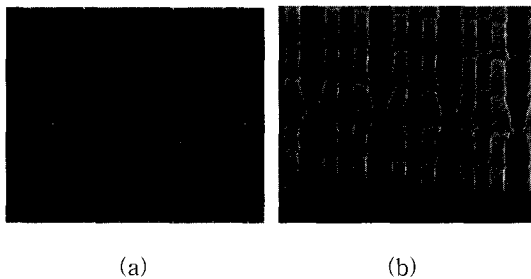


그림 1. 공통 소오스 라인을 갖는 32x32 SONOS 1TC 플래시 어레이. (a)레이아웃도. (b)SAS 공정을 이용하여 제작된 SONOS 어레이의 TEM 측정 결과.

Fig. 1. 32x32 SONOS 1TC flash array with SL. (a)Layout. (b)The results of TEM measurement of the SONOS array utilizing SAS process.

3. 결과 및 고찰

3.1 스위칭 특성

제작된 공통 소오스 라인(Common Source Line :CSL)을 가진 NOR형(CSL-NOR) SONOS 플래시 메모리 어레이의 동작회로를 그림2에 나타냈으며

특성 조사를 위한 전압 조건을 표1에 나타냈다.

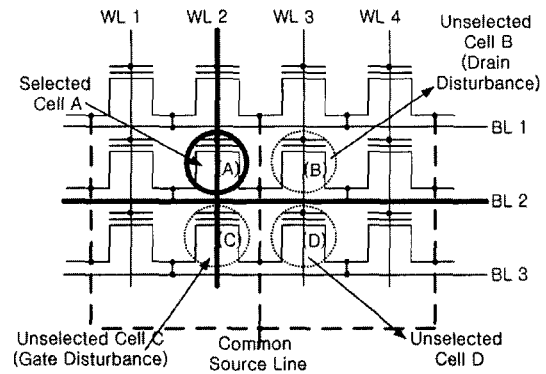


그림 2. 공통 소오스 라인을 가진 NOR 형 SONOS 메모리 셀 어레이.

Fig. 2. The NOR type memory cell array with the common source lines (CSL-NOR).

표 1. 프로그램/소거/읽기 동작 전압 조건.

Table 1. Operating voltage conditions for program/erase/read.

	Program	Erase	Read
S ¹⁾ WL ²⁾	+9,+10V	-9V, -10V, -11V	+5V
US ³⁾ WL	0V		0V
S BL ⁴⁾	+4.5V,+5V	+4.5V	1V
US BL	0V		0V
Source	0V	+4.5V	0V
Substrate	0V	0V	0V

1) S: selected 2) WL: word line 3) US: unselected
4) BL: bit line

선택된 소자의 게이트 전압에 따른 스위칭 특성을 조사하여 그림3에 나타냈다. 프로그램 동작은 셀 선택성 확보와 빠른 프로그램 속도를 고려하여 CHEI(Channel Hot Electron Injection) 방법으로 하였다. 소거 방법은 터널링에 의한 소거가 이루어지는 비트 라인 소거를 선택하였다. 그림3에 나타낸 전압조건은 각각 워드라인(WL)/비트라인(BL)에 인가되는 전압이다.

쓰기 특성 중 주목할만한 점은 게이트 전압이 5V인 경우도 1ms에서 2V 이상의 문턱전압 이동을 보이고 있다. 쓰기 전압이 5V로 낮아진다면 집적도를 높이고 공정을 단순화 할 수 있다.

채널 W/L=0.5 μm /0.35 μm 인 소자의 경우 프로그램

그럼 주입 효율(I_G/I_D)이 약 3.5×10^{-6} 이었다. 주입 효율이 2×10^{-7} 로 보고 된[8] 부유 게이트형보다 주입 효율 면에서 우수한 특성을 보이고 있다. 이는 유전막 스케일 다운으로 인하여 인가된 유효 게이트 전압이 크기 때문으로 사료된다.

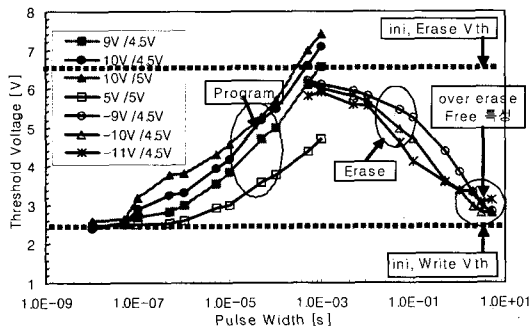


그림 3. SONOS 플래시 메모리 어레이에서 선택된 셀의 스위칭 특성 (채널 W/L=0.6 μ m/0.4 μ m).

Fig. 3. The switching characteristics of the selected cell in the SONOS flash memory array (channel W/L=0.6 μ m/0.4 μ m).

또한 소거 시간이 길어짐에 따라 문턱 전압이 더 이상 감소하지 않고 포화하는 과잉소거 프리(over erase free) 특성을 보여주고 있다. 부유 게이트 형 플래시의 경우 셀의 과잉 소거를 개선하고자 하는 시도들이[9] 수행되고 있지만 여전히 이러한 방법들은 소거 시간을 증가시키고 주변 회로를 복잡하게 만든다는 단점을 가지고 있다. 과잉소거 프리 특성은 전하 트랩형 SONOS의 고유 특성으로 트랩의 밀도에 제한이 있으므로 오랜 시간 소거를 하여도 정공으로 채워질 더 이상의 트랩이 없기 때문으로 해석할 수 있다.

3.2 간섭 특성

그림2의 CSL-NOR형 플래시 메모리 동작에서 셀(A)를 선택하여 반복적인 프로그램을 수행할 경우 셀(B)와 (C)의 프로그램 간섭(disturbance) 특성을 조사했으며 개선안을 제시했다. 각 워드라인과 비트라인에 인가된 전압조건은 표1의 전압 조건 중에서 선택된 워드라인과 비트라인에 각각 10V, 5V를 500 μ s 동안 인가하였고, 선택되지 않은 워드 및 비트 라인에 모두 0V를 인가하였다.

선택된 셀과 워드라인을 공유하는 셀(C)의 게이트 간섭특성을 프로그램 상태와 소거 상태에 있는 셀에 대하여 각각 조사하여 그림4에 나타냈다.

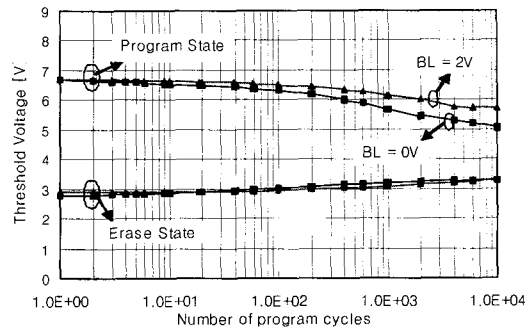


그림 4. 프로그램 반복 회수에 따른 SONOS 플래시 어레이의 게이트 간섭특성: cell(C).

Fig. 4. Characteristics of gate disturbance in the SONOS flash array with number of program cycles: cell(C).

1×10^4 회 프로그램 후 소거 상태와 프로그램 상태에 있는 셀은 각각 약 0.5V와 1.6V의 문턱전압 변화를 보였다. 소거 상태에 있는 셀은 반복적으로 인가되는 게이트 전압에 의한 영향으로 터널링 전자가 질화막에 트랩 되어 문턱전압에 작은 변화를 가져왔다. 그러나 프로그램 상태에 있는 셀은 더 이상 전자로 채워질 트랩이 없는 상태에서 전자와 함께 블로킹 산화막으로부터 주입된 소수의 정공에 의해 트랩으로부터 전자를 잃게 되어 그 변화가 큰 것으로 사료된다. 셀(C)의 간섭 특성을 개선하기 위하여 선택되지 않은 셀(C)의 비트 라인에 0V 대신 2V를 인가함으로써 프로그램 상태에 있는 셀의 문턱전압 변화를 약 0.7V 이상 줄일 수 있었다. 10V 수직 전장의 효과를 최소화하기 위한 최적의 수평 전장인 2V를 인가하여 간섭 특성을 개선하였다.

선택된 셀과 비트 라인을 공유하는 셀(B)의 드레인 간섭 특성을 조사하여 그림5에 나타냈다. 소거 상태 셀에서는 거의 문턱전압의 변화를 보이지 않고, 프로그램 상태 셀은 약 0.8V의 변화를 보이고 있다. 이는 게이트에 상대적으로 음(-)의 4.5V가 인가되어 소거 상태가 되었기 때문이다. 소거 상태에 있는 셀들은 트랩이 거의 비어있으므로 인가된 상대적인 음(-)의 4.5V에 트랩된 전하가

방출될 확률은 적지만 프로그램 상태에 있는 셀은 거의 트랩이 채워져 있으므로 그만큼 전하 방출 확률이 크다. 이를 개선하기 위하여 선택되지 않은 워드라인에 0V 대신 비트 라인 전압 5V에 대하여 게이트에 걸리는 상대적인 음(-)의 전압을 최소화시키는 전압 2V를 워드라인에 인가하여 0.4V의 개선된 특성을 볼 수 있었다.

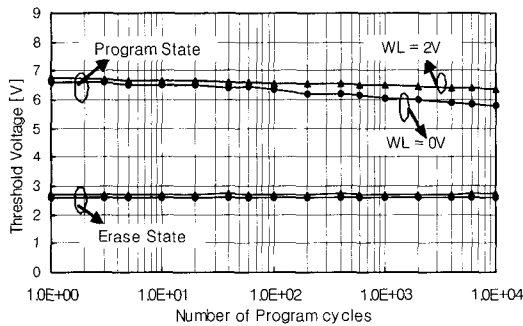


그림 5. 프로그램 반복 회수에 따른 SONOS 플래시 어레이의 드레인 간섭특성: cell(B).

Fig. 5. Characteristics of drain disturbance in the SONOS flash array with program cycles: cell(B).

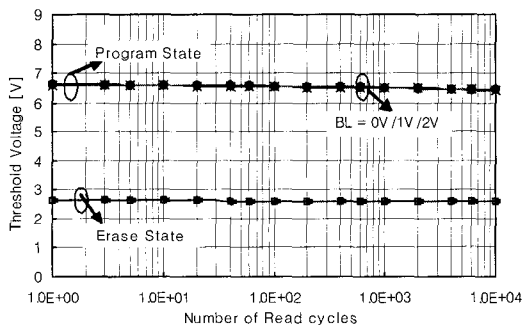


그림 6. 읽기 반복 회수에 따른 SONOS 플래시 어레이의 읽기 간섭특성.

Fig. 6. Characteristics of read disturbance in the SONOS flash array with read cycles.

읽기 동작이 많아지면 게이트에 인가되는 전압은 낮지만 간섭 시간이 길어지므로 간섭현상이 생

길 수 있다. 이를 조사하여 그림6에 나타냈다. 게이트에 5V/500 μ s를 인가하고 드레인에 0V, 1V와 2V를 인가한 경우에 대하여 각각 조사하였다. 모든 경우에 1x10⁴회 반복 읽기 후에도 간섭이 거의 일어나지 않고 있음을 보였다.

SONOS 플래시 어레이에서 반복된 소거 동작에 의한 간섭특성을 조사하여 그림7에 나타냈다. 일괄 소거이므로 모든 워드라인에 -10V/500ms를 인가하고, 모든 비트 라인과 공통 소오스 라인에 4.5V를 인가하였다. 문턱전압이 더 이상 낮아지지 않고 포화되는 과잉소거 프리 특성을 확실하게 보이고 있다.

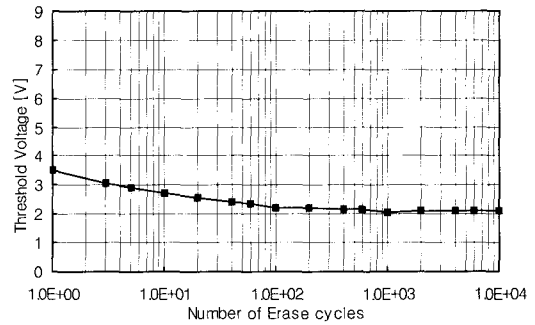


그림 7. 소거 반복 회수에 따른 SONOS 플래시 어레이의 과잉소거 프리 특성.

Fig. 7. Over erase free characteristics of the SONOS flash array with erase cycles.

표 2 공통 소오스 라인을 갖는 NOR형 SONOS 플래시 어레이의 최적화된 동작 전압.

Table 2. The optimized operating voltages of the NOR type SONOS flash array with CSL.

	Program	Erase	Read
Duration	50 μ s	500ms	
WL	S	10V	5V
	US	2V	0V
BL	S	5V	1V
	US	2V	0V
CSL	0V	5V	0V
Substrate	0V	0V	0V

이상의 조사로부터 공통 소오스 라인을 갖는 NOR형 SONOS 1TC 플래시 어레이에 있어 고집적, 고성능과 저전원 및 5V 단일 전원 공급이 가

능하도록 최적화된 표2와 같은 동작 전압 조건을 얻을 수 있었다

3.3 열화 특성

소자의 열화 특성을 평가하기 위하여 기억유지 특성과 내구성 특성을 조사하였다. 사용된 소자는 채널 폭/길이가 $W/L=0.6\mu\text{m}/0.4\mu\text{m}$ 이었다. 프로그램/소거 조건은 표2의 조건을 따랐다.

1×10^4 회 프로그램/소거 사이클링 후 기억유지 특성은 그림8에 나타났다. 감쇠율은 프로그램 상태와 소거 상태에 있는 소자의 경우 각각 0.123과 0.001이었다. 10년 후 기억 유지 특성 조사에서도 약 2V의 기억 창을 유지하는 것으로 조사되었다.

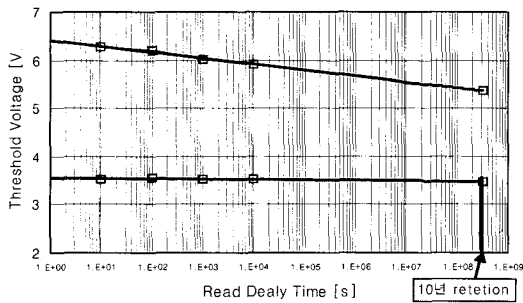


그림 8. 1×10^4 사이클링 후 기억 유지 특성.
Fig. 8. Retention characteristics after 1×10^4 cycling.

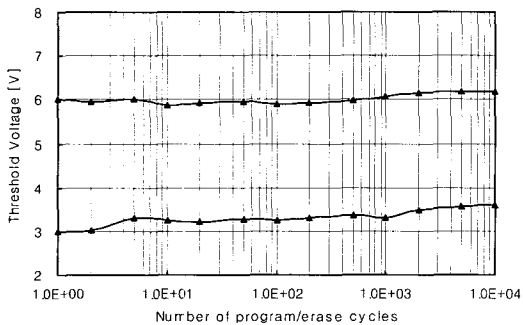


그림 9. 프로그램/소거 반복 회수에 따른 열화 특성.
Fig. 9. Endurance characteristics with program/erase cycles.

프로그램과 소거를 1×10^4 회 반복한 후 두 기억 상태에 대한 문턱전압 변화를 조사한 내구성 실험

을 그림9에 나타냈다. 사이클링 전후의 문턱 전압 변화는 프로그램 상태와 소거 상태 각각의 경우 0.195V와 0.619V였다. 부유 게이트의 경우는 고온 정공(hot hole)이 소자의 프로그램 특성과 기억 유지 특성을 악화[10] 시키는 것으로 보고 되고 있다. 그러나 SONOS의 경우는 터널링 산화막이 얇고, 질화막 내에서의 정공의 이동도가 전자의 이동도보다 빠르므로 상대적으로 정공의 트랩이 적어 열화 특성이 우수한 것으로 사료된다.

4. 결론

SONOS 기억소자를 이용한 고집적 플래시 메모리 실현을 위해 공통 소오스 라인을 갖는 NOR형 1TC SONOS flash 어레이를 설계, 제작하여 그 특성을 평가하였다. 기존의 $0.35\mu\text{m}$ CMOS 공정을 그대로 이용하였으며 어레이에 사용된 SONOS 기억소자는 터널 산화막, 질화막, 블로킹 산화막의 두께가 각각 34Å, 73Å, 34Å이었다. SONOS 소자의 채널 폭/길이를 $0.5\mu\text{m}/0.35\mu\text{m}$ 로 했을 때 최소 셀 크기는 $11.75F^2$ 였다.

동작 특성에 관한 조사는 프로그램 동작은 CHE (Channel Hot Electron Injection) 방법을, 소거 동작은 비트 라인 소거 방법을 이용하였다. 프로그램 전압이 10V, $50\mu\text{s}$ 이고, 소거 전압이 -10V, 500ms 일 때 2.5V의 메모리 창을 얻었다. 특히 5V 프로그램전압이 가능함을 보여 저전압의 가능성을 높였다. 개선된 주입효율을 보이고 과잉소거 프리 특성을 보였다.

1×10^4 사이클링 동안 간섭특성을 개선하기 위하여 선택되지 않는 워드라인과 비트 라인에 각각 2V씩을 인가함으로써 간섭특성을 개선하였다. 또한 열화 특성을 조사한 결과 10년 이상의 기억유지 특성과 우수한 내구성을 나타내어 SONOS 기억소자의 신뢰성을 확보하였다.

이상의 조사로부터 공통 소오스 라인을 갖는 NOR 어레이 및 CHE에 의한 프로그램 동작 적용으로 SONOS 플래시 메모리의 고집적화가 구현될 수 있음을 알 수 있었다

감사의 글

본 연구는 한국과학재단 우수여성과학자 도약지원연구사업(R04-2002-000-00173-0)의 지원에 의해 수행된 것임.

참고 문헌

- [1] S. K. Lai and V. K. Dham, "Comparison and trends in today's dominant E2 technologies", IEDM, p. 580, 1986.
- [2] 이상배, 서광열, "EEPROM 기술의 현황과 전망", 전기전자재료학회지, Vol. 7, No. 2, p. 165, 1994.
- [3] William D. Brown, "Nonviolation Semiconductor Memory Technology", IEEE press, New York, p. 1, 1991.
- [4] 김선주, 김주연, 김병철, 서광열, "NOR 플래시 메모리를 위한 전하트랩형 NVSM 셀의 제작과 특성", 전기전자재료학회지, Vol. 12, No. 11, p. 999, 1999.
- [5] 서광열, "SONOS EEPROM 소자에 관한 연구", 전기전자재료학회지, Vol. 7, No. 2, p. 123, 1994.
- [6] White MH, Yang YL, Purwar, and A, French ML, "A low voltage SONOS nonvolatile semiconductor memory technology", IEEE Trans., Vol. 20, No. 2, p. 190, 1997.
- [7] Ichiro Fujiwara, Hiroshi Aozasa, Akihiro Nakamura, Yutaka Hayashi, and Toshio Kobayashi, "MONOS memory cell scalable to 0.1 μm and beyond", Non-Volatile Semiconductor memory workshop 13th-16th, p. 117, 2000.
- [8] 황현상, 박근형, "플래시 메모리 기술", 성지출판사, 서울, p. 207, 1995.
- [9] K. Oyama and H. Shirai, "A novel erasing technology for 3.3V flash memory with 64Mb capacity and beyond", IEDM, p. 607, 1992.
- [10] Gautam Verma and Neal Mielke, "Reliability performance of ETOX based flash memories", Proc. Int. reliability Phys. symp., p. 158, 1988.