

## 열처리 방법에 따른 실리콘 기판쌍의 접합 특성

### Bonding Property of Silicon Wafer Pairs with Annealing Method

민홍석\*, 이상현\*\*, 송오성\*\*, 주영창\*

(Hong-Seok Min\*, Sang-Hyun Lee\*\*, Oh-Sung Song\*\*, and Young-Chang Joo\*)

#### Abstract

We prepared silicon on insulator(SOI) wafer pairs of Si/1800Å-SiO<sub>2</sub> || 1800Å-SiO<sub>2</sub>/Si using wafer direct bonding method. Wafer pairs bonded at room-temperature were annealed by a normal furnace system or a fast linear annealing(FLA) equipment, and the micro-structure of bonding interfaces for each annealing method was investigated. Upper wafer of bonded pairs was polished to be 50 μm by chemical mechanical polishing(CMP) process to confirm the real application. Defects and bonding area of bonded wafer pairs were observed by optical images. Electrical and mechanical properties were characterized by measuring leakage current for sweeping to 120 V, and by observing the change of wafer curvature with annealing process, respectively. FLA process was superior to normal furnace process in aspects of bonding area, I-V property, and stress generation.

**Key Words** : Silicon on insulator(SOI), Wafer direct bonding, Fast linear annealing, Furnace annealing

#### 1. 서론

SOI(Silicon-On-Insulator)기판은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 소자 하부의 누설전류를 적극적으로 차단하여 게이트 하부의 전류를 크게하여 디바이스 속도를 30%정도 향상시키는 것이 가능하므로 기존 반도체 기판을 대신하여 수요가 커지고 있다[1]. 또한 정보·통신 및 광학용 MEMS(Micro Electro-Mechanical Systems) 소자 개발에 있어서 전기적 신호를 재료의 특성에 맞게 원활히 조종할 수 있어야 하는데, 접합제와 같은 중간층에 의한 물성은 전기적 신호에 역작용하므로 이를 방지할 수 있는 SOI 기판의 용도는 점점 증가하고 있다. 여러 중간층의 물성과 실리콘기판 자체의 도핑 안정성을 고려할 때

기존의 SIMOX(Separation by Implantation of Oxygen), anodic bonding 등의 방법은 각각 중간층의 열악한 물성과 실리콘 기판의 물성을 변화시킬 수 있어, 여러 SOI기판의 제조방법 중 직접접합법이 가장 상업적으로 유망하다.

직접접합법은 1986년에 Shimbo 그룹[2]과 Lasky 그룹[3]에 의해 독립적으로 발명된 방법으로, 처음에는 기판쌍의 경면을 깨끗이 세척하고 물리적으로 가깝게 하여 반데르발스 결합이나 수소결합으로 가집시킨 후 적절한 열에너지를 주어 접합강도를 향상시키는 방법이다. 실리콘 기판쌍의 경우 1100°C 이상의 고온에서 충분한 접합이 진행되는 것으로 알려져 있다.

초기의 실리콘간의 접합이 성공적으로 수행된 후, 발전을 거듭한 후 오늘날 동종재료는 물론이고 표면 원자배열이 완전히 다른 이종재료의 접합에 까지 적용분야가 확대되고 있다. 특히 수소 취성(hydrogen embrittlement) 현상을 이용하여 기판으로부터 얇은 박막을 떼어내는 Smart-cut[4] 방법이 개발된 이후 직접접합법은 그 적용분야가 더욱 확대되고 있는 실정이다.

\* : 서울대학교 재료공학부

(서울시 관악구 신림9동 산 56-1,

Fax: 02-883-8197,

Corresponding Author : ycjoo@plaza.snu.ac.kr)

\*\* : 서울시립대학교 신소재공학과

2002년 10월 1일 접수, 2002년 11월 25일 1차 심사완료,

2003년 2월 7일 2차 심사완료, 2003년 2월 25일 최종 심사완료

직접접합법은 접합시키고자 하는 실리콘기판을 크리닝에 의해 표면을 활성화시키고 표면의 수소 접합상태를 이용하여 가접시키고 적절한 열에너지에 의해 공유결합으로 접합을 강화시키는 공정이다. 현재 직접접합법의 문제점인 열에너지를 이용한 가열공정에서 기판쌍내의 계면에서의 기포발생에 의한 비접합 면적의 발생현상과 기판쌍 자체의 휨현상 및 도펀트의 재분포를 적극적으로 방지하고자하는 저온접합의 요구가 커지고 있다.

직접접합법 공정중 주요 공정의 하나인 열처리 방법 중, 선형가열기는 그림 1과 같이 1개의 할로젠램프를 포물 반사경을 이용하여 목적하는 기판의 표면에 선형적으로 집속하고 전체면적을 주사하는 변형된 급속가열기(rapid thermal annealing)로서, 기존 급속가열기에 비해 램프수가 적고 주사시의 온도구배에 따라 접합계면에서의 기상분출을 효과적으로 제거할 수 있는 장점이 있다고 보고된 바 있다[5].

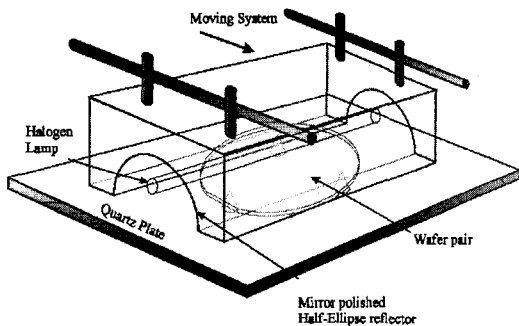


그림 1. 선형가열기의 개략도.

Fig. 1. Schematic illustration of fast linear annealing system.

로 열처리는 이미 널리 알려진 열처리 방법이다. 특히, 반도체 공정에서 산화막 증착 및 확산 공정 등에 양산화 장비로 구축하여 활용하고 있다. 로 열처리는 밀폐된 공간에서 기판 전체를 고온으로 균일하게 가열하는 방법이며 이는 전체 면적을 가열하기 때문에 열 구배에 의한 기판 변화가 일어나지 않는다. 또한, 가열 공간을 넓게 설계할 경우, 여러 기판들의 열처리가 가능한 방법이다. 하지만, 전열선을 이용한 열처리이기 때문에 승온 및 냉온 등에 소요되는 시간이 길고, 고온에서 일정시간을 유지해야하는 방법이기 때문에, 전력 소모가 크다. 현재 대부분의 기판 직접 접합의 활용에 있어서 로 열처리 방법을 적용하고 있다.

직접접합방법으로 접합된 SOI기판쌍의 접합성능 및 물성특성을 확인하기 위해 많은 시험법이 개발되고 사용되고 있으나 각 방법별로 장단점이 있어서 완벽한 정량화는 어려운 상황이다. 통상의 거시적인 접합면의 균일접합정도를 확인하기 위해 접합율을 확인하는 것과, 미시적으로 국부적인 부분의 접합강도를 정량화하여 SOI의 접합신뢰성을 확인하는 것이 필요하다.

통상적으로 접합강도를 정량화하기 위한 방법으로는 파괴적인 방법이 쓰이고 있다. 가장 보편적인 파괴적인 방법은 Maszara[6]가 보고한 면도칼삽입법이다. 면도칼삽입법은 면도칼을 기판쌍의 계면부에 밀어넣고 크랙이 전파되는 길이를 적외선 카메라로 측정하여 이때의 접합계면에너지를 간접적으로 추정하는 방법이다. 그러나 실험오차가 크고 IR(Infrared)에 의한 결함부의 해상도가 수  $\mu\text{m}$  정도이므로 이보다 작은 결함을 확인하는 단점이 있다. 더욱 보편적이고 간단한 방법은 인장시험법이다. 인장시험법은 통상의 시편과는 달리 기판쌍의 상하부 실리콘 표면에 인장력을 홀더에 전달할 수 있고 접착제를 붙여 스트레스-스트레인 관계를 확인하는 방법[7,8]이나 많은 이종의 시료를 준비하여야 하고 접착제의 선택이나 상태에 따라 실험오차가 발생할 가능성이 많은 단점이 있다. 최근에는 변형된 인장시험으로 박막용의 3점굽힘시험[7]이나 비틀림과 전단을 이용한 시험법[9]이 개발되고 있으나 매우 얇은 절연막을 가진 SOI 기판쌍의 정량적인 접합강도를 확인하기에는 어려운 점이 많다. 이러한 문제를 해결하기 위한 방법으로 두 접점사이에 균일한 스트레인을 가할 수 있는 사점굽힘시험법[10,11] 등이 쓰이고 있으나 시편의 준비가 어렵고 재현성이 떨어지는 단점이 있다. 현장에서는 IR이나 초음파등을 활용하여 접합계면부의 결함을 시각화하는 방법으로 접합 강도를 간접적으로 확인하는 방법도 쓰이고 있다.

현재까지 개발된 여러 가지 방법 모두 완벽한 것이 없으므로, 가장 좋은 접합강도의 확인은 최종 소자를 제작하는 것을 상정하고 잉여의 실리콘 층을 CMP(Chemical Mechanical Polishing)로 제거하고 나서 직접 확인하는 것일 것이다. 잉여실리콘이 50  $\mu\text{m}$  정도가 되면 가시광선이 투과되어 직접 접합부의 접합 상태를 간접적으로 확인할 수 있다. 따라서 본 실험에서는 CMP 가공으로 실제 잉여의 실리콘을 제거하고 접합부를 디지털카메라로 확인하여 내부와 에지부분의 접합상태를 접합율로 정량화하고 접합부의 수직단면 분석과 전기특성

및 열처리 전후의 스트레스 변화를 확인하고자 하였다.

## 2. 실험 방법

본 실험에서는 선형 열처리와 로 열처리의 서로 다른 열처리 방법에 의해 접합된 Si/SiO<sub>2</sub> || SiO<sub>2</sub>/Si 기판쌍의 기계적, 전기적, 접합 계면의 특성 및 기판 응력 등을 CMP, FE-SEM (Field Emission Scanning Electron Microscope), TEM (Transmission Electron Microscope), I-V 분석, stress 측정 등으로 특성을 비교하였다.

직경 10cm의 p-type Si(100)기판에 열산화막을 형성시키기 위하여 실리콘 기판을 장입하고 O<sub>2</sub>를 불어 넣는 dry O<sub>2</sub> 방법으로 두께 1800 Å의 열산화막을 실리콘 기판 전면에 성막하여 SiO<sub>2</sub> || Si 기판을 각각 완성하였다. 열산화막의 두께는 엘립소미터로 측정하여 두께를 확인하였다. 완성된 기판은 wet station을 이용하여 H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 4 : 1 인 sulfuric peroxide mixture (SPM) 용액으로 1차 세정한 후 NH<sub>4</sub>OH : H<sub>2</sub>O<sub>2</sub> : H<sub>2</sub>O = 1 : 1 : 5의 RCA 용액으로 2차 세정하여 SPM 용액의 SO<sub>4</sub><sup>-</sup> 잔류물을 RCA 용액으로 제거하고, 이와 동시에 RCA 용액의 표면부식성을 완화시켰다. 이후 초순수로 세척하여 SiO<sub>2</sub> 표면이 OH<sup>-</sup>의 친수성으로 활성화되게 하였다. 세정된 기판은 spin dryer로 건조시켰다. 이와 같은 세정공정은 이중재료 접합에서도 탁월한 효과를 나타내었던 방법이다[12].

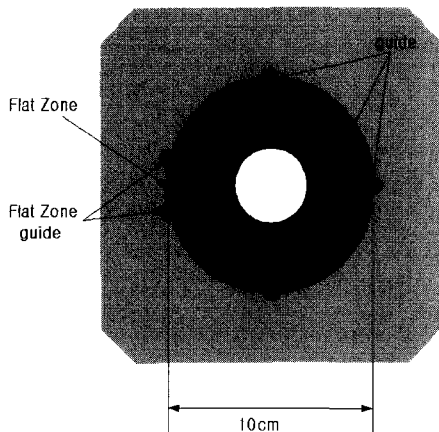


그림 2. 세정 후 가접을 위한 지그 장치.  
Fig. 2. Jig system for premate after cleaning.

세정공정 후 기판쌍은 즉시 30분 이내에 실온의 class 100 청정실에서 SiO<sub>2</sub> 경면층을 서로 마주보게 하고 접촉시킨 후, 그림 2와 같은 장치를 이용하여 lattice mismatch, void trapping을 최소화하면서 가접을 시행하여 접촉된 기판쌍이 계면의 수소결합으로 계속 접합상태를 유지하도록 하였다.

가접이 완료된 기판쌍의 접합강도를 향상시키기 위해 선형 가열법과 전기로법으로 나누어 공정을 실시하였다. 선형가열은 대기중에서 실시하였으며 0.2 mm/s 의 일정한 속도로 이동시키면서 입열량을 100, 110, 120 V로 각각 변환시켜 기판전역을 지나 기판 끝까지 도달할 수 있도록 하였다. 기판 끝에 열원이 도달하면 전원을 차단하고 가열된 기판을 대기중에서 공냉시켰다. 또 하나의 방법으로 전기로로 균일하게 가열하여 1100℃에서 1시간동안 유지시켜 실시하였다.

접합이 완성된 시편은 각 열처리 방법과 공정조건에 따라 접합부의 미세구조와 계면상태를 확인하기 위하여 전자현미경을 활용하여 수직단면을 조사하였다. 광발산 주사전자현미경(FE-SEM)은 완성된 기판쌍의 중심부를 1.5×1.5 cm로 잘라서 수직단면을 관찰하였으며, 보다 높은 해상도의 관찰을 위해서 일반적인 투과전자현미경 시료준비법에 따라 수직단면용 시편을 준비하고 100 kV의 투과전자현미경을 활용하여 단면을 관찰하였다.

FE-SEM 관찰이 끝난 시편은 그림 3과 같이 실리콘 표면부를 평탄하게 50 μm 정도 연마하고 알루미늄 패터를 형성시킨 후 절연층을 통한 누설전류를 확인하기 위해서 전압을 120 V 까지 변화시키면서 이때의 전류량을 측정하였다. 이는 단순한 전기적 측정[13]이라기 보다 실제 소자 적용을 고려한 측정을 의미한다.

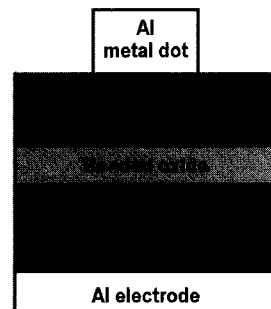


그림 3. 전기적 측정을 위한 시편 구조.  
Fig. 3. Test structure of samples for electric al measurement.

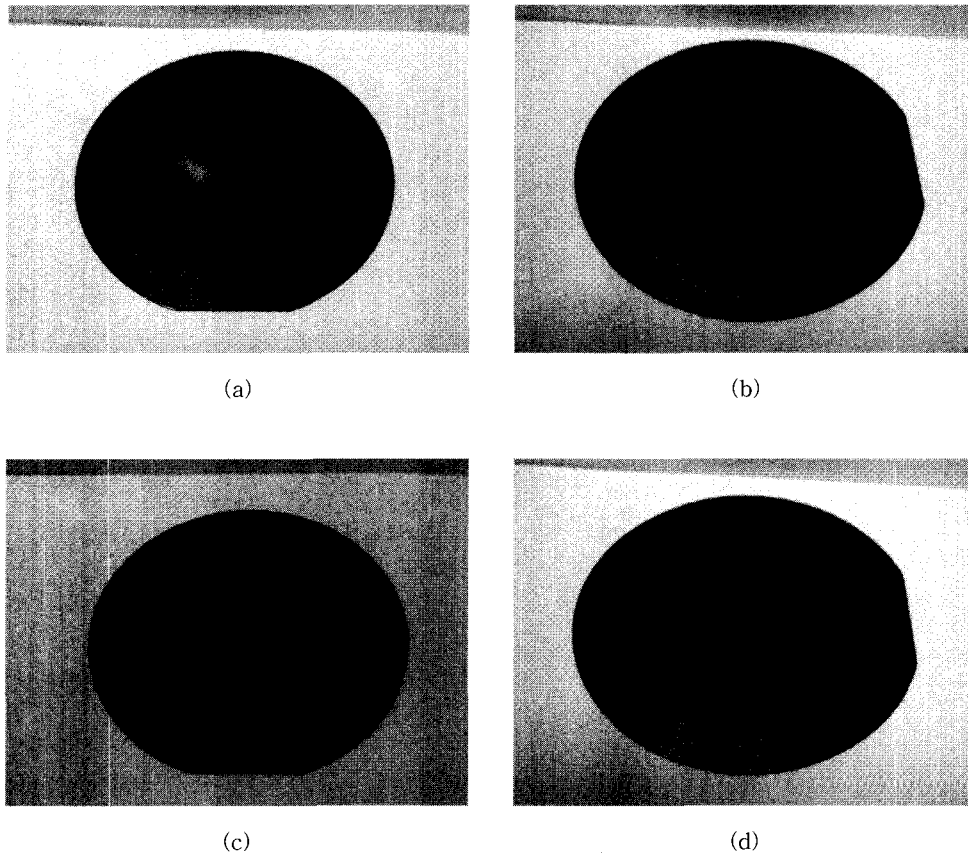


그림 4. 0.2 mm/s 주사 속도에서 (a) 100V, (b) 110V, (c) 120V 출력으로 선형열처리할 때와 (d) 1시간 1100°C 조건에서 전기로 처리할 때의 SiO<sub>2</sub>//SiO<sub>2</sub> 접합면의 디지털 이미지.

Fig. 4. Digital images of SiO<sub>2</sub>//SiO<sub>2</sub> prepared by a FLA with 0.2 mm/s scan rate at (a) 100V, (b) 110V, (c) 120V power and (d) prepared by an electric furnace at the temperature of 1100°C for 1 hr.

또한 각 공정별로 열처리가 완성된 시편은 최종적으로 SOI 기판으로 MOSFET이 형성되는 가정을 하여 strassbauch사의 화학기계연마기(CMP)를 사용하여 50 μm의 두께를 남기고 연마하였다. 50 μm의 실리콘 기판은 가시광선 투과율이 우수하여 최종적인 접합율의 측정이 육안으로 가능하였다. 연마된 기판쌍을 디지털 카메라로 찍고 이를 Image Pro<sup>TM</sup> 소프트웨어를 이용하여 정확한 접합율을 산출하였다.

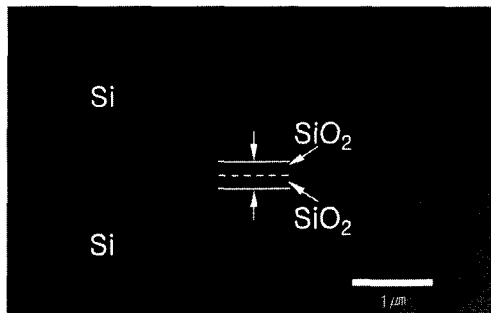
각 열처리 전후에 기판쌍의 곡률을 측정하여 스트레스를 측정하는 스트레스 측정기를 활용하여 열처리에 따른 스트레스 변화를 알아보았다.

### 3. 결과 및 고찰

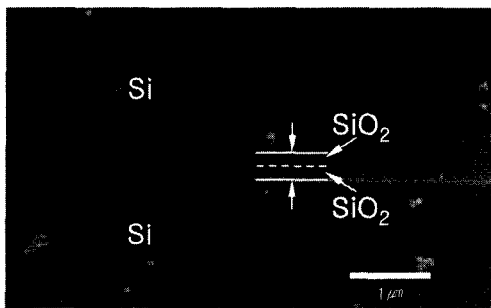
그림 4의 (a), (b), (c), (d)에는 최종 CMP 후에 육안으로 식별한 각 SOI 기판의 디지털카메라로 측정한 결과를 나타내었다. (a)~(c)까지 선형가열인 경우에는 CMP 이후 접합면 테두리를 경계로 면적을 산출하였을 때, 각각 79.3, 81.9, 82.8%로 확인되었다. 이는 접합이 이루어지기에 충분한 입열량을 가해주어 80%이상의 우수한 접합율을 나타낸 것이지만, 특히, (b)와 같이 내부에 형성된 비접합부는 최종적으로 제품을 만들 경우 수율의 하락을 초래할 것이다. 이러한 결과는 이상현 등이 먼

도칼삽입법 및 사점굽힘시험법으로 측정된 접합강도에서는 확인되지 않은 것으로서 CMP 전에 촬영된 적외선 촬영에서는 확인되지 않은 결과이다. 따라서 CMP 공정에 의해서도 SOI 접합계면은 손상될 수 있으며 실제 공정에서는 최종 CMP 공정 후에도 이러한 (b)와 같은 결합이 남지 않도록 최적 평판화 공정을 확보하는 것이 필요하였다.

그림 5에는 120 V - 0.2 mm/s 에서 선형 가열기로 완성된 SOI 기판(a)과 1100°C - 1 hr 조건으로 전기로에서 형성된 SOI 기판(b)의 FE-SEM 수직단면 이미지를 각각 나타내었다. 1800 Å씩의 SiO<sub>2</sub>를 접합하였으므로 사진에 표시하는 점선부에 접합면이 형성되었으리라 추측하였으나 접합면은 확인할 수 없었다. 따라서 FE-SEM의 분해능으로는 확인할 수 없을 정도로 물리적인 접합이 진행되었음을 알 수 있었다.



(a) FLA with 0.2 mm/s scan rate at 120V



(b) Electric furnace at 1100 °C for 1 hr.

그림 5. SiO<sub>2</sub> // SiO<sub>2</sub>의 FE-SEM 이미지.

Fig. 5. FE-SEM images of SiO<sub>2</sub> // SiO<sub>2</sub>.

그림 6에는 120 V - 0.2 mm/s 조건의 선형가열기로 완성된 SOI 기판의 SiO<sub>2</sub> // SiO<sub>2</sub> 접합부의 수

직단면이미지를 나타내었다. 그림 3의 FE-SEM결과와 비슷하게 SiO<sub>2</sub> // SiO<sub>2</sub> 접합부로 예상되는 뚜렷한 접합계면(점선부)을 확인할 수 있었다. 전기로 방법에 있어서도 여러 문헌 자료들[2-4]이 계면 접합성의 우수성을 보여주고 있음을 고려하여 볼 때, 선형가열기의 SiO<sub>2</sub> // SiO<sub>2</sub> 접합면에 대한 고분해능 전자현미경 분석 결과는 두 방법 모두 물리적으로 잘 접합될 수 있는 방법임을 확인해 주었다.

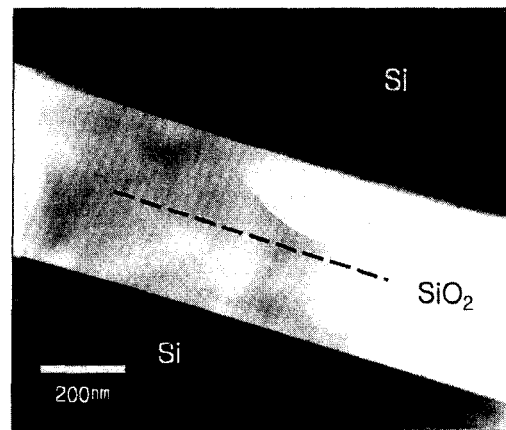


그림 6. 120V-0.2 mm/s 선형열처리에 의한 Si/SiO<sub>2</sub> // SiO<sub>2</sub>/Si의 TEM 이미지.

Fig. 6. TEM image of Si/SiO<sub>2</sub> // SiO<sub>2</sub>/Si prepared by a FLA with 120V-0.2 mm/s.

그림 7에는 120 V 까지 외부전압을 가하면서 이때 SiO<sub>2</sub>층을 지나는 누설전류 밀도를 측정한 결과이다. 40 V까지는 큰 차이가 없었으나 120 V에서는 일반 전기로로 제작된 경우가 약 3배 정도 누설전류가 커짐을 알 수 있었다. 이러한 이유는 SiO<sub>2</sub> // SiO<sub>2</sub> 계면의 전기적 결합밀도나 접합성능 측면에서 FLA(Fast Linear Annealing) 열처리 방법이 더 유리하다는 간접적인 결과이다.

표 1에는 FLA 방법과 전기로를 사용한 경우 열처리 전후의 휨 정도를 스트레스 측정기로 측정된 결과를 나타내었다. 기판쌍의 중심에서 측정된 평균 휨 (average bow) 정도의 열처리 전후 차이는 전기로가 훨씬 커서 정성적으로 전기로를 사용한 경우가 훨씬 휨 현상이 많다고 예상된다. 이러한 결과는 FLA가 국부적으로만 가열되고 이상현[11] 등에 의하면 실측된 기판쌍의 최고 표면온도가 400°C 정도이므로 전기로에 비해 훨씬 적은 온도 구배를 가지기 때문이라고 판단되었다.

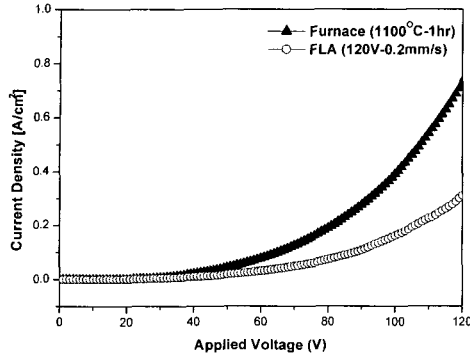


그림 7. 전압-전류 분석 결과.

Fig. 7. Voltage-current analysis results.

표 1. 선형열처리와 로열처리 시편에 대한 응력 측정 결과.

Table 1. Stress measurement results for FLA and furnace annealing samples.

Annealing method	Average bow( $\mu\text{m}$ )
Premated before FLA annealing	99.328
FLA annealed (100 V, 0.15 mm/s)	98.994
Premated before furnace annealing	102.66
Furnace annealed (1000 °C, 1 hour)	93.590

#### 4. 결론

Si/SiO<sub>2</sub> || SiO<sub>2</sub>/Si 구조의 SOI 기판쌍을 직접접합법으로 제조하고 이때 선형가열법과 전기로를 사용하여 열처리 공정을 달리 하면서 다음과 같은 결과를 얻었다.

1. 열처리 공정 이후에도 평탄화 공정에 의해서 계면의 비접합부가 발생할 수 있었다.

2. 잘 접합된 공정에서는 SiO<sub>2</sub> || SiO<sub>2</sub> 수직단면에서 접합부를 고분해능 전자현미경으로도 구분할 수 없었다.

3. 선형가열기를 이용하여 제조된 SOI의 누설 전류양이 적었고, 열처리 공정시의 스트레스도 선형가열기의 경우가 더 적게 받았으므로 특정공정 범위에서는 선형가열기가 전기로보다 우수한 접합 특성을 보일 수 있었다.

#### 감사의 글

이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2002-003-D00183).

#### 참고 문헌

- [1] S. Cristoloveanu, "Silicon on insulator technology, devices, and challenges", Optoelectronic and Microelectronic Materials Devices 1998 Proceedings, p. 44, 1999.
- [2] M. Shimbo, K. Furukawa, K. Fukuda, and K. Tanzawa, "Silicon-to-silicon direct bonding method", J. Appl. Phys., Vol. 60, No. 8, p. 2987, 1986.
- [3] J. B. Lasky, "Wafer bonding for silicon-on-insulator technologies", Appl. Phys. Lett., Vol. 48, No. 1, p. 78, 1986.
- [4] M. Bruel, B. Aspar, and A. J. Auberton-Herve, "A new silicon on insulator material technology based on hydrogen implantation and wafer bonding", Jpn. J. Appl. Phys., Vol. 36, no. 3B, p. 1636, 1997.
- [5] J. W. Lee, C. S. Kang, O. S. Song, and C. K. Kim, "Application of linear annealing method to Si || SiO<sub>2</sub>/Si wafer direct bonding", Thin Solid Films, Vol. 394, p. 272, 2001.
- [6] W. P. Maszara, G. Goetz, A. Caviglia, and J. B. McKitterick, "Bonding of silicon wafers for silicon-on-insulator", J. Appl. Phys., Vol. 64, No. 10, p. 4943, 1998.
- [7] T. Abe, T. Takei, A. Uchiyama, K. Yoshizawa, and Y. Nakazato, "Silicon wafer bonding mechanism for silicon-on-insulator structures", Jpn. J. Appl. Phys., Vol. 29, No. 12, p. L2311, 1990.
- [8] B. Muller, A. Stoffel, "Tensile strength characterization of low-temperature fusion-bonded silicon wafers", J. Micromech. Microeng., Vol. 1, No. 3, p. 161, 1991.
- [9] S. N. Farrens, C. E. Hunt, B. E. Roberds, and J. K. Smith, "A kinetics study of the bond strength of direct bonded wafers", J. Electrochem. Soc., Vol. 141, p. 3225, 1994.

- [10] R. H. Dauskardt, M. Lane, Q. Ma, and N. Krishna, "Adhesion and debonding of multi-layer thin film structures", *Engineering Fracture Mechanics*, Vol. 61, p. 141, 1998.
- [11] 이상현, 이상돈, 송오성, "선형가열기를 이용한 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 이중기판쌍의 직접접합", *전기전자재료학회논문지*, 15권, 4호, p. 301, 2002.
- [12] 민홍석, 주영창, 송오성, "유리/실리콘 직접접합에서의 세정 및 열처리 효과", *전기전자재료학회논문지*, 15권, 6호, p. 479, 2002.
- [13] 정양희, 김명규, "APM 세정에 따른 표면 Microroughness 및 Si/SiO<sub>2</sub> 계의 전기적 특성에 관한 연구", *전기전자재료학회논문지*, 12권, 7호, p. 571, 1999.