

# 멀티밴드 W-CDMA를 위한 SDR 기반의 디지털 IF 모듈 구현

이 원 철

승실대학교 정보통신공학과

## 요 약

본 논문에서는 기존의 기지국과 W-CDMA 시스템을 상호 연동하기 위한 SDR(Software Defined Radio) 기반의 멀티 밴드 디지털 IF 모듈 구현에 대해 소개한다. 하드웨어 플랫폼상에 테스트 및 시험 검증하기 위해서 크게 광대역 ADC, DAC, FPGA로 구성하였으며, FPGA 내에 디지털 필터 및 NCO 등의 응용 소프트웨어는 VHDL로 코딩하였다. 디지털 필터는 FPGA의 허용 자원을 고려하여 인터폴레이션 및 디시메이션을 위한 폴리페이즈 필터뱅크로 구현하였다. 또한 송신단에서는 이미지 성분을 제거하기 위해 2단의 DCQM(Digital Complex Quadrature Modulation)을 적용하였으며, 이때 적용되는 NCO(Numerically Controlled Oscillator)는 1/4 주기의 LUT를 사용하여 설계하였다. 수신단에서는 IF 단에 SAW 필터를 사용하지 않기 때문에 W-CDMA의 블록러 규약에 준하면서 근접 채널을 제거하기 위한 고출력의 감쇄 특성을 갖는 필터를 설계하였다. 본 논문에서는 컴퓨터 시뮬레이션 결과와 스펙트럼 분석기를 통해 측정된 결과를 비교 분석하였으며 이에 대한 디지털 IF 모듈의 성능을 검증하였다.

## I. 서 론

SDR은 소프트웨어로 재구성이 가능한 하드웨

어 트랜시버로 구성되며 다양한 무선접속환경에서 소프트웨어 모듈 변경을 통해 유연하게 적용 가능하며 기존 시스템과의 역호환성(Backward Compatibility)을 통한 전 세계적인 글로벌 서비스를 가능하게 하는 기술이다<sup>[1]</sup>. 이러한 SDR은 최근 들어, 100 Msps에 가까운 표본화 속도를 갖는 고속 ADC(Analog-to-Digital Converter) 및 DAC(Digital-to-Analog Converter)의 발전으로 인해 IF(Intermediate frequency) 대역과 기저대역 신호들 간 직접 디지털 변환의 구현이 가능하게 되었으며, 범용 디지털 신호처리(Digital Signal Processor; DSP), FPGA(Field Programmable Gated Array)와 같은 디지털 신호처리 소자들의 성능이 점차 고성능화 되면서 소프트웨어로 재구성이 가능한(Software Reconfigurable) 기저대역 모듈과 향상된 신호처리 모듈의 구현이 가능하게 되었다<sup>[2]-[3]</sup>.

일반적인 슈퍼헤테로다인 방식의 트랜시버는 RF 대역에서 기저대역까지 아날로그 방식으로 처리되며 이때 여러 형태의 아날로그 필터와 다수의 아날로그 믹서가 필요하다. 여기서 IF 단에서 사용되는 SAW(Surface Acoustic Wave) 필터는 인접 대역 저지율(Adjacent Band Rejection Ratio; ABRR)이 45dB 정도이며 주파수 대역이 정해져 있어 사실상 멀티 모드/멀티 밴드 측면에서 사용이 어려우며 기저대역에서 일반적으로 사용되는 Crystal 필터는 협대역 신호에 적합하지만 2세대, 3세대와 같은 광대역 기저대역 신호의 저역 통과 필터로는 부적합하다. 또한 3세대 이후의 이동통신은 고속 패킷 전송 수요가

증가함에 따라 다중 채널 사이에서 신호 전력의 불균형이 더욱 심화되며 이에 따라 W-CDMA 표준안에서는 인근 대역 저지율을 약 -80dB 이상으로 규정하고 있다<sup>[4]</sup>. 이러한 상황에서 다단의 SAW 필터를 사용하지 않고 W-CDMA의 블록 규약을 만족하기 위해서 고해상도의 광대역 ADC를 사용하여 IF 대역의 다채널 신호를 대역 통과 필터링하고 디지털 영역에서 감쇄 특성이 좋은 저역 통과 필터링을 수행할 수 있는 디지털 IF 기술이 필요하다.

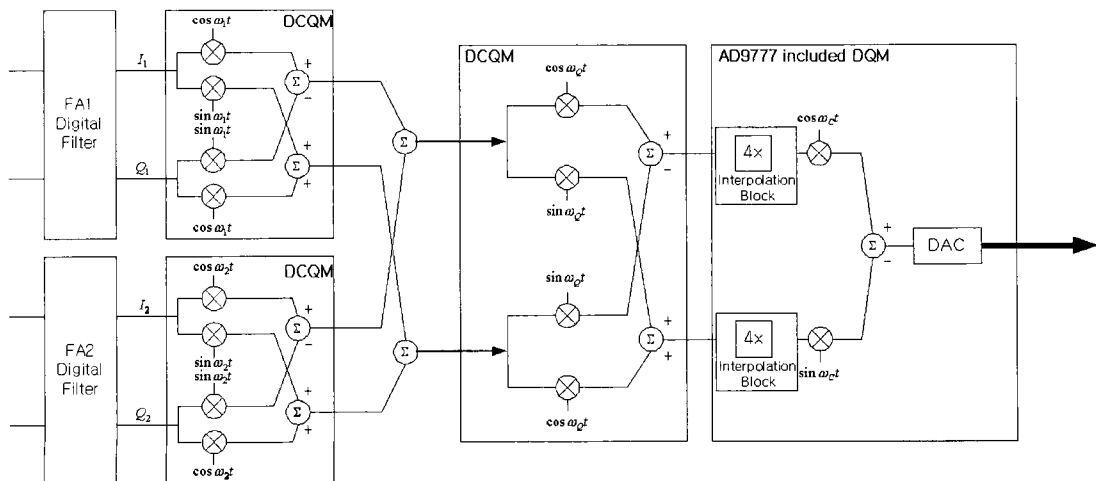
본 논문에서는 고속의 ADC, DAC 그리고 FPGA를 사용하여 구성된 멀티 밴드 W-CDMA를 커버하기 위한 송/수신 디지털 IF 구현에 관하여 설명한다. 여기서 재 구성이 가능한 소프트웨어를 다운로드하여 송신단에서는 다중 기저대역 W-CDMA 채널을 디지털 IF를 사용하여 상향 변환 과정을 수행한 후 RF로 전달하고 수신단에서는 이의 역과정을 통해 다중 IF 채널을 기저대역으로 하향 변환하도록 처리한다.

본 논문의 구성은 다음과 같다. 2절에서는 디지털 IF 모듈을 위한 송/수신단 하드웨어의 전체적인 구조 및 기능에 대해서 설명한다. 3절에서는 폴리페이즈 필터뱅크를 적용한 데시메이션과 인터플레이션 필터로 구성된 송/수신 디지털 필터와 DCQM 변조 방식에 적용되는 효율적인

NCO 설계 및 구현에 대해서 기술한다. 4절에서는 컴퓨터 시뮬레이션의 결과와 구현된 디지털 IF 모듈의 성능을 비교 분석하고, 마지막으로 5절에서는 결론을 맺는다.

## II. 멀티 밴드 디지털 IF의 송/수신 하드웨어 처리 개요

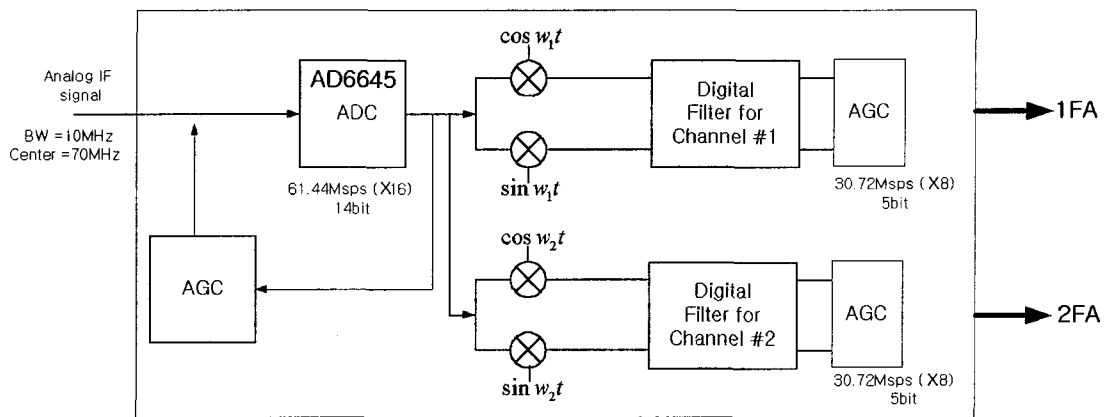
<그림 1>과 <그림 2>는 W-CDMA 디지털 IF 모듈의 송/수신단을 구동시키기 위한 세부 기능들을 나타내고 있다. 테스트 및 시험 검증하기 위해 크게 ADC, DAC, FPGA로 구성되며, 실질적으로 송신단의 ADC와 수신단의 DAC는 동작 검증용으로 사용된다. 디지털 IF 모듈의 송신단에서 FPGA 내에 다운로드 될 소프트웨어 모듈로는 5MHz 대역의 필터 특성을 갖도록 설계된 디지털 필터단과 이를 인 밴드 대역 근처에 IF 신호의 이미지 신호 대역으로 천이시키기 위한 DCQM단, DAC를 제어하기 위한 제어단으로 구성된다. 여기서 디지털 필터는 5단의 인터플레이션 필터로 구성되며 필터 감쇄율은 인접 채널 누설 전력비(Adjacent Channel Leakage power Ratio; ACLR)를 고려하여 결정하였다<sup>[4]</sup>. 첫 번째 단의 DCQM은 DC 성분을 중심으로 두



<그림 1> W-CDMA 디지털 IF 모듈의 송신단 구조

〈표 1〉 각 블록에서 요구하는 요구 조건

블록	입/출력 표본화 주파수 (MHz)	NCO 주파수		ACLR (dB)	입/출력 비트
		1 채널	2 채널		
디지털 필터	3.84/61.44	—		-84	16
1차 DCQM	61.44/61.44	-2.5MHz	2.5MHz	—	16
2차 DCQM	61.44/61.44	8.56MHz		—	16
DAC	61.44/245.76	61.44MHz		—	16



〈그림 2〉 W-CDMA 디지털 IF 모듈의 수신단 구조.

채널에 해당하는 기저대역 신호로 재배치시키기 위해 사용된다. 이때 기저대역 신호는 각각 -2.5 MHz와 2.5 MHz를 중심으로 위치하며 대역폭은 5 MHz이다. 두 번째 단의 DCQM은 70 MHz의 이미지성분에 해당하는 8.56 MHz로 천이시키기 위해 사용되며 이때 두 채널은 각각 6.06 MHz와 11.06 MHz로 위치하게 된다. 마지막으로 DCQM 통과 후의 신호는 DAC로 인가되어 IF 대역으로 천이된다.

여기서 DAC로 사용한 Analog Devices사의 AD9777은 16비트의 출력 해상도와 140/160 Msps의 입/출력 데이터율을 가지며 선택 가능한 2x/4x/8x의 인터폴레이션 필터와 디지털 QM 변조가 가능하다<sup>[10]</sup>. 본 논문에서는 AD9777 내의 동작 제어 코드를 적절히 설정하여 두 번째 DCQM 과정을 통해 얻은 기저 대역 근처의 정보 대역을 두 IF 채널로 천이시키기 위해 4배의 인터폴레이션 필터와  $f_s^{dac}/4$  디지털 QM을 적용

하였다. 여기서 4배의 인터폴레이션 필터를 사용한 이유는 대역 통과 표본화 과정으로 발생하는 IF 대역 이외의 이미지 성분을 제거하기 위함이며,  $f_s^{dac}$ 는 DAC 내의 인터폴레이션 필터 통과 후 증가된 표본화 주파수를 나타낸다. 〈표 1〉은 송신단의 각 블록에서 요구하는 사항들을 나타낸다. 시스템 클럭은 송/수신단 모두 61.44 MHz로 동작되고 디지털 필터의 입력 클럭은 3.84 MHz이며 디지털 필터 및 NCO의 입/출력 비트는 16이다.

수신단에서는 67.5 MHz, 72.5 MHz의 중심 주파수에 5 MHz의 대역을 갖는 두 IF 채널을 수신 받아 ADC로 인가된다. 여기서 아날로그 입력에 대한 ADC의 출력 허용 범위를 확보하기 위해서 아날로그 AGC(Automatic Gain Control)가 적용된다. 디지털 IF모듈의 수신단에서 FPGA 내에 다운로드 될 소프트웨어 모듈로는 〈그림 2〉처럼 ADC를 거쳐 디지털 신호로 변환

〈표 2〉 각 블록에서 요구하는 요구 조건

블록	입/출력 표본화 주파수 (MHz)	NCO 주파수		ACLR (dB)	입/출력 비트
		1 채널	2 채널		
ADC	61.44/61.44	—		16/14	
QM	61.44/61.44	6.06 MHz	11.06 MHz	—	16
디지털 필터	61.44/30.72	—		-84	16/5

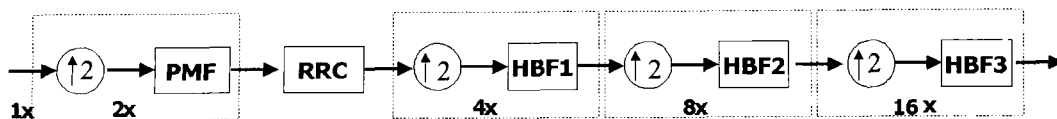
된 두 채널의 IF 대역 신호를 기저대역으로 천이시키기 위한 NCO 블록, 기저대역 신호만을 추출하기 위한 디지털 필터 블록으로 구성된다.

ADC는 대역 통과 표본화 과정을 수행하여 두 채널에 해당하는 IF 대역의 아날로그 신호를 61.44 MHz로 표본화되어 디지털로 변환하게 된다<sup>[6]</sup>. 이때 대역 통과 표본화 과정을 수행하기 위해서는 높은 표본화율을 갖는 ADC가 필요하며, 이를 위하여 본 논문에서는 출력 해상도가 14비트이고 80 Msps를 갖는 Analog Devices사의 AD6645를 사용하였다<sup>[9]</sup>. ADC를 통과한 신호는 가장 먼저 FPGA 내의 두개의 채널을 하향 변환하기 위해 설계된 서로 다른 출력 주파수를 갖는 NCO에 인가되어 사전 계산된 코드값에 따라 각각 기저대역으로 옮겨지게 된다. 이때 서로 다른 두 채널의 하향 변환을 위해 사용되는 NCO의 주파수는 6.06 MHz와 11.06 MHz이며 이때 접혀지는 이미지 신호가 기저대역에 존재하게 된다. 수신단 디지털 필터단에서는 ADC 출력 해상도, 즉 출력 비트수와 W-CDMA의 근접 채널 제거에 필요한 요구 사항을 고려하여 데시메이션 및 인터플레이션 필터군, 펄스 성형 필터군으로 구성하였다. 필터 통과 후의 신호는 AGC로 인가되어 최대 허용 범위까지 보상되며, 이때 상위 5비트에 해당하는 신호는 30.72 MHz의 표본화율로 기저대역 처리 모듈로 인가되어 처리된다.

〈표 2〉는 수신단의 각 블록에서 요구하는 사항들을 나타낸다.

### III. 소프트웨어 알고리즘 설계 및 구현

1. W-CDMA용 디지털 IF 송신부 필터 설계  
 본 논문에서는 기저 대역 처리 모듈에서 출력된 1X (3.84 MHz)를 16X (61.44 MHz)의 표본화율로 상향변환하기 위한 송신용 디지털 IF 모듈을 설계하고, 이를 구성하는 인터플레이션 필터군을 설계하였다. 여기서 표본화율을 16배로 과표본화하는 이유는 DAC를 통과하여 출력되는 아날로그 신호의 품질을 높이기 위함이다. 필터 구조는 〈그림 3〉과 같이 Parks-McClellan 필터, RRC 필터, 하프 밴드 필터들의 조합으로 구성하였다. 또한 입력 신호의 인 밴드 대비 외곽 주파수 대역 신호 전력 세기와 DAC의 SFDR (Spurious Free Dynamic Range)를 고려하여 전체 필터의 감쇄 특성이 -84 dB가 되도록 필터 계수를 설정하였다<sup>[4]-[10]</sup>. 그러나 실제로 DAC (AD9777) 출력 유효 해상도에 의한 SFDR이 약 -70 dB 정도임을 감안할 때, 디지털 필터의 감쇄 특성 -84 dB는 사실상 실제 구현 시 얻을 수 없으므로 FPGA의 사이즈에 따라 감쇄 특성



〈그림 3〉 송신부 필터 구조

〈표 3〉 1.92MHz, 2.5MHz에서 각 필터의 감쇄 특성

필터	탭수	표본화율 (MHz)	1.92MHz	2.5MHz
PMF	48	7.68	0	-30.88dB
RRC	64	7.68	-2.98	-52.83dB
HBF 1	33	15.36	0	0
HBF 2	17	30.72	0	0
HBF 3	13	61.44	0	0
총 계수	175	-	-2.98	-83dB

을 적절히 조절하였다.

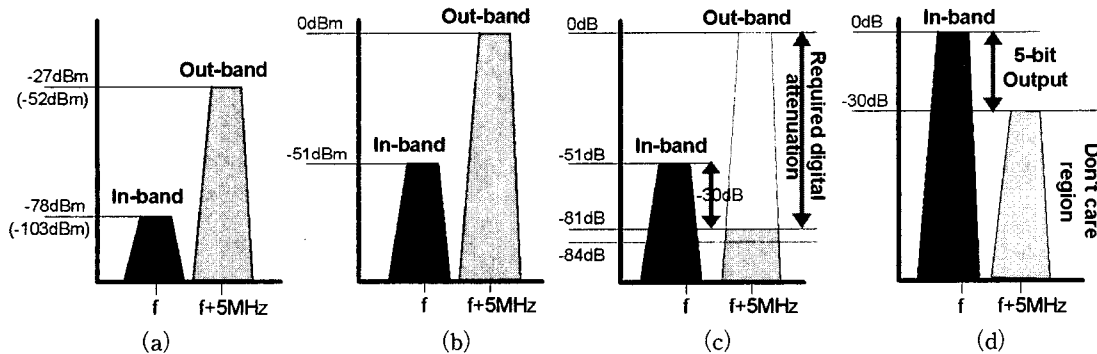
기저대역 신호는 Parks-McClellan 필터(PMF)를 인터폴레이션과 폴리페이즈 필터 뱅크 구조로 변형한 첫 번째 모듈을 지나 7.68 Msps로 과표본화 된다. 여기서 Parks-McClellan 필터를 사용한 이유는 인 밴드 대비 외곽 주파수 대역의 신호 전력이 약 2.5MHz에서 대략 -84dB의 감쇄 특성이 유지되어야 하지만 RRC 필터의 감쇄 특성으로는 2.5MHz에서 이러한 감쇄 특성을 만족하기 어렵기 때문이다. 이러한 신호는 펄스 성형 필터인 RRC 필터를 거쳐 폴리페이즈 필터 뱅크 구조를 갖는 3단의 하프 밴드 필터(HBF) 모듈을 통과하여 61.44 Msps로 과표본화 된다. 여기서 W-CDMA에서 제시한 펄스 성형 필터의 감쇄 특성에 만족하기 위해서는 전체 필터 특성이 1.92MHz에서 -3dB를 넘지 않도록 설계해야 하며 이때, RRC 필터는 1.92MHz에서 약 -3dB의 감쇄를 갖기 때문에 이를 준수

하기 위해서는 RRC 필터 이외의 다른 필터는 이 구간에서 0dB의 감쇄 특성을 갖도록 설계해야 한다<sup>[4]</sup>. 또한 하프 밴드 필터를 사용한 이유는 필터 계수의 절반 가량이 0로 되어 있기 때문에 실제 필터 구현 시 곱셈기의 수를 절반으로 줄일 수 있기 때문이다. 송신단 필터를 구성하는 각 필터 계수는 Scope FIR 툴을 사용하여 추출했으며 이때 1.92MHz에서 모두 0dB의 감쇄 특성을 유지하도록 파라미터를 설정하였다. 〈표 3〉은 1.92MHz, 2.5MHz에서 각 필터의 감쇄 특성을 나타낸다.

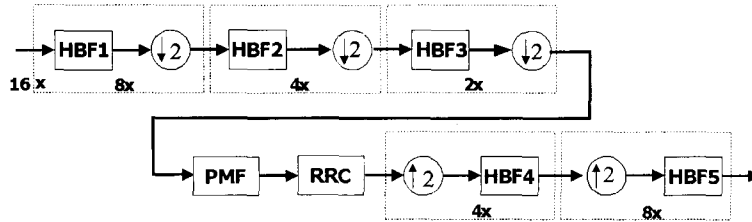
## 2. W-CDMA용 디지털 IF 수신부 필터 처리 구조

본 논문에서는 IF 단에서 SAW 필터를 사용하지 않기 때문에 감쇄 특성이 좋은 디지털 필터가 요구되며, W-CDMA 규격의 Sensitivity를 만족시키기 위한 적절한 필터 계수값을 설정하여 인근 채널 신호를 제거하였다. 〈그림 4〉는 RF에서 인 밴드 대비 외곽 주파수 대역 신호 전력 세기 분포를 나타낸다. 〈그림 4(a)〉는 W-CDMA 기저국 수신단의 주파수 수신 특성을 고려하여 인 밴드 채널의 전력 신호보다 약 -51dBc 큰 인근 채널의 전력 신호를 나타낸다. RF 모듈에서는 25dB의 이득을 갖는 저잡음 증폭기로 인하여 인밴드와 아웃 밴드 채널의 전력 레벨이 대동하게 -78dBm, -27dBm 증가된다.

〈그림 4(b)〉에서 보여주듯이 ADC 앞 단계



〈그림 4〉 수신단 디지털 필터 감쇄 특성



〈그림 5〉 수신부 필터 구조.

〈표 4〉 1.92MHz와 2.5MHz에서 수신단 각 필터의 저지 대역 감쇄 특성

필터	탭 수	표본화율 (MHz)	1.92MHz (dB)	2.5MHz (dB)
HBF1	9	61.44	0	0
HBF2	17	30.72	0	0
HBF3	29	15.36	0	0
PMF	48	7.68	0	-30.88
RRC	64	7.68	-2.98	-52.83
HBF4	33	15.36	0	0
HBF5	17	30.72	0	0
총 계수	217	—	2.98	-83.71

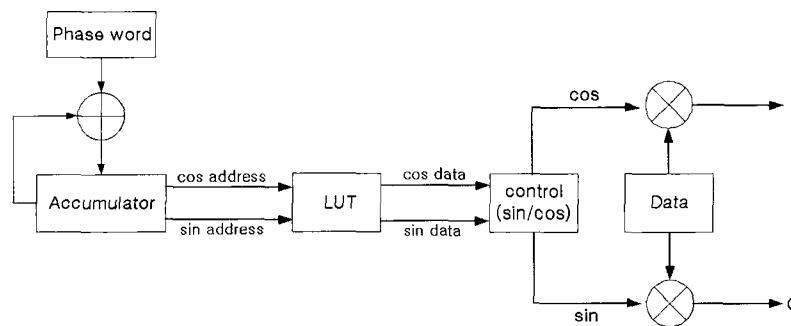
아날로그 AGC는 인근 채널의 최대 전력 레벨을 0dBm으로 조절하는 역할을 하며 이때 인 밴드 채널 전력이 -51dBm으로 증가하게 된다. 이때 수신단의 최종 출력 해상도를 5비트로 가정하면 인근 채널의 영향을 받지 않기 위해서, 기저 대역 신호 처리 모듈에서는 30dBc(5비트×6dB/비트) 마진이 요구된다. 따라서 〈그림 4(c)〉처럼 아웃 밴드 채널은 -81dBc로 감쇄되어야 하며 결국, 30dB에 해당하는 인 밴드 채널에 영향을

주지 않기 위해서는 수신단 디지털 필터의 감쇄 특성이 약 -84dB 되어야 한다. 끝으로 〈그림 4(d)〉처럼 디지털 AGC를 사용하여 약 49dB의 이득을 얻게 된다.

본 논문에서는 AD6645의 유효 해상도와 W-CDMA에서 제안한 최대 가능한 블록커 규격을 고려하여 적어도 -84dB의 감쇄 특성을 갖는 필터를 설계하였으며, 이를 만족하기 위한 디지털 IF용 수신단 필터 구조는 〈그림 5〉와 같다. 전체 필터군은 3단의 하프 밴드 데시메이션 필터, RRC와 Parks-McCellan 필터, 2단의 하프 밴드 인터플레이션 필터로 구성하였다. 여기서 〈그림 3〉과 마찬가지로 RRC 필터는 필터 계수 대비 처리량을 고려하여 2x(7.68MHz)로 동작된다. 〈표 4〉는 1.92MHz와 2.5MHz에서 수신단 각 필터의 저지 대역 감쇄 특성을 나타낸다.

### 3. NCO와 DCQM의 설계 및 구현

본 논문에서는 W-CDMA 디지털 IF 모듈의 채널화기에 사용되는 1차, 2차 DCQM을 위한 NCO를 설계하였다. 〈그림 6〉은 NCO의 구조를



〈그림 6〉 NCO 구조

나타내며 크게 5개의 블록으로 나누어진다. 여기서 LUT는 FPGA의 용량을 고려하여 ROM를 1/4로 줄일 수 있는 알고리즘을 적용하였다. 이에 따라서 LUT 뒷 단에 제어부를 새로 추가하였으며, 누산기 부분에서도 따로 제어부분을 첨가하였다.

이때 누산기의 위상출력값은  $\sin$ 에 대한 위상값과  $\cos$ 에 대한 위상값이  $\pi/2$  만큼 위상차를 주어 출력된다. 이렇게 출력된 위상값은 LUT의 주소값이 되어 주소에 대응하는 값을 출력해 주며, 뒷 단의 제어부에서  $\sin/\cos$ 의 부호값을 결정하게 된다. 누산기에서 누적되는 값 중에 상위 2bit는  $\sin$  완전주기를 4등분해 주는 값이다. 따라서 LUT 내에 저장된 1/4 주기에 해당하는 계수 값을 읽어들 일 때, 상위에서 2번째 bit 값이 변할 때마다 ROM의 주소값을 역으로 하여 완전 주기의 절대값을 취해준 형태의 값을 출력하도록 하였다. <표 5>는 송신단의 NCO 파라미터를 나타낸다. 여기서 위상 가산기의 출력 비트 해상도는 위상 잡음의 척도가 되기 때문에 열잡음(Thermal Noise) 이하로 낮추기 위해서는 16비트가 적당하지만 FPGA의 용량을 고려하여 14비트로 설정하였다. 또한 LUT의 출력 비트는 DAC의 SFDR를 고려하여 16비트로 설정하였다.

송신단의 1차 DCQM을 위한 NCO단에서는 두 채널의 기저대역 신호를 -2.5 MHz와 2.5 MHz 대역으로 옮겨 2개의 서로 다른 주파수를 갖는 채널을 발생시킨다. 이러한 신호는 2차 DCQM을 위한 NCO를 사용하여 중심 주파수

8.56 MHz에 해당하는 정현파를 생성하여 DCQM을 수행하게 되며, 서로 다른 채널 성분들을 각각 6.06 MHz와 11.06 MHz에 위치하게 된다. 이러한 이유는 6.06 MHz와 11.06 MHz에 해당하는 주파수 대역 성분들의 이미지 성분들이 IF 대역상에서 각각 67.5 MHz와 72.5 MHz에 존재하기 때문이다. 따라서 70 MHz 대역 이외의 이미지 성분을 제거하고 2단의 DCQM을 거친 신호를 70 MHz로 천이시키기 위해서 DAC 내의 4배의 인터플레이션 필터를 사용하여 입력 표본화율( $f_s = 61.44$  MHz)을  $f_s^{dac} = 4 \times f_s$ 로 상향 변환시키고 이때  $f_s^{dac}/4$ 에 해당하는 주파수로 QM 시켜 기저 대역 근처의 신호를 IF 대역으로 천이시켰다.

수신단에서는 두 IF 채널을 기저 대역으로 천이시키기 위해 서로 다른 두 개의 NCO를 사용하였다. 우선 ADC로 IF 채널 신호가 인가되면 대역 통과 표본화 과정을 거쳐 표본화율( $f_s = 61.44$  MHz)에 의해 발생하는 앨리어싱 트라이앵글로부터 잡음을 포함한 정보대역이 표본화된 대역폭  $[0, f_s/2]$  안으로 접혀 들어오게 된다<sup>[6]-[9]</sup>. 즉, 중심 주파수가 67.5 MHz, 72.5 MHz이고 각각 5 MHz 대역을 갖는 두 IF 신호가 ADC에 인가되면 61.44 MHz의 표본화율로 표본화되어 6.06 MHz와 11.06 MHz에 IF 신호의 이미지 대역이 존재하게 된다. 이러한 두 채널의 이미지 대역은 서로 다른 주파수의 NCO를 거쳐 기저대역으로 천이 된다. <표 6>은 수신단의 NCO 파라미터를 나타낸다.

<표 5> 송신단의 NCO 파라미터 설정

파라미터	1 <sup>st</sup> DCQM	2 <sup>nd</sup> DCQM
NCO 중심 주파수	2.5 MHz	8.56 MHz
클럭	61.44 MHz	61.44 MHz
위상 누산기	32 bit	32 bit
LUT 크기	14 × 16	14 × 16
위상값	174762666	598387370
주파수 해상도	0.014305 Hz	0.014305 Hz

<표 6> 수신단의 NCO 파라미터 설정

파라미터	채널 #1	채널 #2
NCO 중심 주파수	6.06 MHz	11.06 MHz
클럭	61.44 MHz	61.44 MHz
위상 누산기	32 bit	32 bit
LUT 크기	1416	1416
위상값	423624704	773150037
주파수 해상도	0.014305 Hz	0.014305 Hz

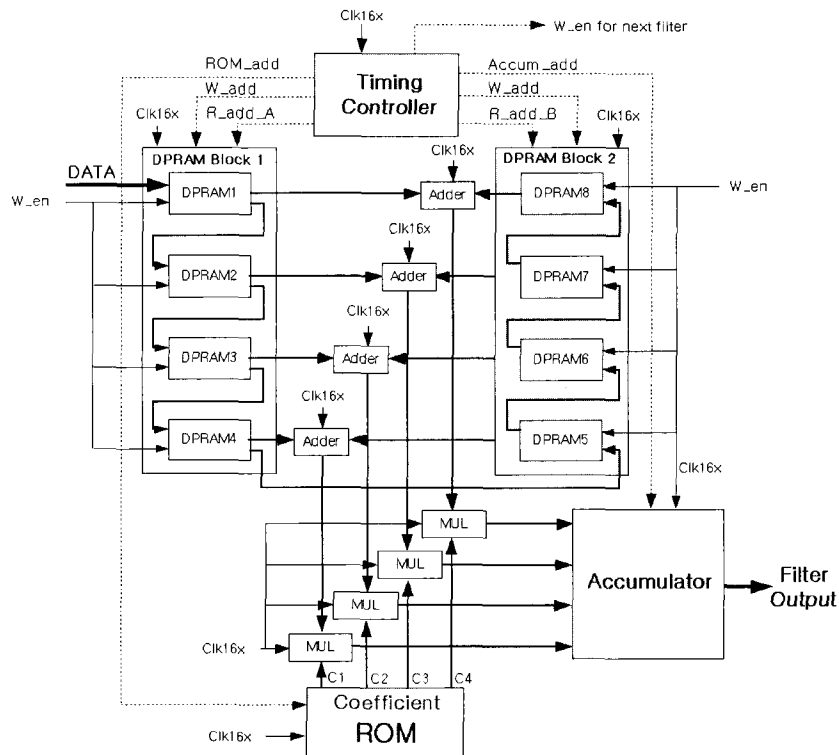
#### 4. Parks-McClellan 필터 및 RRC 필터 구현

본 논문에서 사용되는 FPGA(Xilinx XC2V 2000 BG575-5)는 1,008kbit 크기의 램 사이즈와 56개의 곱셈기 수로 한정되어 있기 때문에 이 점을 고려하여 프로그램 하였으며, 특히 필터와 송신단 NCO 처리 과정상에 곱셈기가 많이 사용되기 때문에 FPGA의 한정된 곱셈기 자원을 고려하여 일정 범위 내에서 필터 계수를 조절하였다. 이러한 곱셈기의 수는 필터 계수의 수와 시스템 클럭 및 입력 표본화율에 따라 결정된다. <그림 7>은 RRC 필터와 Parks-McClellan 필터를 단일 필터로 구성했을 때 사용되는 FPGA상의 자원들의 구성과 제어 신호들을 나타낸다. RRC 필터와 Parks-McClellan 필터는 타이밍 제어기(Timing Controller), 입력 데이터를 병렬로 조합된 DPRAM 처리부, DPRAM의 출력값을 더하기 위한 덧셈기(Adder), 필터 계수를

저장하기 위한 ROM, 덧셈기 후의 데이터들과 필터 계수를 곱하기 위한 곱셈기(Multiplier; MUL), 곱셈기 후의 결과들을 더하기 위한 누산기(Accumulator)로 구성하였다.

여기서 RRC 필터와 Parks-McClellan 필터는 각각 64와 48개의 필터 계수와 표본화율이 7.68MHz로 동작되기 때문에 클럭 속도 61.44MHz를 감안하면 FPGA상의 총 8개 혹은 6개의 DPRAM이 병렬로 사용된다. 또한 이러한 효율적인 병렬처리를 위하여 폴리페이즈 필터 뱅크를 사용하였으며, 필터가 갖는 계수들이 대칭적인 구조를 갖고 있다는 점을 고려하여 각 경로 필터 계수를 저장하게 되는 ROM 부분에는 필터 계수 수의 절반만이 저장된다.

타이밍 제어기에서는 모든 DPRAM의 읽기/쓰기 어드레스와 RAM과 ROM, 곱셈기, 누산기에 필요한 어드레스, 예를 들어, "W\_add", "R\_add\_A", "R\_add\_B", "ROM\_add", "Accum\_



<그림 7> RRC, Parks-McClellan 필터의 결합 모듈 구성.

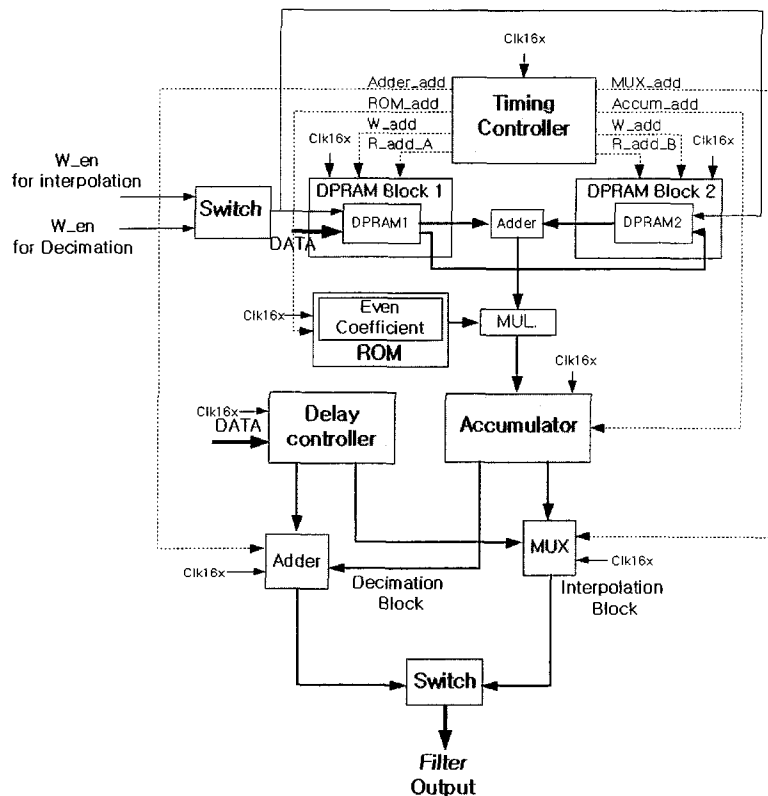


add”와 다음 단 필터의 Write\_enable(W\_en) 신호를 제공한다. DPRAM은 시스템 클럭, W\_en 신호, 읽기/쓰기 어드레스 부여를 위한 입력 포트와 두 개의 출력 포트(Dual Port Out; DPO, Single Port Out; SPO)로 구성되어 있는 Distributed Dual Port 메모리를 사용하였다. 여기서 최근 입력 신호는 DPO로 출력되며 가장 오래된 입력 신호는 SPO로 출력되어 다음 DPRAM의 입력으로 인가되어 결국, 병렬의 FIFO(First In and First Out) 형태로 구현되도록 DPRAM의 쓰기/읽기 어드레스를 설정하였다. 이때 각 DPRAM의 출력은 교차 합산하여 결국 병렬 처리된 결과를 얻게 된다. 이렇게 얻은 4개 혹은 3개의 병렬 신호는 각각 사전 병렬로 ROM에 저장된 필터 계수와 곱하게 된다. 누산기에서는 곱셈기의 출력값을 더하는 기능을 하며 타이밍 제어기에서 제공한 어드레스 정보를 이용

하여 8개 혹은 6개의 값을 합산한 후 출력하게 된다. 이때 늘어난 비트 수를 요구되는 필터 출력 비트에 맞게 잘라 주어야 하며 이러한 방법으로 필터 계수의 총 합이 1임을 감안하여 입력 데이터의 값을 일정하게 부여했을 때 최종 출력단에서 일정한 값이 나오도록 적절하게 잘라 주었다.

### 5. Half-Band 필터 구현

하프-밴드 필터의 동작 원리는 앞 절의 RRC 필터 혹은 Parks-McClellan 필터와 매우 유사하며 <그림 8>은 하프 밴드 필터의 처리 과정을 나타낸다. 앞서 언급했듯이 하프 밴드 필터의 장점은 필터 계수의 형태가 가운데에 0.5을 중심으로 계수 값들이 대칭을 이루며 각 계수 값들 사이에는 0이 삽입되어 있어 폴리페이즈 필터 뱅크를 적용할 경우, 실질적으로 짝수 인덱스에 해당하는 필터계수만 상기 과정과 똑같이 처리하고



<그림 8> 하프-밴드 필터의 동작 원리 구성도.

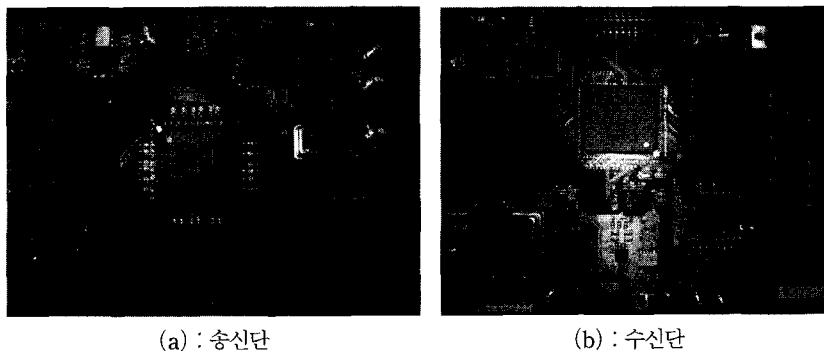
0.5를 포함한 홀수인덱스 부분은 단지 한 비트 시프트(shift)시킨 후 버퍼(Buffer)를 사용하여 사전 계산된 지연 후에 MUX 과정을 거치게 된다<sup>[7]</sup>. 여기서 지연 정보는 정확히 하프 밴드 필터 계수의 절반과 동일하다. <그림 8>에서 2배의 인터플레이션 혹은 데시메이션을 위한 필터 처리 과정은 스위칭에 의해 제어되며 실제 중요부분은 운용상 공유된다. <그림 8>은 필터 계수가 17개인 하프밴드 필터 처리 과정을 나타내며 필터 계수의 양단 0을 제외할 경우, 홀수 인덱스를 갖는 8개의 필터 계수는 대칭적 구조를 나타내며 짝수 인덱스를 갖는 7의 필터 계수는 중간에 0.5를 제외하고 0을 포함하게 된다. 여기서 대칭적 구조로 인하여 8개의 필터 계수 중 4개만 ROM에 저장된다. DPRAM의 개수는 필터 계수의 수와 클럭 속도, 입력 표본화율을 고려하여 결정되며, 예를 들어 클럭 속도는 61.44 MHz로 동작하고 표본화율이 15.36 MHz로 동작한다고 가정할 경우, <그림 8>처럼 2개의 DPRAM을 사용하여 필터 처리가 가능하다.

여기서 2배의 인터플레이션 처리를 위해서는 입력 표본화율에 해당하는 W\_en 신호를 설정하여야 하고 2배의 데시메이션 처리를 위해서는 입력 표본화율의 절반에 해당하는 W\_en 신호를 설정하여 DPRAM에 인가해야 한다. 타이밍 제어기에서는 두 DPRAM 블록에 서로 다른 읽기 어드레스를 사용하여 FIFO 형태의 병렬 처리가 가능하도록 하였다. 이러한 두 개의 DPRAM 출

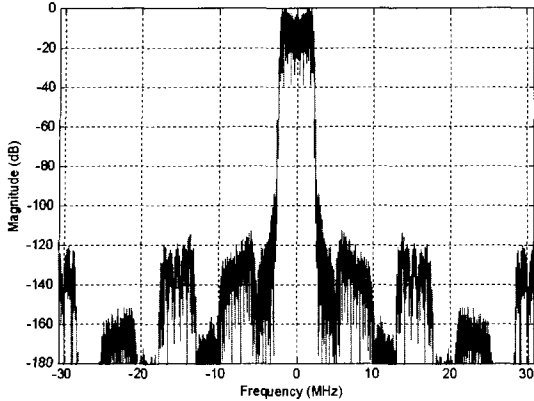
력값은 덧셈기를 통해 더해진 후 ROM에 저장된 필터 계수와 곱하게 된다. 지연 제어기(Delay controller)에서는 필터 계수 중 홀수 인덱스 부분을 처리하기 위함이며 단지 0.5값만 존재하기 때문에 1비트 시프트 시킨 후 버퍼를 사용하여 사전 계산된 지연 값 후에 내보내게 된다. MUX는 인터플레이션 블록에 포함되며 누산기와 지연 제어기의 출력 값을 교대로 출력하여  $2 \times f_s$ 의 표본화율로 출력하는 역할을 한다. 끝으로 <그림 8>처럼 데시메이션을 위한 덧셈기(Adder)는 누산기와 지연 제어기의 출력 값을 더하여의 표본화율로 출력하는 역할을 한다.

#### IV. 송/수신단의 시뮬레이션 결과 및 성능 분석

송신단과 수신단의 성능 검증을 위해 입력 신호로 W-CDMA의 Gold 코드를 사용하였으며 이때 I, Q의 전력 레벨이 1이 되도록 Gold 코드의 허용 범위를 설정하였다. 우선 송신단을 통해 출력된 신호가 원하는 IF 밴드로 천이 되었는지 스펙트럼 분석기(HP-E4404B)를 통해 확인하였으며 두 채널의 IF 신호를 직접 수신단 입력으로 인가시켜 IF 대역의 신호가 기저대역 신호로 천이 되는지를 확인하였다. 송/수신단 디지털 IF 모듈의 layout은 <그림 9>와 같다.



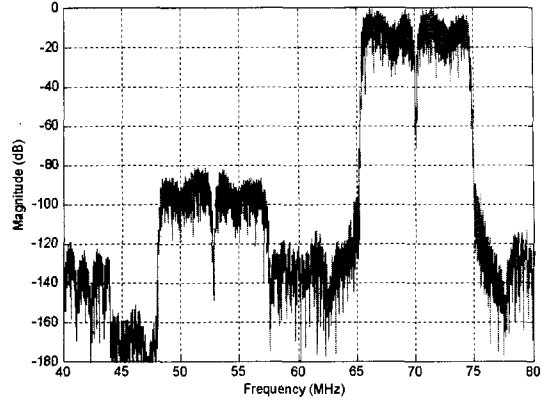
<그림 9> 송/수신단 디지털 IF 보드 layout.



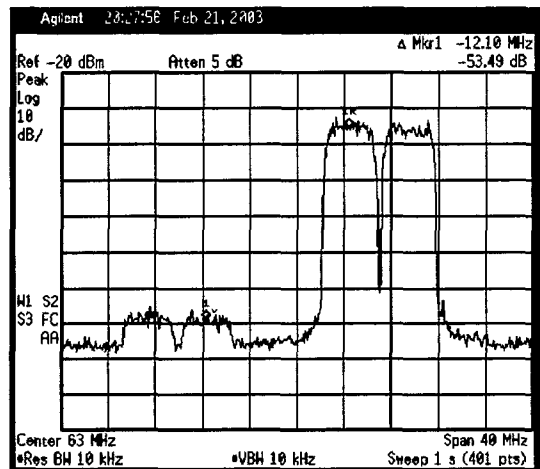
〈그림 10〉 송신단 필터의 저지대역 결과

송신단의 성능을 확인하기 위해 우선, QPSK로 변조된 I/Q 신호를 OVFSF와 스크램블링 코드로 확산시켜 두 채널에 해당하는 W-CDMA 신호를 생성시켰다<sup>[8]</sup>. 〈그림 10〉은 펄스 형상 필터가 가미된 송신단 필터를 통과한 후 FFT한 결과를 나타낸다. 여기서 1.92MHz에서 약 -3dB, 2.5MHz에서 약 -83dB의 감쇄 특성을 가지게 된다. 이러한 I, Q의 기저대역 신호들은 1차 DCQM을 통과하여 대략 -2.5MHz와 2.5MHz를 중심으로 각각 5MHz 대역의 신호로 분포되며 여기서 사용된 NCO의 주파수는 14비트의 위상 가산기 출력에 16비트의 LUT 출력으로 생성시켰다. 2차 DCQM 블록에서는 8.56MHz에 해당하는 NCO를 사용하여 대략 6.06MHz와 11.06MHz를 중심으로 두개의 5MHz 대역을 갖는 신호를 출력하게 된다.

이러한 신호는 〈그림 11〉처럼 DAC단의 동작 제어 코드값을 설정함으로써 70MHz의 중심 주파수에 두 개의 IF 대역 신호들을 발생시키게 된다. 실제로 DAC는 두 단의 하프-밴드 필터로 구성된 4배의 인터폴레이션 필터와  $f_s/4$ 의 디지털 QM 변조방식이 적용되기 때문에 본 실험에서 이를 감안하여 두 단의 하프 밴드 필터를 구성하였으며 이에 대한 결과로 〈그림 11〉에서 나타내고 있으며, 70MHz의 이미지 성분이 DAC 내의 인터폴레이션 필터로 인하여 감쇄됐음을 알 수 있다<sup>[10]</sup>.



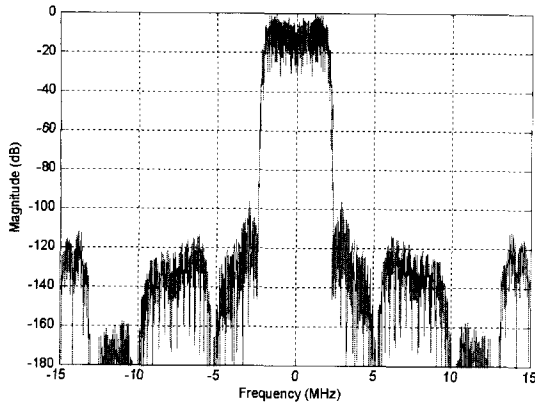
〈그림 11〉 DAC 통과 후의 시뮬레이션된 송신단 출력 스펙트럼



〈그림 12〉 송신단 하드웨어 플랫폼에서 DAC 통과 후의 실측 출력 스펙트럼

〈그림 12〉는 실제 하드웨어 플랫폼에서 DAC 통과 후의 송신단 출력 스펙트럼을 나타낸다. IF 대역의 두 채널의 감쇄 특성은 대략 53dB 임을 알 수 있으며 Noise Floor를 감안하면 시뮬레이션 결과와 거의 유사함을 알 수 있다.

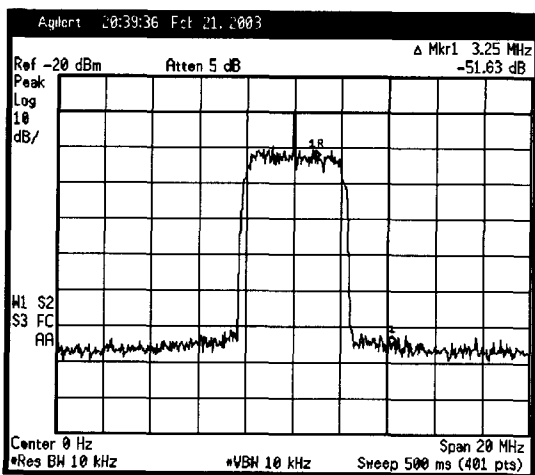
수신단 시뮬레이션은 입력 신호로 〈그림 12〉에서 보여주듯이 송신단을 통해 얻은 두 채널에 해당하는 IF 대역의 W-CDMA 신호를 사용했으며 이러한 신호는 ADC를 통과하여 디지털로 변환된다. 이때 통과 대역 표본화 과정을 거쳐 72.5MHz와 67.5MHz의 이미지 성분인 6.06MHz와 11.06MHz를 중심으로 5MHz 대역의



〈그림 13〉 수신단 시물레이션 결과

신호가 존재하게 됨으로 6.06MHz와 11.06MHz에 해당하는 NCO를 사용하여 기저대역으로 천이시켰다. 〈그림 13〉은 IF 대역이 기저대역으로 천이된 후 기저 대역 필터를 통과한 결과를 나타내며 2.5MHz 대역에서 디지털 필터의 감쇄 특성이 약 -84dB임을 감안하면 인근 채널을 충분히 제거하는데 충분하다.

수신단 하드웨어 실험에서는 〈그림 14〉처럼 디지털 필터를 거치면서 30.72MHz의 표본화율로 하향 변환된 기저 대역 스펙트럼이 Noise Floor 위로 약 52dBc의 감쇄 특성을 유지함을 알 수 있다.



〈그림 14〉 수신단 하드웨어 플랫폼에서 필터 통과 후의 실측 출력 스펙트럼

## V. 결 론

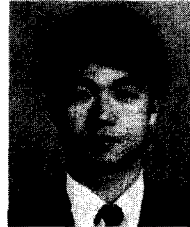
본 논문에서는 다중모드 및 다중밴드 복합 송수신 처리 과정을 소프트웨어 변경만으로 수용할 수 있는 디지털 IF 기능 알고리즘 및 하드웨어 플랫폼 개발을 수행하였다. 하드웨어 플랫폼은 상용 FPGA, ADC/DAC 및 기타 주변 디지털 소자들로 구성하였고, 주어진 하드웨어 자원과 성능 그리고 용량을 고려하여 최적의 디지털 IF 기능을 동작시키기 위한 소프트웨어모듈을 개발하였다. 이러한 과정을 통해 3GPP 권고안의 W-CDMA용 트랜시버의 송수신 신호 전력 규격 및 인근 채널과의 전력 비를 만족시키면서, 정해진 IF 주파수 대역으로 기저대역을 상향변환 혹은 IF 대역의 하향변환 및 채널화 과정으로 압축되는 디지털 IF 기능을 원활히 수행하기 위한 최적화된 VHDL 소프트웨어를 개발하였다. 또한 본 논문에서는 일반적으로 IF 대역 처리를 위해 필요한 아날로그 소자, 특히 SAW 대역 통과 필터, 를 배제하고 직접 표본화된 IF 신호성분을 고성능 디지털 필터링 과정을 통해 디지털 처리단에서 효과적으로 원하는 기저대역 성분의 채널화하는 방안을 도출하였으며, 본 논문을 통해 개발된 디지털 IF를 위한 단일 하드웨어 플랫폼 및 변경 가능한 소프트웨어는 차후 소프트웨어 변경만으로 다중모드 트랜시버 기능의 복합적인 수용이 가능하다는 점에서 SDR 기반의 기저국 혹은 단말기에 적용할 수 있을 것이다.

## 참 고 문 헌

- (1) W. Tuttlebee, "Software radio: developments in europe," *Proc. 1st Int'l Software Radio Workshop*, pp.49-70, Rhodes, Greece, June 1998.
- (2) A. K. Salkintzis, N. Hong and P. T. Mathiopoulos, "ADC and DSP challenges in the development of software

- radio base stations," *IEEE Personal Communications*, vol. 6, no. 4, pp.47-55, Aug. 1999.
- [3] T. Yokoi, "Software receiver technology and its applications," *IEICE Trans. Commun. (Special Issue on Software Defined Radio and Its Technologies)*, vol. E83-B, no. 6, pp.1200-1209, June 2000.
- [4] 3GPP, *Technical specification group radio access networks ; UTRA (BS) FDD ; Radio transmission and reception*, 3GPP TS 25.104, v3.5.0, Dec. 2000.
- [5] R. E. Ziemer and W. H. Tranter, *Principles of Communications*, 4th Ed., Houghton Mifflin, 1995.
- [6] J. A. Wepman, "Analog-to-digital converters and their applications in radio receivers," *IEEE Commun. Magazine*, vol. 33, pp.39-45, May 1995.
- [7] R. E. Crochiere and L. R. Rabiner, *Multirate Digital Signal Processing*, Prentice-Hall, 1983.
- [8] 3GPP, *Technical specification group radio access networks ; FDD ; Spreading and modulation*, 3GPP TS 25.213, v3.7.0, Dec. 2001.
- [9] Analog Devices : AD6645, 14bit, 80 MSPS A/D Converter.
- [10] Analog Devices : AD9777, 16bit, 160 MSPS, 2x/4x/8x Interpolating Dual TxDAC, D/A converter.

## 저자 소개



李元澈

1986년 2월 서강대학교 전자공학과 학사, 1988년 3월 연세대학교 전자공학과 석사, 1994년 5월 New York, Polytechnic University, Electronic Eng. 공학박사, 1994년 8월~1995년 7월 :

Polytechnic Univ. Post-doctoral Fellow, 1995년 9월~현재 : 숭실대학교 정보통신전자공학부 부교수, 1998년 1월~1999년 12월 : 한국음향학회 산학연협동위원회 위원, 1999년 7월~1999년 11월 : ETRI 무선 방송연구소 초빙연구원, 2000년 6월~현재 : 과기부 국가지정연구실 사업 책임연구원, 2002년 1월~현재 : 한국전자공학회 통신연구회 협동전문위원, 2002년 1월~현재 : 한국통신학회 이동통신연구회 협동전문위원, 2002년 7월~현재 : HY-ITRC 센터 연구원, <주관심 분야 : Software Defined Radio, MIMO 시스템, 스마트 안테나 레이더 신호처리>