

SDR에서의 하드웨어 Reconfiguration

이승환*, 조권도*, 박성균**, 이규대**

*ETRI, **공주대학교

I. 서 론

SDR은 통신기능의 대부분을 소프트웨어만으로 자유롭게 재구성이 가능한 범용 하드웨어를 사용하는 기술이다. SDR에서 요구하는 범용 하드웨어를 사용하면 ASIC과 같이 특수목적으로 제작된 하드웨어를 사용하지 않고, 일반 컴퓨터 처럼 모든 프로토콜과 서비스 기능이 소프트웨어로 구현될 수 있다. 이러한 통신환경이 가능해지면 통신기기를 교체할 필요가 없어져 하드웨어 비용이 감소되고, 어플리케이션 개발자는 통일된 하드웨어구조를 사용할 수 있어 개발기간을 대폭 감소시킬 수 있게 된다. 또한 통신 프로토콜이 다른 지역이라도 단말기에 사용할 프로그램만 다운로드 함으로써 통신이 가능해지고, 기기의 업그레이드가 손쉬워져 기기를 교체하지 않고, 단지 필요한 프로그램을 다운 받음으로써 해결된다.^[1]

SDR 기능을 제공하는 하드웨어를 구성하는데는 복잡한 통신프로토콜을 실시간으로 처리해주는 프로세서와 원하는 주파수영역의 신호를 송수신할 수 있는 광대역 RF, 그리고 이 신호를 디지털로 변환해주는 고속의 ADC/DAC가 필수적인 사항이다. 그러나 이러한 이상적인 모습의 SDR 구조는 현재의 기술과 제작비용의 한계로 상업용 제품이 실현되기에는 아직 이른다. 특히 상용 DSP(Digital Signal Processing)가 모든 통신기능을 구현할 정도로 빠르지 않은 상황이고, ADC 또한 RF단에서 직접 처리되기 위해서는 더 많은 연구가 필요한 상황이다. 현실적으로는 재구성이 가능한 FPGA를 혼용하면서

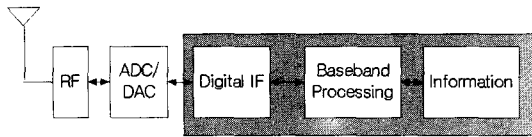
baseband 처리를 중심으로 한 구조가 테스트베드로써 개발되고 있다.^[2] 현재 SDR Architecture를 구현하는데 있어 중요한 요소는 빠르고 효과적인 ADC(Analog Digital Convertor)의 제작, RF front-end 부분의 유연성, 그리고 저전력 고기능의 DSP 개발 및 사용되는 프로그램의 효과적인 데이터 관리, 자원할당이 가능한 미들웨어의 설계라 할 수 있다.

본 고에서는 SDR Forum에서 정하고 있는 Reconfigurable Architecture의 구조를 소개하고, 현재 상품화되어 있는 SDR 제품들을 조사해 본 후, ETRI에서 진행중인 하드웨어구성을 예시하면서 구체화 되어가는 SDR 플랫폼의 모습을 알아보고자 한다.

II. Reconfigurable Architecture

통신서비스의 사용자, 서비스 제공자 장비공급자 모두에게 Open Architecture는 통신망의 통합 움직임 속에서 필수적인 사항으로 인식되고 있다. 생산성향상, 사용의 편리성, 문제해결 능력, upgrade 지원 등의 면에서도 중요한 기술로 자리잡아가고 있다.

재구성이 가능한 통신기기가 되기 위해서는 Open Architecture의 구조로 프로그램에 의한 기능 변경이 가능하도록 구성되어야 한다. 이를 위해서는 ASIC과 같은 고정된 하드웨어를 지양하고 FPGA나 DSP와 같은 소자로 구성되어야 한다.



〈그림 1〉 SDR을 위한 블록도

Open Architecture에 대한 정확한 정의는 없지만 개념적으로 본다면 우리가 현재 사용하고 있는 Personal Computer와 같은 모습으로 생각해 볼 수 있다. 즉, 하드웨어는 고정되어 있고 프로그램의 선택에 따라 다양한 기능의 기기로 활용되는 PC를 생각할 수 있다.

컴퓨터의 모습을 보면 “IBM” compatible이라고 하여 누구나 같은 것을 만들 수 있도록 하고 있으며, Open Bus 구조를 채택하여 표준화를 추구하였고, Application Openness로 다른 컴퓨터에서도 같은 작업을 할 수 있도록 하고 있다.

학문적인 용어로서의 SDR은 무선인터페이스를 소프트웨어로 재구성한다는 것을 말한다. 즉, 소프트웨어를 무선을 이용해 안테나로 수신하고 이것으로 시스템의 기능을 재구성하는 것을 말한다. 〈그림 1〉과 같이 무선신호를 공중망에서 수신하여 직접 디지털신호로 변환한 후 베이스밴드에서 데이터를 처리하는 과정을 의미한다.

하드웨어적인 관점에서 이러한 구성이 되기 위해서는 넓은 범위의 주파수에 사용될 수 있는 ADC/DAC가 필요하고 디지털화 된 신호에서 변복조 및 multimedia 정보를 추출하기 위한 고속의 DSP 또는 프로그램 가능한 FPGA를 필요로 한다.

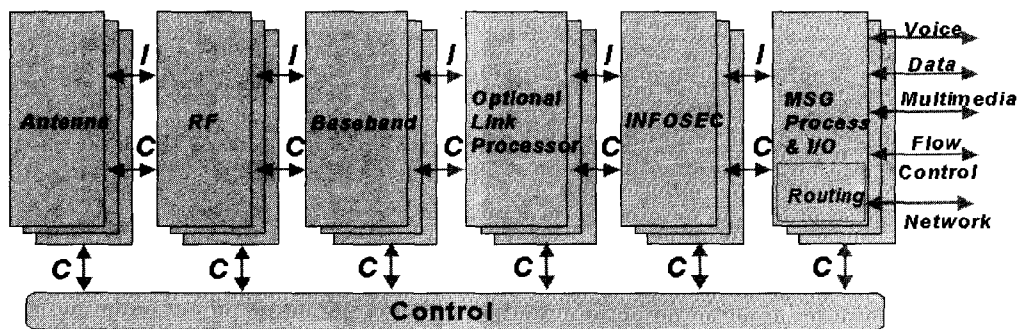
이상적인 SDR 구조는 무선신호가 RF(Radio Frequency) 부에서 바로 디지털화 되고, 이후 모든 기능이 소프트웨어 프로그램으로 DSP에서 구현되는 것이다. 그러나 현재는 DSP의 처리능력의 한계로 대부분 DSP와 FPGA를 혼용하는 모습으로 사용되고 있다.

Open Architecture 구조는 소프트웨어와 하드웨어적인 면에서 모두 재구성 가능해야 한다.

본 고에서는 하드웨어적인 관점에서의 구조를 대상으로 하였다.

〈그림 2〉는 SDR Forum(구 MMITS)에서 정의하고 있는 SDR의 구조와 기능별 인터페이스 블록도를 보인다. 기능 블록 사이의 인터페이스는 정보신호의 흐름을 나타내는 I와 제어신호의 흐름을 나타내는 C로 표현되어 있다. 구조모델의 모듈별 인터페이스의 표준화작업이 계속 진행되고 있으며, 이를 API(Application Programming Interface)로 정의하고 있다. API는 소프트웨어 모듈, 하드웨어 모듈 그리고 소프트웨어와 하드웨어 모듈간의 인터페이스를 모두 정의한다. 통신과정에서의 모든 블록은 제어신호 C를 통해 재구성 및 통제신호를 받으면서 무선 통신의 채널을 설정하고, 정보신호 I를 통해 전달하고자 하는 통신신호가 지정된 QOS를 만족하면서 실시간 처리가 수행되도록 한다.^[3]

대부분의 기능적인 실시간 처리는 정보신호를 통해 이루어진다. 수신측에서는 안테나에서 I/O까지, 송신측에서는 반대방향으로 처리된다. 이 그림에서 전 과정이 소프트웨어적으로 처리되기



〈그림 2〉 SDR Forum 구조

위해서는 안테나의 신호를 바로 디지털로 처리하는 ADC 부분과 이 신호에서 채널정보를 실시간으로 처리해야하는 DSP 부분이 하드웨어적으로 구현하는데 있어 해결 과제가 되고 있다.

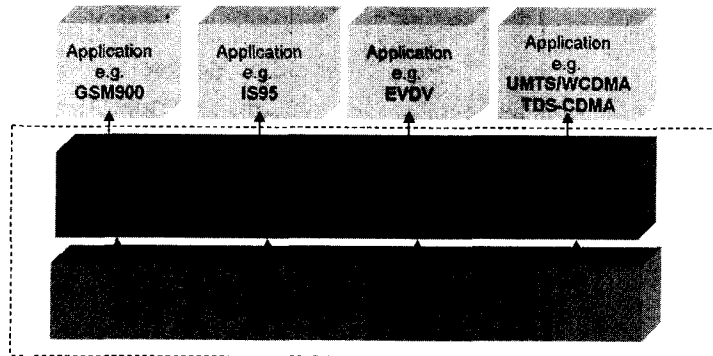
III. 하드웨어 구현사례

최근 상용화 제품으로 등장하고 있는 SDR 플랫폼의 모습은 baseband를 중심으로 발표되고 있으며, DDC와 DUC 또는 multi DSP 보드를 대상으로 한 제품도 많이 발표되고 있다. 특히 DSP와 FPGA를 혼합한 형태의 reconfigurable 소자도 Chameleon systems나 Sandbridge 등에서 계속 개선된 버전을 발표하고 있다.^[4]

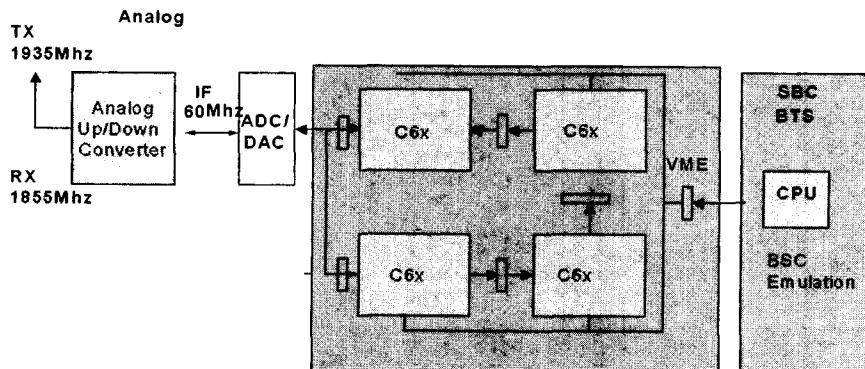
1. SDRCT

호주 멜버른에 위치한 SDRCT(SDR Communication Technologies)사는 최근 ADC/DAC와 multi-DSP 모듈을 사용하여 dual mode (IS59, GSM)로 동작하는 SpectruCell로 명명된 SDR 플랫폼을 개발하였다.^{[5][6]} 미들웨어부분을 중점적으로 개발하고 하드웨어 부는 상용화되어 있는 모듈들을 사용하고 있지만 dual-mode의 동작 상황을 테스트하는데 유용하며 3G 개발 장비로의 활용이 가능한 것으로 발표되고 있다.

전체적인 구성은 <그림 3>과 같이 하드웨어부, 미들웨어부, 어플리케이션부의 3부분으로 나누고, 미들웨어부를 통해 IS95와 GSM900이 소프트웨어의 변경만으로 통신모드를 변환할 수 있도록 제작하였다. 특히 이동단말을 사용하여 재구성 가능한 테스트베드를 구성하여 SDR 운영상황을



<그림 3> SpectruCell framework



<그림 4> SDRCT 하드웨어 구조

시연할 수 있도록 제작되었다.

이 회사에서 사용한 open architecture로서의 하드웨어구성은 <그림 4>와 같다.

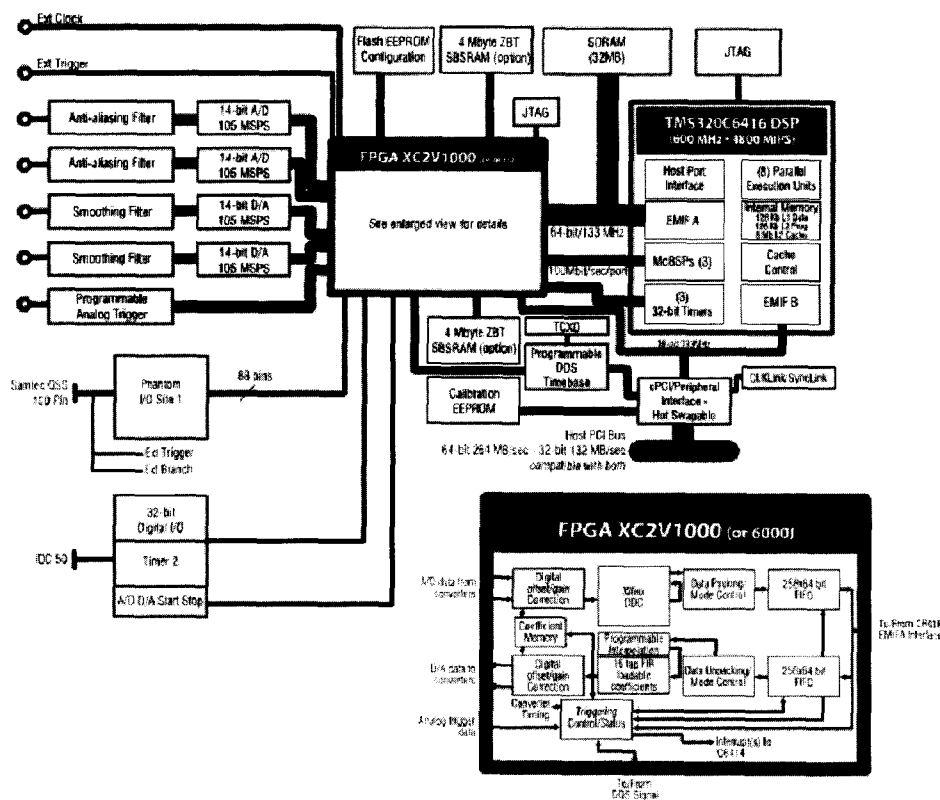
아날로그영역에서 down conversion 된 IF신호를 ADC(65MHz, 12bits)로 변환하여 멀티 DSP 보드에 전달하고, 처리된 결과는 DAC(200MHz, 12bits)를 사용하여 아날로그 up-converter로 전달하는 구조를 사용하였다. 모듈보드 간의 버스 인터페이스는 VME를 채택하였고, DSP 프로세서를 “C6xxx floating point DSP”로 사용하고 있다. 시연은 이동단말을 사용한 voice 통신을 dual mode로 변환하면서 동작하도록 하였다.

2. Innovative Integration Inc.

미국 캘리포니아에 위치한 Innovative Integration은 최근 SDR 플랫폼 개발용으로 사용될

수 있는 FPGA와 DSP를 혼용한 Quixote를 발표하였다.^[7] TI에서 가장 성능이 우수한 DSP C6416을 채용하고, 대용량의 Xilinx VirtexII FPGA를(1백만~6백만게이트) 사용하여 연구개발에 적합한 대역폭과 유연성을 제공하도록 제작되었다. 6U cPCI 버스를 사용하도록 만들어진 원보드 플랫폼은 빠른 실시간 처리능력이 요구되는 DSP와 아날로그 신호를 통합하는 하드웨어 플랫폼에 유용하다.

디지털 인터페이스는 외부에 100 pin을 갖는 고속의 하나의 Phantom site를 통해 제공된다. 88핀에는 VirtexII DIO 와 연결되고 LVDS 신호 44쌍이 기본적으로 연결된다. 이 Phantom site는 유연한 모듈 블럭으로 되어 있어 400 MB/s 이상의 디지털 통신기를 구현하는데 적합하다. 사용자는 LVDS 신호로 FPGA에 직접 연결되거나 통신 프로토콜을 구현하기 위한



<그림 5> Quixote 내부 블럭도

mezzanine 카드를 설치할 수도 있다. off-the-shelf IP core를 사용 RapidIO, Hyper Transport 또는 Gigabit Ethernet과 같은 인터페이스가 쉽게 구현될 수 있다. 구체적인 보드의 구조 사양은 <그림 5>와 같다.

아날로그 입력단에 2개의 ADC(14-bit, 105 MHz)와 2개의 DAC(14-bit, 100 MHz)를 사용하고 64-bit CompactPCI DSP Card에 Xilinx Virtex-II FPGA와 함께 내장하였으며 DSP 프로세서로는 TI의 coprocessor가 내장된 TMS320C6416 600MHz를 채용했다.

이 보드는 cPCI 버스로 인터페이스 되며 FPGA에서 디지털 front-end 처리를 하고 베이스밴드 처리를 DSP에서 할 수 있도록 구성하고 있다.

3. Spectrum Signal Processing

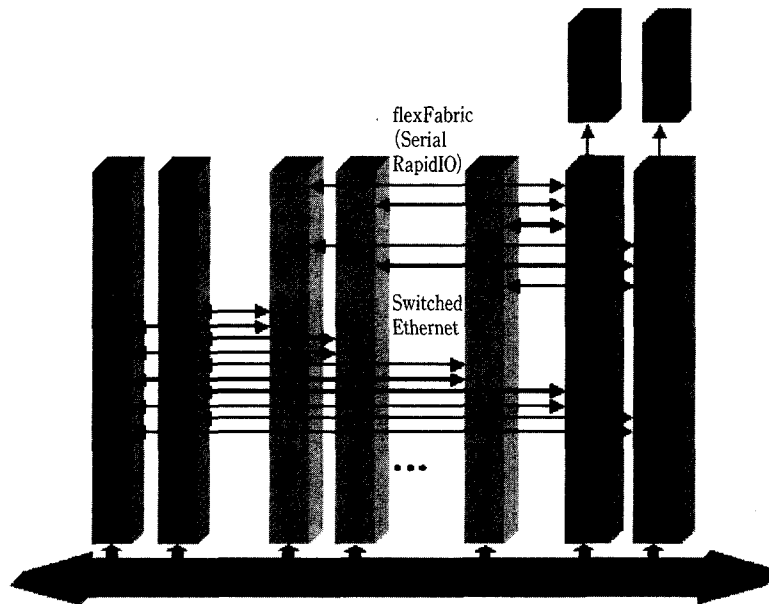
캐나다 벤쿠버에 위치한 Spectrum Signal Processing의 SDR-3000은 Spectrum사의 flexComm 플랫폼 시리즈의 하나로 고성능 고기능의 SDR 구현에 맞도록 설계되었다. 독자적인 무선 인터페이스를 갖는 송수신 채널을 동시에 지원하고, 가상적으로는 모든 무선 인터페이스에

사용될 수 있다. 또한 cellular base station이나 spectrum monitoring 그리고 시험 측정 등의 상업적 목적으로도 사용가능하다.^[8]

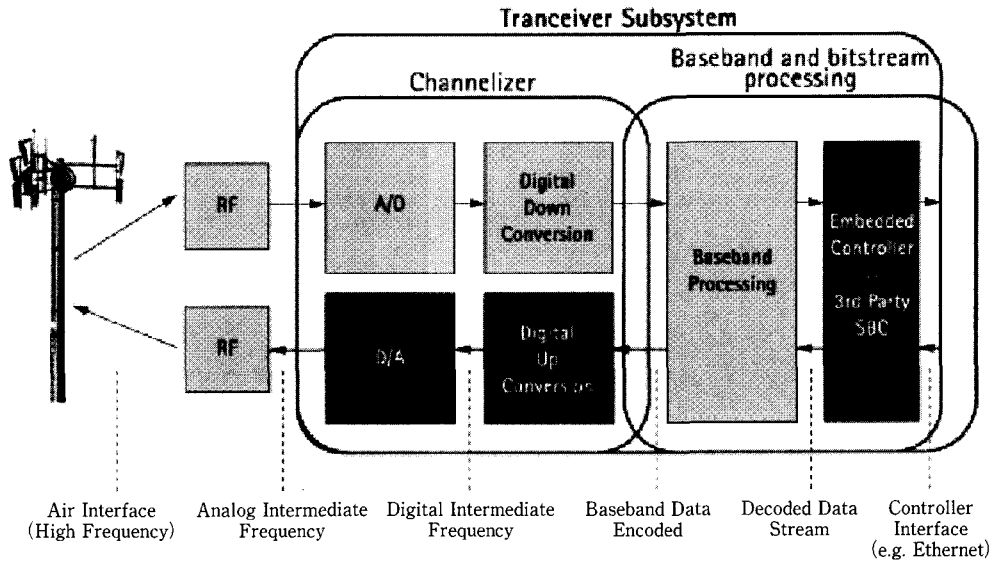
SDR-3000의 하드웨어 구성은 다음과 같은 기본보드로 구성된다.

- TM1-3300 : 4개의 160 MHz ADC와 4개의 80 MHz DAC를 지원하는 아날로그보드
- PRO-3100 : 4개의 프로그램가능한 Xilinx VirtexII FPGA를 지원하는 보드
- PRO-3500 : 4개의 PowerPC G4 프로세서를 지원하는 신호처리보드

FPGA와 G4 프로세서의 데이터는 flexFabric을 경유해서 연결이 되고 직렬의 RapidIO based switched fabric은 고속의 입력처리부와 함께 동작될 때 가상적으로 데이터흐름이 이루어지도록 한다. 모든 프로세싱 보드는 (PRO-3100 and PRO-3500) PICMG2.16 switched Ethernet backplane을 통해 연결된다. 네트워크 통합을 간단하게 하고, 개발 도구와의 효율적인 통합을 하고, 저속의 데이터경로를 가능하게 한다. 또한 PRO-3100과 PRO-3500은 둘 다 표준 cPCI를



<그림 6> SDR-3000 구성도



〈그림 7〉 Spectrum의 SDR 하드웨어 구조

가지며 다른 cPCI 보드와의 통합을 편리하게 해 준다.

4. Interactive circuit and systems

현재 SDR이 요구하는 사양의 시스템 구현 시에 안테나의 신호를 직접적으로 디지털화 하고 처리하는 작업은 불가능하다. 그러나 충분한 해상도와 처리능력으로 높은 IF 신호를 처리하는 것은 가능한 상태이다. 최근 ICS는 디지털 IF 신호를 처리하는 두 개의 PCI 카드를 발표했다. ICS-652(수신기), ICS-660(송신기)의 두 보드는 소프트웨어적으로 IF와 대역폭이 프로그램 되도록 제작되었다. 이 두 보드는 14비트의 해상도를 갖는다.

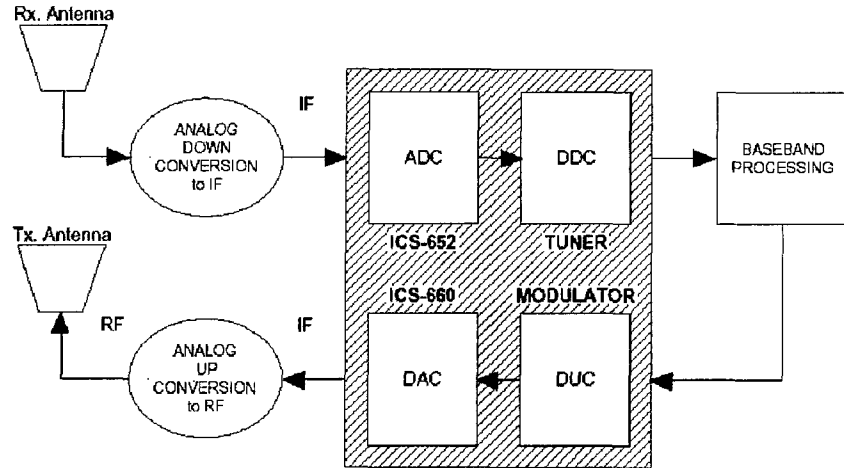
ICS-652는 2채널 14bit이면서 65MHz로 동작하는 ADC 보드로 디지털 튜너 모듈과 같이 사용될 수 있고, 현재 재구성 가능한 DDC (Digital Down Converter)의 튜너 모듈에 4개의 선택기능을 가지고 있다. ICS-660은 4채널 14bit이면서 65MHz로 동작하는 DAC 보드로 베이스신호의 DUC(Digital Up Converter)를 프로그램 가능하여 plug-In 디지털 모듈레이터와 사용될 수 있다. 〈그림 8〉은 디지털 IF 처리

에 사용되는 SDR 시스템의 블록도를 보인다.

그림에서 RF-IF, IF-RF 변환은 모두 아날로그 영역에서 수행된다. 디지털 IF 처리는 주로 수신신호를 베이스밴드 신호로 down conversion 하는 과정과 베이스밴드 신호를 up-conversion 을 통해 송신하는 경우를 말한다. DDC와 DUC 과정은 많은 연산처리를 필요로 하며, 특정한 DSP만이 가능하다. 이 디바이스가 최근 Graychip, Analog Devices Harris Corp와 같은 몇몇 칩 제조회사에서 제작되고 있으며, ICS는 Graychip 복조기와 변조기를 daughter card 형태로 사용하였다.

최근에는 DDC와 DUC가 내장되고 주파수를 높인, ICS-554(4 ch 14bits, 105MHz), ICS-564(4 ch, 14bits, 200MHz)를 발표하였다.

그밖에 여러 회사 중에서도 영국에 소재한 Entegra는 DSP와 RF 분야의 실시간처리가 가능한 제품을 Spectrum signal processing사와 Innovative Integration사와 협력관계를 통해 통신용 프로그램을 FPGA와 DSP 대상으로 연구개발하고 있으며, WCDMA에 대한 solution을 보유하고 있다.



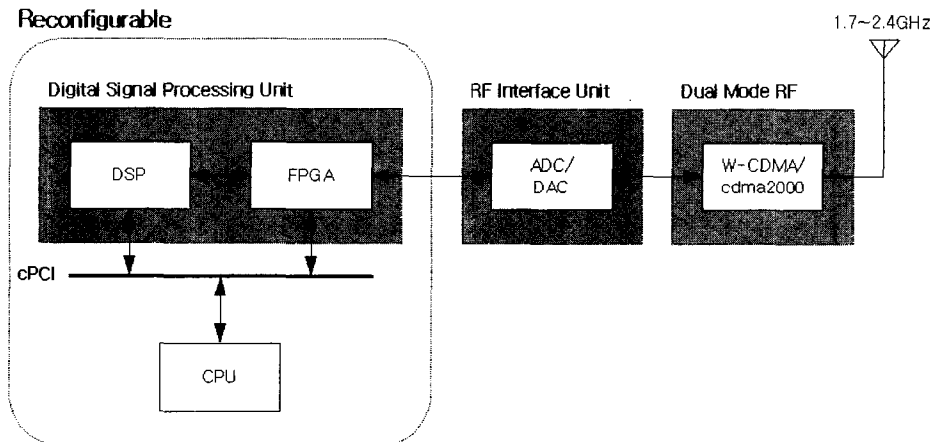
〈그림 8〉 ICS SDR 시스템

Pentek 또한 SDR 관련제품이 TI와 Motorola DSP를 사용하는 multi DSP 보드와 ADC/DAC 보드를 발표하고 있다.

IV. ETRI의 SDR 개발구조

ETRI에서 현재 개발하고 있는 SDR 플랫폼은 크게 RF 송수신기, RF 인터페이스 모듈, 그리고 디지털 신호 처리부 등 세 단계로 구성되어 있다.

RF 송수신기는 W-CDMA 규격과 cdma2000 규격을 동시에 수용하는 이중 모드 지원이 가능하도록 설계되었다. RF 인터페이스 모듈은 디지털/아날로그 변환을 수행하고 RF 송수신기 제어에 필요한 각종 제어 회로를 포함한다. 디지털 신호 처리부는 하나의 FPGA와 다수 개의 DSP 프로세서로 구성되어 있으며 CPU가 cPCI 인터페이스를 통하여 SDR의 Reconfiguration 기능을 수행할 수 있는 구조로 되어 있다. 〈그림 9〉는 SDR 플랫폼의 전체 구성 블록도를 나타낸 그림이다.



〈그림 9〉 ETRI SDR 플랫폼 구성 블록도

1. Dual Band RF

RF 송수신기는 직접 변환 구조로써 W-CDMA의 1.9GHz 대역과 cdma2000의 1.8GHz 대역을 동시에 지원할 수 있도록 설계되었다. RF 회로의 간소화를 위하여 저전력 증폭기(LNA), 고출력 증폭기(PA), I/Q 변조기 및 복조기, 안테나 등은 광대역 소자들을 선정하였고, 대역 선택을 위한 필터는 스위치 동작을 이용하여 서비스 대역 선택 기능을 수행하도록 하였다.

RF 송수신기는 RF 인터페이스 모듈의 DAC로부터 출력된 송신 신호를 사용자의 모드 선택에 따라 적절한 RF 주파수로 변환시켜 안테나로 출력시키거나, 안테나로부터 수신된 RF 신호를 ADC 입력 신호의 주파수 대역으로 변환시키는

주파수 대역 변환을 담당한다. 또한 RF 송수신기는 송수신 데이터 주파수의 변환이외에 수신 이득 제어 및 송신 이득제어, 수신 주파수 제어 기능을 포함하여 시스템의 송수신 전력 제어나 주파수 안정화 작업을 수행하도록 한다. RF 송수신기의 이러한 제어 기능은 기본적으로 디지털 신호 처리부로부터 제어 신호를 입력 받아서 동작하지만 RF 시험을 위하여 자체 보정 기능을 갖도록 설계되었다. 아래의 <그림 10>은 이중모드 RF 송수신기의 구조를 나타낸 것이다.

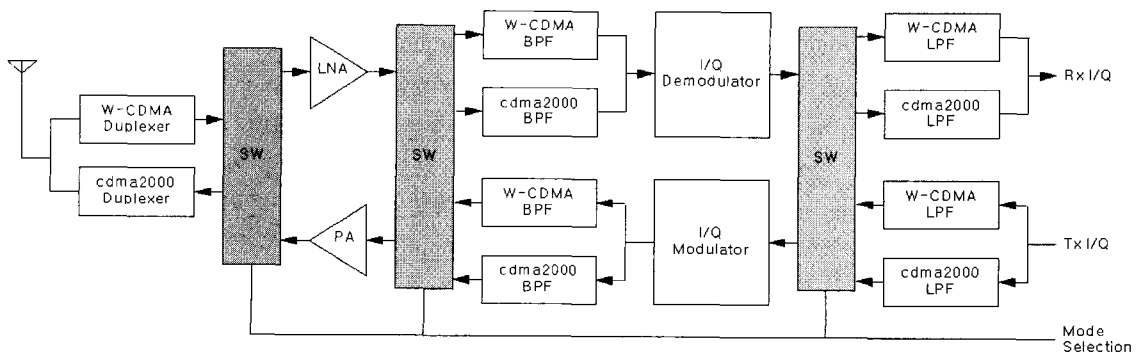
<표 1>은 구현된 이중 모드 RF 송수신기의 주요 규격을 나타낸 것이다.

<표 1> RF 송수신기 사양

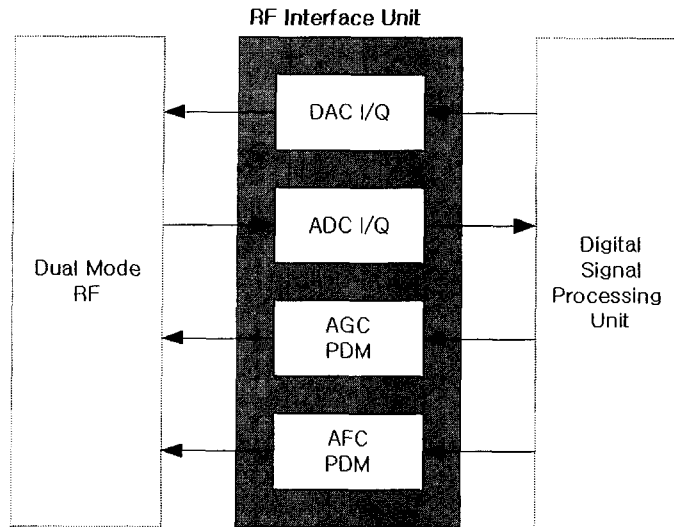
	W-CDMA	cdma2000
순방향 링크 주파수 대역	1920~1980 MHz	1840~1870 MHz
역방향 링크 주파수 대역	2110~2170 MHz	1750~1780 MHz
복신방식	FDD	FDD
칩속도	3.84 Mcps	1.2288 Mcps
채널 간격	5 MHz	1.25 MHz
RF 최대 출력	21 dBm	27 dBm
주파수 안정도	+/-0.1ppm	+/-0.1ppm
수신부 잡음지수	<8dB	<6.8dB
송신 전력 조절 범위	>71dB	>71dB
수신 전력 제어 범위	>82dB	>82dB

2. RF Interface Unit

RF 인터페이스 모듈은 RF 송수신기와 디지털 신호 처리부 사이에 위치하며, 디지털 송신 신호를 아날로그 신호로 변환시켜주는 DAC와 RF로부터 수신된 아날로그 신호를 디지털 신호로 변환시켜주는 ADC를 I 채널과 Q 채널을 위해 각각 2개씩 가지고 있다. 이밖에 RF 인터페이스 모듈은 RF 송수신기의 주파수 및 송수신 전력 제어를 위한 제어 회로를 포함하는데, RF 제어 회로는 디지털 신호 처리부와 연계하여 동작할 수 있도록 하였다. 송신 DAC는 14비트 해상도와 최대 125 Msps로 동작할 수 있도록 설계되었으며, 수신 ADC는 14 비트의 해상도와 최대 80 Msps로 동작할 수 있도록 하였다. RF 인터페이스 모듈은 SDR 플랫폼의 적용 시스템에 따라 설



<그림 10> 이중모드 RF 송수신기 구조



〈그림 11〉 RF 인터페이스 모듈의 구성도

계가 달라질 수 있기 때문에 별도의 모듈로 구현하여 시스템 유연성을 최대화 할 수 있도록 하였다. 〈그림 11〉은 RF 인터페이스 모듈의 구성도를 나타낸 것이다.

3. Digital Signal Processing Unit

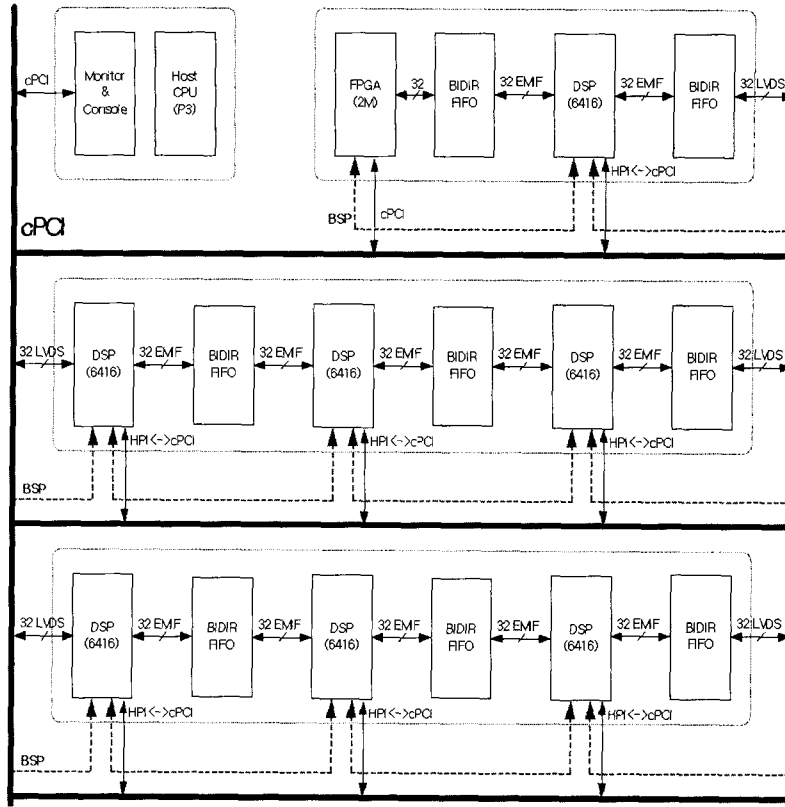
디지털 신호 처리부는 기본적으로 RF 인터페이스 모듈과 연결된 하나의 FPGA와 한 개 이상의 DSP 프로세서 모듈로써 구성된다. FPGA와 DSP 프로세서는 cPCI를 통하여 호스트 CPU와 연결되어 있다. 호스트 CPU는 Pentium III 급으로써 리눅스 OS를 기반으로 동작하도록 설계되었는데, SDR reconfiguration을 위하여 FPGA와 DSP 프로세서들을 위한 프로그램을 다운로드하거나 각종 제어 및 모니터링 기능 등을 수행하도록 한다. 다수 개의 DSP 프로세서 모듈은 각각 독립적인 외부 메모리를 포함하는데, HPI (Host Port Interface)를 통하여 cPCI와 연결될 수 있도록 설계되었다. 또한 DSP 프로세서 모듈은 32 비트 FIFO를 통하여 순차적으로 연결될 수 있는 구조를 갖는다. 아래의 〈그림 12〉는 DSP 프로세서 모듈과 FPGA 및 호스트 CPU와의 신호 연결을 나타낸 것이다.

한편 이번에 구현된 디지털 신호 처리부는

cPCI 규격의 보드 크기로 제작되었기 때문에 다시 디지털 프론트 엔드(Digital Front End: DFE) 보드와 디지털 백 엔드(Digital Back End: DBE) 보드로 나누어진다. DFE 보드는 Xilinx사의 200만 게이트급 FPGA 하나와 TI사의 TMS320C6416 DSP 프로세서 모듈 하나로 구성되어 있다. FPGA와 DSP 프로세서는 외부 FIFO를 통하여 32 비트 데이터 버스뿐만 아니라 DSP 프로세서의 시리얼 포트를 통해서도 연결이 되도록 하였다. DBE 보드는 세 개의 DSP 프로세서 모듈을 포함하는데, 각각의 모듈 역시 외부 FIFO를 통한 32 비트 데이터 버스 및 시리얼 포트에 연결되어 있다. DFE 보드와 DBE 보드 사이의 신호 전송은 32 비트 LVDS 형태로 하여 고속 신호 전송이 가능하도록 하였다. 필요한 DSP 프로세서의 개수에 따라 DBE 보드의 수량을 결정하는데, DSP 모듈간 외부 신호 전송의 비효율성을 감안한다면 비록 DSP 프로세서가 4800 MIPS의 성능을 가진다 하더라도 시스템에 사용된 DSP 개수 만큼의 성능을 기대하기는 어렵기 때문이다.

SDR 플랫폼을 구성하는 FPGA와 DSP 프로세서의 역할 분담은 다음과 같다.

FPGA는 RF 인터페이스 모듈과 연결되어 W-



〈그림 12〉 디지털 신호 처리부의 신호선 구조

CDMA 및 cdma2000 송신 신호를 기저대역에서 FIR 필터링을 수행하여 I 채널 및 Q 채널의 DAC에 내보내는 역할과 RF 인터페이스 모듈의 I 채널 및 Q 채널의 ADC에 의해 변환된 디지털 신호를 입력받아 수신 FIR 필터링을 수행하도록 한다. 또한 FPGA는 RF 주파수 및 전력 제어를 위한 제어 회로부의 루프 필터를 갖는다. DSP 프로세서 모듈은 W-CDMA 및 cdma2000 시스템의 송신 채널 구성 및 스프레딩을 수행하여 FPGA에 일정 간격으로 송신 데이터를 쓰거나, FPGA에서 FIR 필터링된 수신 신호를 읽어와서 디스프레딩을 비롯한 각종 수신 알고리즘을 구현하도록 한다. FPGA와 DSP 프로세서 사이의 데이터 전송은 각 규격에 적합하도록 일정한 프레임 간격을 가지고 수행되도록 설계하여 잦은 인터럽트에 의한 DSP 프로세서의 성능 저하를 방지하고자 하였다. 여기서 주목해야 할 것은 비

록 W-CDMA와 cdma2000이 규격은 상이할지라도 기본적으로 FPGA와 DSP 프로세서의 역할 분담이 크게 다르지 않고, 다만 데이터 전송 간격이라든지 운용상의 차이만 있을 뿐이라는 점이다.

아래의 〈표 2〉는 FPGA와 DSP 프로세서의 역할 분담에 대해 나타낸 것이다.

〈표 2〉 FPGA-DSP 기능분담

	W-CDMA	cdma2000
FPGA	- Tx/Rx filtering - RF control loop filter	- Tx/Rx filtering - RF control loop filter
DSP	- Spreading & despreading - Synchronization - Data demodulation	- Spreading & despreading - Synchronization - Data demodulation

V. 결 론

9. 11 테러와 같은 비상 재난의 경우, 구조팀 간의 협조체제를 유지하기 위한 방법은 통신망을 단일화 하는 것이다. 그러나 당시 경찰, 구급차, 소방관, 군인 등 많은 비상 요원들이 서로 효율적으로 통신할 수 있는 무선 통신시스템을 확보하지 못했다. 각 요원들은 독자적인 자신들의 통신 시스템만을 사용했고, 이 때문에 다른 응급요원들이 사용하고 있는 통신장비와 전혀 연결되지 않았다. 이런 때에 SDR은 현장에서 신속하게 재구성되고, 컴퓨터 소프트웨어만으로 요원들의 무선장비가 빠르게 재구성되어 동일한 통신환경을 구성할 수 있게 된다.

SDR을 기술적인 면에서 보면, 아날로그회로로 수행되었던 대부분의 기능들, 즉 무선송신신호의 발생, 수신된 무선신호의 검출과 튜닝 같은 일들이 고속의 디지털 프로세서에서 동작하는 소프트웨어로 대체될 수 있는 open architecture를 실현하는 것이다. 이런 기능들이 소프트웨어로 수행되기 때문에 현재 사용되고 있는 다양한 형태의 무선통신방식이 하나의 무선장비에서 사용될 수 있어 광범위한 주파수에 대한 송수신이 가능하게 된다.

그러나 지금까지 살펴본 바와 같이 SDR에서 요구하는 유연성 있는 단말기의 구현은 현재 가용한 ADC와 DSP의 처리속도와 전력소비를 고려해 볼 때 상당한 시간이 필요한 상황이며, 이 때문에 단말기보다는 기지국개발에 집중되고 있다.

앞서 소개한 상용화되고 있는 부분적인 SDR 플랫폼과 같이 국내 연구소차원에서의 개발도 기지국 reconfigurable system에 주력하여 일차적으로 플랫폼을 설계하고 구현한 후, 모뎀부분

을 소프트웨어로 처리하여 cdma2000과 WCDMA 기능이 reconfigurable 방법으로 동작하도록 개발하고 있다.

SDR 단말기의 경우는 기지국과는 달리 제작비가 비교적 저렴하고, 시스템이 저전력으로 구현 가능해야 한다. 때문에 필수 소자인 ADC와 DSP의 개발 상황에 따라 SDR의 상용화가 가능해질 수 있고, 4G에 활용하기 위한 출발점이 될 수 있을 것이다. 중간 단계로 디지털 처리부분을 IF단으로 올리는 노력과 멀티 DSP를 사용한 기지국의 구현 및 multi mode를 제공할 미들웨어의 개발이 계속 진행되어야 할 것으로 보인다.

참 고 문 헌

- [1] X.H. Huang, K.L. Du, "A Unified Software Radio Architecture", IEEE Signal Processing workshop pp.330-333, March 2001.
- [2] Srikathyayani Srikanteswara, "A Soft Radio Architecture for Reconfigurable Platforms", IEEE Communications Magazine pp.140-147, Feb. 2000.
- [3] <http://www.sdrforum.org/>
- [4] <http://www.sandbridgetech.com/>
- [5] <http://www.sdrct.com/>
- [6] <http://www.pentek.com/>
- [7] www.innovative-dsp.com/
- [8] www.spectrumsignal.com
- [9] www.ics-ltd.com
- [10] X.H. Huang, "A Unified Software Radio Architecture", IEEE Signal Processing Workshop March 2001.

저자 소개



이승환

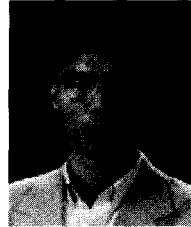
1995년 2월 고려대학교 전자공학과 학사, 1997년 2월 고려대학교 전자공학과 석사, 1995. 9~1997. 5: (주)피씨에스솔루션 선임연구원, 1998. 3~1999. 10: (주)사람과기술 연구원, 1999. 10~2000. 3: (주)기산텔레콤 주임연구원, 2000. 4~2001. 7: (주)텔로직 대표이사, 2001. 9~현재: 한국전자통신연구원 이동통신연구소 연구원, <주관심 분야: SDR, FPGA/DSP 설계 및 구현, 광대역 무선접속망 및 4세대 이동통신 기술



조권도

1991. 2 전남대학교 전자공학과 학사, 1994. 2 전남대학교 전자공학과 석사, 1994. 3~현재: 한국전자통신연구원 선임연구원, <주관심 분야: 이동통신, 무선모뎀, 이동통신 단말기 Software,

SDR>



박성균

1988. 2 연세대학교 전자공학과 졸업, 1992. 2 연세대학교 전자공학과 석사, 1994. 2 연세대학교 전자공학과 박사, 1994. 3~현재: 공주대학교 정보통신공학부 교수, <주관심 분야: SDR,

통신시스템>



이규대

1984. 8 고려대학교 전자공학과 졸업, 1986. 8 고려대학교 전자공학과 석사, 1991. 2 고려대학교 전자공학과 박사, 1992. 3~현재: 공주대학교 정보통신공학부 교수, 2000. 3~2001. 3: 미

국 조지아텍 교환교수, 2002. 3~현재: 한국전자통신연구원 이동통신연구소 초빙연구원, <주관심 분야: SDR구조, 신호처리>