

**특 집**

# Software Defined Radio 구현 기술 동향

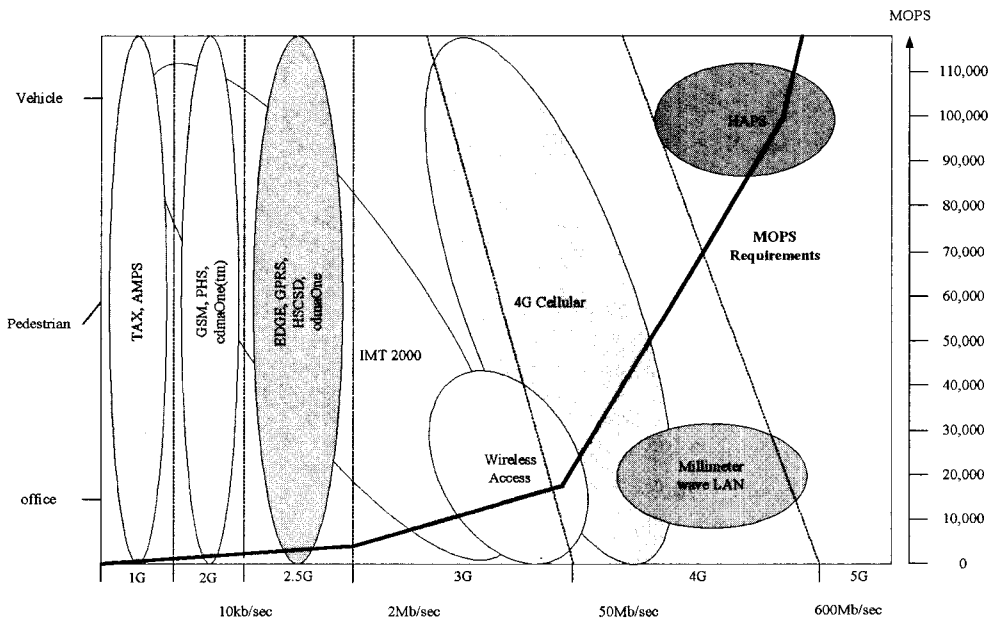
서정욱, 오원석, 최종찬  
전자부품연구원

## I. 서 론

이동통신 및 무선통신 장비들을 SDR(Software Defined Radio) 기술로 구현하기 위해서는 설계 방법과 IC 설계 기술에 대한 변화가 필요하다. 앞으로 연구되어야 할 차세대 무선통신 장비들은 높은 처리율, 다중밴드, 다중모드, 다중미디어, 그리고 위치기반 서비스 등 이전 세대들보다 더 높은 차원의 특성, 기능 그리고 서비스를 제공하여야 한다. 특히 단말기의 경우 긴 배터리 수명, 작은 사이즈, 가벼운 무게 등과 같은 휴대를 용이하게 하는 물리적 요구들 또한 충족시켜야

하는 과제를 안고 있다. <그림 1>은 현재 무선통신 시스템들의 진화추이를 보여주고 있다<sup>1)</sup>.

진화에 따른 무선 네트워크 인프라의 변화 혹은 향상된 기능에 따른 업그레이드는 무선 장비들의 변화를 요구하며 이는 생산자에게는 IC 설계 기술은 물론 여러 기반기술에 대한 투자를, 소비자들에게는 비용적인 부담을 야기한다. 또한 새로운 무선 인터페이스 표준이 나올 경우 이것을 가능하게 만들 수 있는 처리 요구조건을 만족시켜야 한다. 아래에 나타낸 <그림 1>의 MOPS (Millions of Operations Per Second) 선은 여러 무선 인터페이스 기술에 따른 처리 요구 조건을 나타내고 있다. 예를 들어 3G에 속하는



<그림 1> 무선통신 시스템의 진화추이 및 처리요구조건

WCDMA의 경우 대략 11,000 MOPS가 필요 한데 2G인 GSM과 비교해 볼 때 10배 이상의 연산량이 필요하다. 이러한 요구조건은 프로세서 들에 적지않은 부담으로 작용하며 여러 개의 보 코더를 지원해야 하거나 MPEG-4와 같은 비디 오 신호를 처리해야 한다면 그 처리부담은 더욱 가중될 것이다.

이러한 문제와 더불어 다양한 표준과 여러 애플리케이션을 지원해야 하는 SDR 시스템을 구현하는 경우 소프트웨어와 하드웨어를 어떠한 아키텍처로 설계할 것인지, 어떤 IC 기술을 사용할 것인지, 개발환경 및 툴은 어떻게 할 것인지 등에 대한 복잡한 문제를 해결해야 한다. 따라서, 본 고에서는 SDR 시스템을 구현하기 위한 아키텍처의 요구조건과 여러 연구기관에서 제안한 아키텍처를 설명하고, 이 아키텍처들을 기반으로 시스템을 구현을 할 때, 사용할 수 있는 플랫폼과 IC 기술에 대해 소개한다.

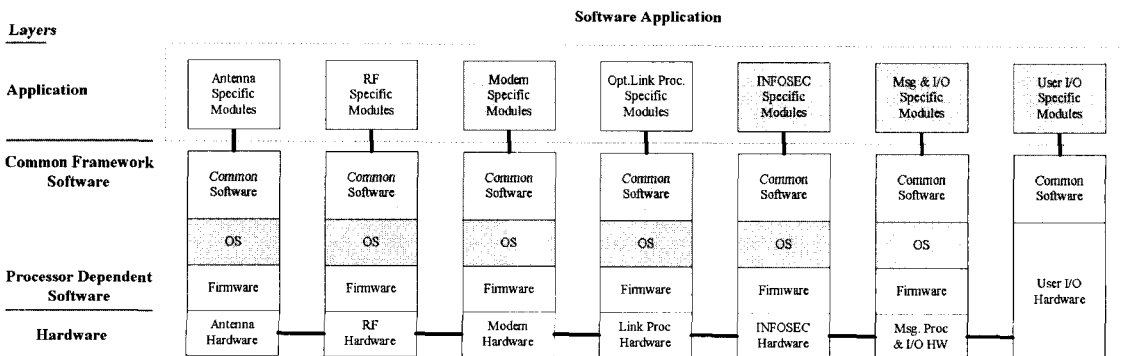
## II. SDR을 위한 아키텍처

SDR 시스템을 구현하는데 있어 필요한 각각의 부품을 적절히 선정하거나 설계하는 일만큼이나 구현하고자 하는 대상의 소프트웨어 및 하드웨어 아키텍처를 어떻게 설정할 것인가를 결정하는 것 또한 중요하다. 아키텍처는 디자인 엘리먼트들의 선정과 그 엘리먼트들 간의 연동방법에

대한 내용은 물론 계통적인 분류방법 및 처리방법에 대한 시스템 레벨에서의 고려 사항들을 설계자에게 알려준다<sup>[2]</sup>. SDR 아키텍처는 본질적으로 reconfigurability와 flexibility를 가져야 하며 효율적인 구현을 위해 modularity를 제공해야 한다. Reconfigurability는 reprogramming에 의해 통신시스템의 기능을 변경시킬 수 있는 능력을 의미하며, GSM에서 WCDMA으로 시스템을 변경하는 복잡한 과정과 통신 알고리즘 혹은 알고리즘에 사용되는 파라미터를 변경하는 단순한 과정 등을 포함하고 있다. Flexibility는 재구성과 밀접한 관계가 있으며 시스템의 하드웨어적인 아키텍처를 변화시키지 않고 재구성을 제공할 수 있는 능력을 말한다. Modularity는 한 시스템을 각각의 분리된 모듈들로 정의하는 방법을 말하며, 원하는 시스템을 구성하기 위해 하드웨어 및 소프트웨어 모듈들을 정의된 인터페이스를 통해 논리적으로 연결할 수 있다. 이외에도 SDR 아키텍처는 scalability, validation, verification, security, authentication, frequency/bandwidth selectivity 등 많은 조건을 만족시켜야 한다.

### 1. SDR 포럼 아키텍처

SDR 포럼은 소프트웨어 라디오(software radio) 기술에 대한 여러 연구분야를 다루고 있으며, 미래의 소프트웨어 라디오들에 유용한 규격을 공식화하기 위해 앞장서고 있다. SDR 포럼에서 제시한 기능적인 아키텍처를 계층적으로 나타



〈그림 2〉 SDR 포럼 아키텍처의 계층적인 구조

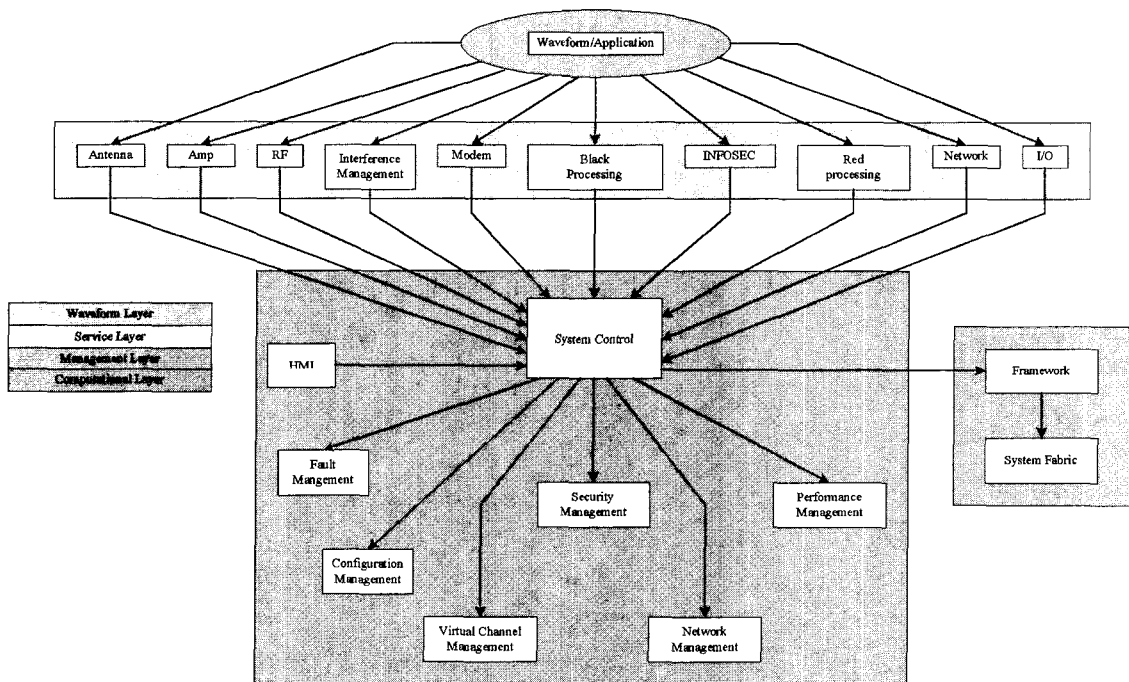
내면 <그림 2>와 같다<sup>[3]</sup>. 7개의 서로 독립적인 서브 시스템들이 오픈 인터페이스로 연결되어 있음을 그림을 통해 알 수 있다. 각 서브시스템은 독립적이지만 서로 연결된 프로세서에서 구동될 수 있으며 하드웨어, 펌웨어, OS, 소프트웨어 모듈들로 구성된다. 애플리케이션 계층은 모듈화되어 있고 유연성을 갖고 있으며 소프트웨어에 의해 기술된다. 이 그림을 통해 우리는 소프트웨어와 하드웨어가 어떻게 구성되는지를 개략적으로 알 수 있다.

2. WITS 아키텍처

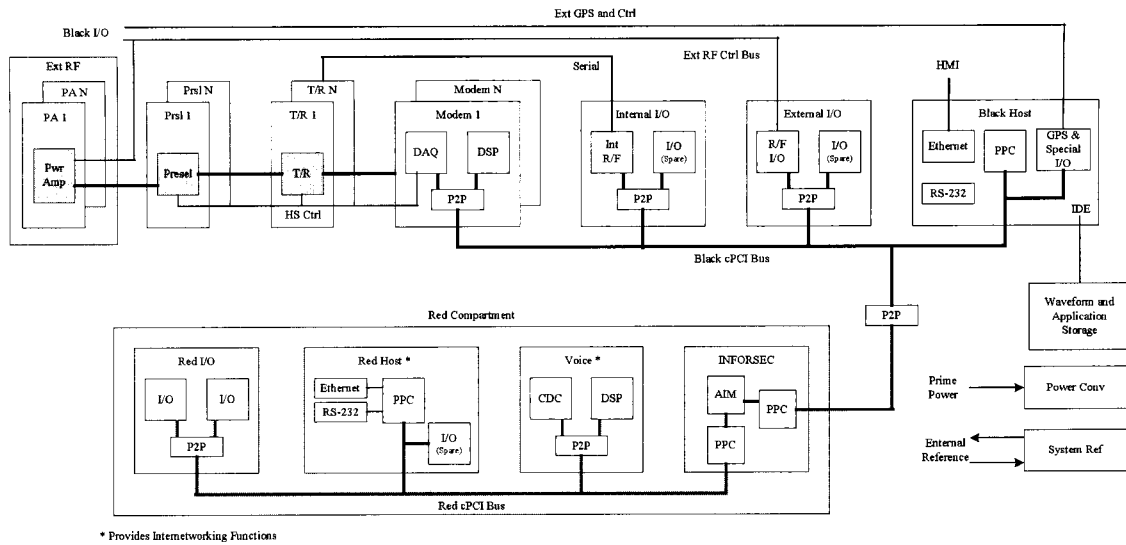
WITS(Wireless Information Transfer System) 아키텍처는 모토로라에 의해 개발되었으며, SDR 포럼이 제시한 지침에 따라 만들어진 첫번째 예라고 할 수 있다. 소프트웨어 아키텍처는 SCA(Software Communication Architecture)<sup>[4]</sup>를 기반으로 만들어졌다. 기능에 따라 4개의 기본 계층, 즉 waveforms/applications 계층, services 계층, management 계층, com-

putational 계층으로 나뉘어져 있으며 <그림 3>과 같다<sup>[5]</sup>. 각 계층을 형성하는 모듈들과 상위 계층이 하위계층의 기능을 사용하는 방법에 대해 보여주고 있다.

Waveforms/applications 계층은 통신 알고리즘 혹은 프로토콜인 waveform을 나타낼 수 있는 다양한 프로그래밍 루틴들, 즉 객체와 인터페이스를 포함하고 있으며 실제 라디오와 인터페이스 하기 위해 service 계층에서 제공하는 10개의 엔티티(entities)를 사용한다. 이 엔티티들은 기본적인 하드웨어의 기능 모듈에 해당한다. Management 계층은 시스템 컨트롤 객체를 통해 services 계층이 물리적인 하드웨어와 인터페이스 하도록 해준다. 이 시스템 컨트롤은 fault management, configuration management 등의 resource managers와 직접적으로 연동할 수 있다. Computational 계층은 물리계층에 해당하며 하드웨어 상에서 시스템을 만들기 위해 필요한 다양한 알고리즘들이 구현된다. 이 계층은 두 개의 개념적인 엔티티인 framework와 system



<그림 3> WITS 소프트웨어 아키텍처



〈그림 4〉 WITS 하드웨어 아키텍처

fabric으로 구성된다. Framework는 소프트웨어 아키텍처에 대해 사용 가능한 하드웨어 모듈의 능력을 정의하고 있으며, system fabric은 물리적인 연결과 프로세싱 자원을 제공한다.

하드웨어 아키텍처는 〈그림 4〉와 같다. 이것은 블랙 (secure) 호스트와 레드 (nonsecure) 호스트를 가지고 있으며 둘 모두 네트워킹 서비스를 제공하지만 인터넷과 관련된 기능은 레드 호스트에서만 제공하고 있다. 하드웨어 아키텍처에서 대부분의 프로세싱과 관련된 기능은 compact PCI 버스에 연결된 LRU (Line Replaceable Unit)들에 의해 구현된다. LRU로는 transmit/receive, preselectors, modem, networking, INFOSEC 등이 있으며, LRU는 삽입되거나 대체될 수 있다. LRU와 내부 하드웨어 모듈들은 ASIC과 DSP들을 사용하여 구현된다. 여기서, ASIC들은 Ethernet이나 RS-232와 같은 유선 통신과 관련된 프로토콜을 구현하고 RF와 관련된 일을 처리하는 데 사용되었으며, DSP들은 시스템 곳곳에 배치되어 있고 각 DSP는 지원하는 주요한 애플리케이션에 맞게 사용되고 있다. 그러나, DSP들은 필요에 따라 CORBA (Common Object Request Broker Architecture) ORB (Object Request Broker)를 통해 프로

세싱 자원들을 공유할 수 있다. INFOSEC 기능은摩托롤라의 AIM 프로세서에 의해 제공된다. WITS에 신호가 수신되면 그 신호는 기저대역으로 direct downconversion되고 modem 모듈에서 디지털 신호화되고 복조된다. 복조된 신호가 비화되어 있다면 INFOSEC 모듈을 거친다. 여기까지 처리된 신호는 레드 혹은 블랙 I/O 모듈로 입력되고 적절한 라인(아날로그 스피커, 네트워크, 혹은 안테나 등)으로 출력된다. 신호를 송신할 때는 앞서 설명한 수신과 반대로 동작한다.

SDR 아키텍처의 다른 예로써 Spectrum Signal Processing사가 만든 SDR-3000 Digital Transceiver Subsystem이 있다. 이것은 애플리케이션의 필요에 따라 하드웨어 모듈을 유연하게 사용할 수 있고 3개의 독립적인 버스를 사용하고 있으며 모듈들 간에 빠르고 유연하게 데이터가 전달된다는 장점이 있다. 1990년대 중반 DARPA의 지원을 받아 MIT에서 수행된 SpectrumWare 프로젝트는 SDR을 구현하기 위한 범용 프로세서들 (general-purpose processors)의 적합성에 대해 연구하였으며 GSM 기지국과 네트워크 인터페이스 모듈을 구현하였다. 시스템 I/O를 다루는 메커니즘과 실시간 기능들을 빠르고 간단하게 구현하기 위한 프로그램 환경 등에

대해 알 수 있는 좋은 예이다. DARPA GloMo 프로그램의 일부로써 Virginia Tech에서 개발한 CHARIOT 소프트웨어 라디오는 이동통신 단말기에 적합한 아키텍처를 가지고 있으며, CCM (Custom Computing Machine), stream-based processing, hardware paging 기술을 채택하였다. 지금까지 SDR 아키텍처에 대해 간략히 설명하였다. 소개한 내용 외에도 미국, 유럽, 일본 등에서는 SDR 아키텍처 및 설계에 대한 다수의 프로젝트가 수행 중에 있다.

### III. SDR을 위한 플랫폼 및 IC 기술

2장에서 설명한 아키텍처를 통해 SDR 시스템이 갖춰야 할 기능과 소프트웨어 및 하드웨어 아키텍처가 시스템을 설계하는 목적 혹은 도메인에 따라 어떻게 변형, 발전되고 있는지를 알 수 있었다. 3장에서는 SDR을 위해 사용될 수 있는 플랫폼과 IC 설계에 대해 살펴본다.

#### 1. 각 업체별 SDR 플랫폼 및 IC 기술동향

최근 개발되는 무선 통신 시스템을 만족하기 위하여 SDR 기반의 여러 플랫폼들이 개발되고 있다. Chameleon, Lucent, Triscend 등의 업체에서 SDR을 위한 플랫폼을 제공하고 있다. <표 1>에서는 현재 개발된 대표적인 SDR 플랫폼과 그 특징을 간단히 요약하였다<sup>[7]</sup>.

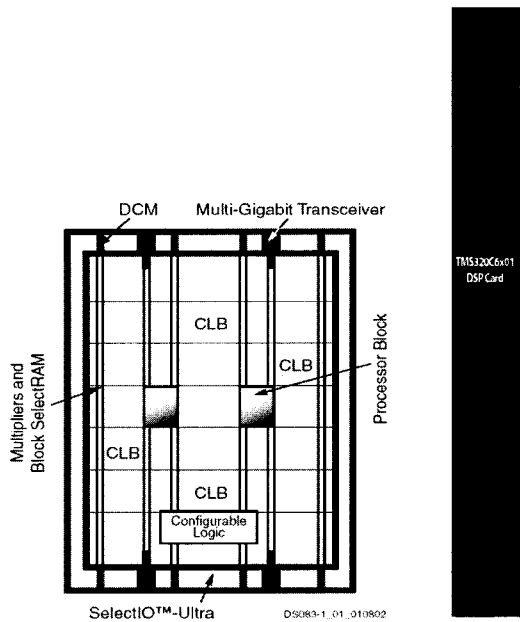
다음은 IC 설계에 대한 몇 가지 예를 살펴본다. Xilinx사의 Vertex II Pro에서는 최대 4개의 300MHz 성능의 32bit RISC core인 PowerPC 405 processor block, 채널 당 최대 3.125 GB/s 속도의 Multi-Gigabit transceiver, CLB (Configurable Logic Block), Dual port RAM을 지원하는 Block SelectRAM, 18bit×18bit dedicated multipliers, SelectIO 등으로 구성되어 있다.

Virtex 구조의 중요한 특징 중 하나는 동작 중에 부분적으로 재구성이 가능하다는 것이다.

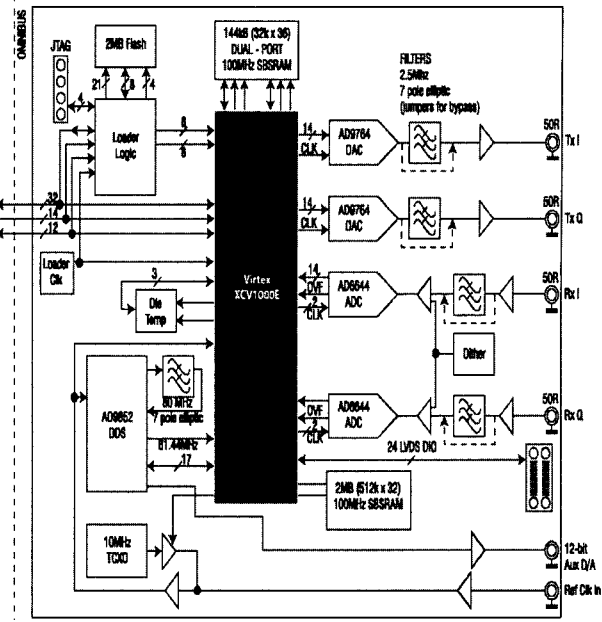
<표 1> SDR 플랫폼과 특징

플랫폼	특징
Chameleon CS2112	eBIOS 기반의 S/W 구조 제공 120 MIPS의 MCU와 재구성형 DSP 구조 DMA, PCI 및 SDRAM 컨트롤러 내장 Slice된 DSP의 스케줄링에 따라 칩의 성능이 좌우 MCU가 DSP의 재구성 작업에 대부분의 MIPS를 소모 BUS 구조가 고정된 형태이므로 재구성에 한계성
Sirus Communication CDMAx	3G 통신용 IP 코어의 소프트웨어 재구성에 의한 멀티 서비스 지원 GPS 수신을 위해 ARM7TDMI에 의한 재구성 기능 변경 가능한 Rake searcher 구조 채택
Lucent Sceptre 3GSM	저전력 설계 DSP16000, ARM7 MCU 그리고 Xilinx의 CoolRunner PLD 사용 재구성 가능한 coprocessor를 가지고 있음
TriscendA7	8032 Turbo, ARM7TDMI 및 DSP 코어 선택 사용 CSL기반의 가변 I/O 구조 다른 경쟁사 칩에 비해 칩의 CPI가 떨어짐 DSP 및 MCU의 재구성 기능이 제공되지 않음
PALU	Adaptive Algorithm/Genetic Algorithm Reconfigurable IP based system Multiplierless DSP Architecture SRAM을 기반으로 하기때문에 하드웨어 칩의 사이즈가 커지게 됨 GA 사용으로 불필요한 최적화 과정을 거치는 경우 발생

즉, 리셋이나 디바이스 전체를 재구성하지 않고 어느 한 부분을 유동적으로 변화시킬 수 있다. Configuration option인 Slave SelectMAP 모드를 사용하여 byte 단위로 구성 정보 데이터를 Write하며 동작 중에 부분적인 재구성이 가능하다. <그림 5>는 vertex II Pro의 구조를 나타내고 있다<sup>[8]</sup>.



〈그림 5〉 Xilinx의 Vertex II Pro 구조

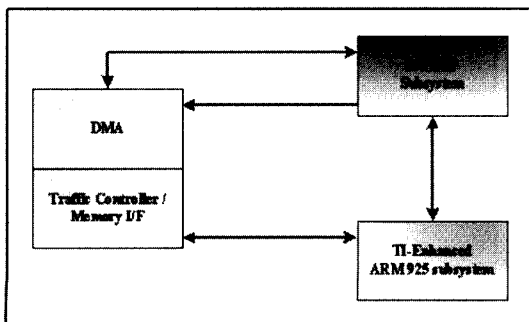


〈그림 6〉 HSA 모듈의 블록 다이어그램

Innovative-Integration사는 VLIW 구조의 1600MIPS급 TI TMS320C6201 DSP를 사용한 M62 board와 HSA 모듈을 개발하여 광범위한 무선/디지털 라디오 어플리케이션을 위한 개발 플랫폼을 제공하고 있다. HAS 모듈의 중요 구성 디바이스로는 고속, 고해상 I/O, 2백만 게이트를 갖는 Xilinx FPGA와 두 개의 입력채널과 연결된 Analog Device사의 AD6644 A/D converter (14 비트, 클럭 스피드 65MHz), 두 개의 출력채널과 연결된 AD9764 D/A converter (14 비트, 100MSPS)로 구성되어 있다. 이

HSA 모듈은 Omnibus를 사용하여 DSP와 인터페이스를 하며 〈그림 6〉은 HSA 모듈의 하드웨어 구조를 보여주고 있다<sup>9)</sup>.

〈그림 7〉은 Texas Instruments사의 OMAP 구조를 보여주고 있다. 전력소모를 최소화하기 위해 TMS320C55xx™ DSP 코어와 TI-enhanced ARM 프로세서를 사용하는 dual-core 구조를 갖고 있다. 2.5세대 및 3세대 무선 통신, PDA 그리고 무선 인터넷 기기 등을 지원하기 위해 개발되었으며, 소비자가 폭 넓은 서비스를 즐길 수 있도록 지원한다.



〈그림 7〉 TI사의 OMAP 프로세서 구조

## 2. Adaptive Computing 기술을 이용한 IC 설계기술

ASIC은 복합의 데이터 처리 기능을 전담하는 하드웨어의 수행으로 저전력의 파워 소모, 비용과 성능면에서 우수성을 가지고 있지만 알고리즘을 표현하는데 비효율적이며 설계상의 작은 변경에도 많은 시간과 비용이 필요하다는 단점이 있다. FPGA는 프로그램 할 수 있는 로직 블록을 포함하므로 재구성 가능한 많은 시스템들이 FPGA

	High Flexibility*		Small Area Utilization	Low Power Consumption	High Computational Throughput	
	Programmability	Reconfigurability				
ACM	●	●	◐	◐	◐	●
ASIC	○	○	●	●	●	○
FPGA	○	◐	◐	◐	◐	○
uP/DSP	●	○	○	◐	○	○

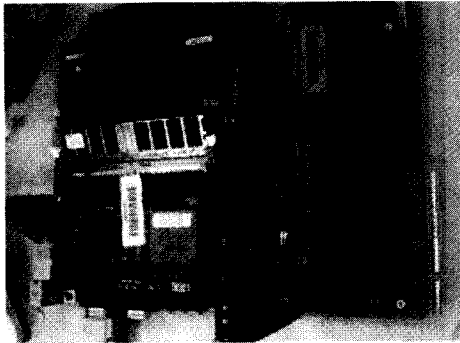
〈그림 8〉 IC 소자들의 특성 비교

를 기반으로 하고 있다. 그러나 다운로드하는 속도가 비교적 느리며 전력 소모도 크고 ASIC과 마찬가지로 알고리즘을 표현하는데 비효율적이며 FPGA의 본질인 범용성 때문에 유효한 로직의 사용도 비효율적이다. DSP는 알고리즘을 표현하는데 적합하다는 장점이 있지만 알고리즘이 물리적인 버스 폭과 타겟 디바이스의 명령어 셋에 맞게 변경되어야 한다는 점에서 단점이 있고 하드웨어 자원을 이용하는 데 있어 비효율적이며 칩 면적이나 전력 소비 관점에서 단점을 가지고 있다. 이러한 전통적인 디바이스들의 비효율성은 고정적인 하드웨어 또는 고정적인 소프트웨어 알고리즘을 사용함에 기인한 것이다. 따라서, 시스템 구조의 다양한 레벨의 문제를 해결하기 위해 가능한 한 최소의 자원과 전력을 요하며 알고리즘을 machine에 맞추기 보다는 machine을 알고리즘에 맞추도록 하고 빠른 속도로 재구성 될 수 있는 디바이스가 필요하게 되었다. 이러한 필요성을 만족시키기 위한 기술로써 reconfigurable computing이 연구되고 있다. 이 절에서는 Quicksilver technology사에서 개발한 ACM (Adaptive Computing Machine)이라 불리는 새로운 종류의 디지털 IC에 대해 소개한다. ACM의 구조는 동적 알고리즘을 동적 하드웨어 자원에 직접 그리고 효과적으로 mapping하도록 하는 “adaptive computing”이라는 개념을 사용한다. 동적 하드웨어 자원이라는 것은 디바이스가 동작 중에 빠른 속도로(낮은 전력을 소비하

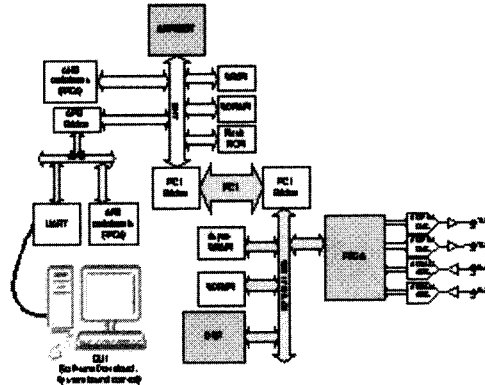
면서 초당 10만번) 재구성되는 ACM 내의 로직 기능을 말한다. 동적 알고리즘은 알고리즘을 구성하는 파트들이 임시 요소이고 단지 짧은 시간 동안 하드웨어에 존재함을 말한다. 즉, ACM은 SATS(Spatial And Temporal Segmentation)를 수행하는데 이것은 알고리즘의 다양한 부분들을 빠르게 수행하기 위해 특정 시간동안 특정한 칩의 위치에서 동적 하드웨어 자원을 재구성하는 과정이라 볼 수 있다. 결과적으로 가격, 크기, 속도, 그리고 전력소비의 관점에서 가장 효과적으로 하드웨어를 사용할 수 있게 된다. 〈그림 8〉은 다른 구현 테크놀러지들에 대한 ACM의 장점을 보여주고 있다<sup>[10]</sup>.

#### IV. 전자부품연구원의 SDR관련 연구

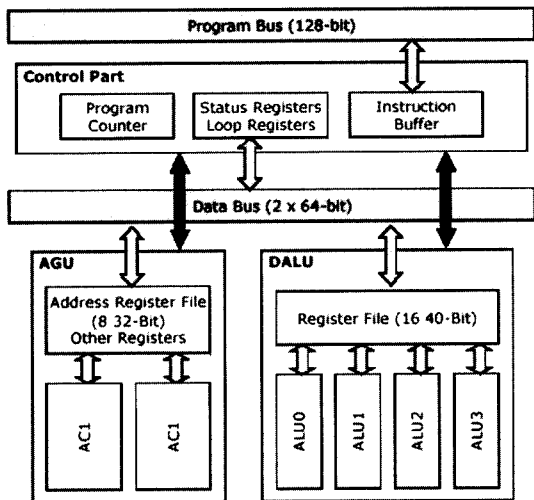
전자부품연구원에서는 멀티모드 신호처리를 위한 개방형 프로세서 엘리먼트 설계 기술을 개발하고 있다. 재구성 가능한 프로세서 엘리먼트의 버스 구조와 behavioral model을 설계하고 멀티모드 프로세서 아키텍처를 검증하였으며 이를 프로세서 구현을 위한 시뮬레이션 모델로 사용하고 있다. 또한, 아래 〈그림 9〉와 같은 플랫폼을 구축하여 SDR에서 요구하는 모듈러 신호처리 알고리즘과 설계하고 있는 프로세서 엘리먼트의 성능을 평가하기 위한 환경을 마련하였다.



주요스펙  
 ① Dual Core Processor : ARM920T, DSP  
 ② Reconfigurable logic : up to 1,000,000 Gates FPGA  
 ③ Memory Support : SDRAM/GRAM/Flash/ROM  
 ④ Advanced Bus Architecture : Modified AMBA(AHB)  
 ⑤ PCI interface



<그림 9> 프로세서 엘리먼트를 위한 플랫폼



<그림 10> 고성능 DSP 구조

고성능/저전력 신호처리를 위한 모듈러 DSP 아키텍처에 대한 연구도 진행 중이다. 단일 MAC 을 가진 DSP의 단점을 보완한 Quad MAC 구조 및 micro code 체계와 신호처리 전용 instruction 설계 등에 대해 연구하고 있으며, 개발중인 DSP의 구조는 <그림 10>과 같다. 애플리케이션을 위해 OFDM 기반 시스템을 모듈화하여 신호처리 하는 방식과 다중모드/다중밴드를 위한 디지털 IF 신호처리 기술에 대한 연구도 병행하고 있다.

## V. 결 론

SDR (Software Defined Radio) 기반의 통신시스템은 높은 처리율, 다중밴드, 다중모드, 다중미디어, 그리고 위치기반 서비스 등 이전 세대의 통신시스템들보다 더 높은 차원의 특성, 기능 그리고 서비스를 제공할 것으로 예측되고 있다. 전세계적으로 이를 실현하기 위한 연구가 활발히 진행되고 있다. 시스템 구현에 있어 가장 중요한 것은 구현하고자 하는 시스템의 요구조건을 명확히 하고 소프트웨어 및 하드웨어 아키텍처를 설계하는 것이다. 이러한 작업이 완료되었을 때, 아키텍처에 맞게 현재 통용되고 있는 IC들을 선정하거나 새로운 IC를 설계하여 하드웨어 플랫폼을 꾸미고 플랫폼 위에서 소프트웨어를 구동시켜 원하는 기능을 검증하여야 한다. 본 고에서는 SDR 포럼에서 제시한 아키텍처에 대해 설명하였으며 이것을 기반으로 설계된 몇 개의 아키텍처들에 대해 살펴보았다. 또한, 각 업체에서 발표한 SDR 플랫폼들과 IC들에 대한 내용을 설명하였으며, 새로운 개념의 IC 설계 기술인 reconfigurable computing 기술의 한 예로써 ACM에 대해 소개하였다. 기저대역 처리를 위한 IC들의 발전과 더불어 MEMS 기술이 발전하게 된다면 유연성



과 재구성 능력을 갖춘 RF front-ends와 antenna도 생산할 수 있을 것으로 기대된다. 전자부품연구원에서는 SDR과 관련하여 프로세서 엘리먼트와 DSP 아키텍처 개발 및 디지털 IF/기저대역 신호처리 방법에 대해 연구하고 있다. SDR 기술은 향후 계속해서 진화할 것이며 이 흐름 속에 주도적인 역할을 수행하기 위해서는 아키텍처와 플랫폼 및 IC 개발, 소프트웨어 개발 등에 많은 투자와 연구가 절실히 요구된다.

#### 참 고 문 헌

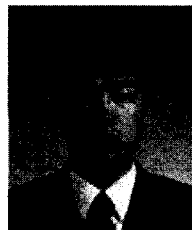
- [1] Walter Tuttlebee, *Software defined radio-Enabling Technologies*, WILEY, pp.258-260, 2002.
- [2] Jeffrey H. Reed, *Software Radio-A Modern Approach to Radio Engineering*, pp.443-445, Prentice Hall PTR, 2002.
- [3] SDR Forum. <http://www.sdrforum.org>
- [4] JTRS and MSRC, *Software Communications Architecture Specification*, MSRC-5000SCA v2.2, p.2-2, Nov., 2001.
- [5] Byron Tarver, Eric Christensen, and Annamarie Miller, "Waveform Application Development Process for Software Radios," *Proceedings of the IEEE Military Commun. Conference Proc.*, vol. 1, pp.231-235, 2000.
- [6] S. Srikanteswara, J. H. Reed, P. Athanans, and R. Boyle, "A Soft Radio Architecture for Reconfigurable Platforms," *IEEE Commun. Mag.*, vol. 38, Feb, 2000, pp.140-147.
- [7] 조준동, "IP Integration SDR을 위한 재구성 플랫폼", *semiconductor Network*, 10월호, pp.99-102, 2002
- [8] Vertex II pro platform FPGA, <http://www.xilinx.com>
- [9] <http://www.innovative-dsp.com>
- [10] Requirements for adaptive computing, <http://www.quicksilvertech.com>

#### 저 자 소 개



徐廷郁

1994년 3월~1999년 2월 한국항공대학교 항공통신정보공학과 (학사), 1999년 3월~2001년 2월 한국항공대학교 항공통신정보공학과 (석사), 2001년 1월~현재 : 전자부품연구원 연구원, <주관심 분야: 디지털 통신, 신호처리, Software Radio 기술>



吳元錫

1992년 3월~1999년 2월 인천대학교 전자공학과 (학사), 1999년 3월~2001년 2월 인천대학교 전자공학과 (석사), 2000년 12월~현재 : 전자부품연구원 전임연구원, <주관심 분야: RFIC 설계, 디지털 IF 설계, Software Radio 기술>



崔鐘讚

1981년 3월~1985년 2월 경희대학교 전자공학과 (학사), 2000년 3월~2001년 2월 서경대학교 컴퓨터과학과 (석사), 1985년 3월~1990년 10월 : 삼성 SDI 수원종합연구소, 1992년 1월~현재 : 전자부품연구원 SoC 연구센터, 센터장/수석연구원, <주관심 분야: SoC design Area (IP Based SoC design, Embedded Analog/RF) Reconfigurable 프로세서 (SDR Platform 연구), OFDM 신호처리 연구>