

論文2003-40SD-4-2

베이스 영역의 불순물 분포를 고려한 집적회로용 BJT의 역포화전류 모델링

(The Modeling of the Transistor Saturation Current of the BJT for Integrated Circuits Considering the Base Doping Profile)

李 恩 九 * , 金 泰 漢 * , 金 鐵 城 *

(Eun Gu Lee, Tae Han Kim, and Cheol Seong Kim)

요 약

반도체 소자이론에 근거한 집적회로용 BJT의 역포화 전류 모델을 제시한다. 공정 조건으로부터 베이스 영역의 불순물 분포를 구하는 방법과 원형 에미터 구조를 갖는 Lateral PNP BJT와 Vertical NPN BJT의 베이스 Gummel Number를 정교하게 계산하는 방법을 제시한다. 제안된 방법의 타당성을 검증하기 위해 20V와 30V 공정을 기반으로 제작한 NPN BJT와 PNP BJT의 역포화 전류를 실측치와 비교한 결과, NPN BJT는 6.7%의 평균상대오차를 보이고 있으며 PNP BJT는 6.0%의 평균 상대오차를 보인다.

Abstract

The model of the transistor saturation current of the BJT for integrated circuits based upon the semiconductor physics is proposed. The method for calculating the doping profile in the base region using process conditions is presented and the method for calculating the base Gummel number of lateral PNP BJT and vertical NPN BJT is proposed. The transistor saturation currents of NPN BJT using 20V and 30V process conditions obtained from the proposed method show an average relative error of 6.7% compared with the measured data and the transistor saturation currents of PNP BJT show an average relative error of 6.0% compared with the measured data

Keywords : 역포화전류, Gummel Number, Gaussian 분포, SPICE 파라미터, 공정조건

I. 서 론

1998년부터 IMF 환란을 겪는 동안 고객의 요구를 반도체 칩으로 구현하는 많은 설계회사가 설립되었다. 이들은 기본적으로 디지털 논리회로에 근거한 비메모리 회사로 성장하였으며, 반도체 제조공장을 보유하지 않

아 국내의 삼성전자, 하이닉스 반도체와 대만의 TSMC, UMC 그리고 싱가포르의 차터드 반도체에서 논리회로 블록에 적합한 공정을 이용하여 제품을 생산하고 있다. 또한 바이폴라 공정을 이용하여 순수한 아날로그 칩을 생산하는 회사들이 출현하였으며, IT 산업이 발전함에 따라 아날로그 회로에 대한 수요가 증가할 것으로 예상되어 큰 규모의 잠재 시장이 형성된 상태이나 이들은 경쟁력을 갖춘 바이폴라 공정을 확보하지 못해 뛰어난 설계능력을 갖추고 있음에도 불구하고 제품개발에 많은 어려움을 겪고있는 실정이다.

아날로그 설계회사는 다양한 제품을 짧은 기간 내에 개발함으로써 제품의 경쟁력을 확보해야하기 때문에

* 正會員, 仁荷大學校 電子工學科

(Department of Electronics Engineering, Inha University)

接受日字:2002年8月23日, 수정완료일:2003年4月4日

제품개발기간을 가능한 단축해야한다. 그러나 제품 개발기간을 단축하기 위해서는 공정개발과 동시에 검증용 회로설계가 진행되어야 하나 기존에 사용되는 제품 개발 방법은 검증용 회로를 설계하기 위해 SPICE 파라미터^[1]의 측정치가 필요하므로, 제품개발 기간을 단축하고 제품의 특성에 적합한 공정을 짧은 기간내에 개발하기 위해서는 공정 조건으로부터 SPICE 파라미터를 빠르고 정교하게 예측하는 방법이 필요하다. 특히 다른 SPICE 파라미터의 근간이 되는 역포화 전류^[2]는 컬렉터 전류의 크기를 결정하고 회로 설계의 기준과 DC 동작점을 제시하므로 역포화전류에 대한 정교한 모델이 필요하다.

기존에는 SPICE 파라미터를 예측하기 위해 소자^[3] 및 공정^[4] 시뮬레이터와 공정 엔지니어의 경험에 의존한 근사적인 값을 이용하였으나, 이러한 방법으로는 공정 조건에 따라 다양한 분포를 갖는 베이스 불순물의 영향을 고려할 수 없어 많은 오차를 포함한다. 또한 반도체 이론을 바탕으로 기존에 사용된 베이스 Gummel number와 역포화 전류의 해석적 모델 중, Baliga^[5]는 NPN BJT의 베이스 Gummel number를 구하기 위해 소자 내부의 불순물 분포를 상수로 가정하여 해석의 정확도에 한계를 갖고 있으며 Lateral PNP BJT의 역포화 전류에 관한 효과적인 해석방법은 제시하지 않은 상태이다. Joardar^[6]는 Lateral PNP BJT의 역포화 전류에 관한 해석적 모델을 제시하였으나 베이스를 세부 영역으로 나눈 후 전류의 흐름을 1차원으로 근사하여 계산함으로써 많은 오차를 포함한다.

본 논문에서는 SPICE 파라미터의 근간이 되는 역포화 전류 모델을 제시한다. Lateral PNP BJT의 채널영역에서 깊이에 따라 다른 값을 갖는 에미터-에피간 측면 접합 깊이와 에미터-컬렉터간 측면 접합 깊이를 고려하여 베이스 Gummel Number를 구하는 방법과 Vertical NPN BJT의 베이스 영역의 불순물 분포를 공정 조건으로부터 유추한 후 Gummel Number를 구하는 방법을 제시한다. 제시한 방법의 정확도를 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 NPN BJT와 PNP BJT의 역포화 전류를 실측치와 비교한다. 본 논문의 II장에서는 PNP BJT와 NPN BJT의 역포화전류 모델과 베이스 Gummel Number를 구하는 방법을 제시하고 III장에서 제안된 방법의 정확도를 실측치와 비교를 통하여 검증한다.

II. 집적회로용 BJT의 역포화 전류 모델

SPICE는 집적회로용 BJT에 대한 DC와 AC해석 방법을 제공하며 40개 이상의 모델 파라미터^[2]가 필요하다. SPICE 모델 파라미터는 공정에 따라 다양한 값을 갖기 때문에 공정 조건이 바뀌면 새로운 공정에 맞는 파라미터를 측정해야 한다. 특히 DC 파라미터는 회로가 정상적인 동작이 가능한지 여부를 판단할 수 있기 때문에 높은 정확도를 요구한다.

역포화 전류는 DC 파라미터에 직접 또는 간접적으로 영향을 주는 베이스 불순물 분포에 관한 정보를 포함하며 회로 설계시 DC 동작점을 잡기 위한 설계 기준을 제시한다.

식 (1)과 식 (2)는 각각 Lateral PNP BJT와 Vertical NPN BJT의 역포화 전류이다. 역포화 전류는 전자 및 정공 전류밀도 관계식에서 유도되며 베이스 영역에서 반송자의 재결합 전류가 없다는 가정 하에 다수 반송자의 전류밀도 방정식으로부터 베이스 내부 전계를 구하고 소수 반송자의 전류 밀도방정식에 대입^[7]하여 구할 수 있다.

$$J_{S,PNP} = \frac{q n_i^2 D_p}{GN_{B,PNP}} \quad (1)$$

$$J_{S,NPN} = \frac{q n_i^2 \bar{D}_n}{GN_{B,NPN}} \quad (2)$$

여기서 \bar{D}_n 은 전자의 확산계수의 평균값이고 Einstein relation으로부터 전자의 이동도를 이용하여 구한다. NPN BJT의 베이스 영역의 불순물 분포는 일정하지 않으므로 확산계수의 평균값을 사용한다. D_p 는 Lateral PNP BJT의 베이스 영역의 확산계수이고 정공의 이동도를 이용하여 구한다. Lateral PNP BJT의 베이스 영역의 불순물 농도가 일정하므로 정공의 확산계수는 상수이다. 또한 $GN_{B,NPN}$ 와 $GN_{B,PNP}$ 는 베이스 영역의 Gummel Number이고 n_i 는 진성반송자 농도이다.

식 (1)과 식 (2)에서 역포화 전류는 반송자의 이동도에 비례하고 베이스 Gummel Number에 반비례하므로 본 논문에서는 원형 에미터 구조를 갖는 Lateral PNP BJT에 대해 효과적으로 베이스 Gummel Number와 공정 조건으로부터 NPN BJT 베이스 영역의 불순물 농도와 Gummel Number를 정교하게 구하는 방법을 제시

한다.

1. 원형 에미터 구조를 갖는 Lateral PNP BJT의 베이스 Gummel Number

Lateral PNP BJT의 베이스 영역은 에피로 구성되며 에미터와 컬렉터에 비해 불순물 농도가 낮으므로, 높은 전원전압이 인가되면 베이스 중성영역이 감소한다. 특히 에미터와 컬렉터 모서리 영역에서 전계 집중현상^[5]이 발생되면 낮은 전원 전압에서도 Punchthrough와 역방향 항복특성이 발생해 소자가 정상동작을 벗어나므로, 본 논문에서는 <그림 1>과 같이 에미터와 컬렉터를 원형^[8]으로 제작한다.

<그림 1>은 Lateral PNP BJT의 Layout과 베이스 채널 영역에 대한 수직 단면도이다. 베이스 채널 영역의 수직 구조를 확대하여 나타내고 있으며 베이스 채널 영역에서 불순물 농도가 일정하므로 에미터로부터 컬렉터까지 정공 전류가 균등하게 흐른다고 가정한다.

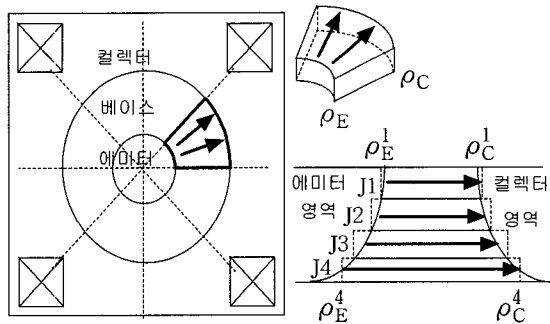


그림 1. 베이스 채널 영역과 정공 전류
Fig. 1. The base channel region and the hole current.

에미터와 컬렉터 영역을 형성하기 위해 불순물 확산 공정을 진행하면 수직방향과 측면방향으로 불순물이 침투한다. 표면 영역에서 접합면의 75%만큼 측면방향으로 불순물이 침투하고 깊이에 따라 측면방향 접합깊이가 감소하므로 베이스 접합 깊이가 큰 소자에 대해서 베이스 영역의 정공 전류를 정교하게 구하기 위해서는 에미터-에피간 측면 접합깊이와 컬렉터-에피간 측면 접합깊이의 변화를 고려해야 한다. 본 논문에서는 베이스 채널영역을 깊이 방향에 따라 같은 두께를 갖는 4개의 층으로 분할하고 컬렉터 전류를 4개의 미소전류의 합으로 구한다.

k(k=1,2,3,4)층에서 에미터로부터 채널로 유출되는 정공 전류는 모두 컬렉터로 유입되므로 에미터로부터 일

정한 거리를 갖는 k층의 베이스 채널 단면에 흐르는 정공 전류는 컬렉터 전류와 동일한 값을 갖는다. 베이스영역의 불순물 분포는 균일하므로 깊이에 따라 이동도가 일정하나 에미터-베이스간 접합면과 베이스-컬렉터간 접합면의 단면적이 다르므로 전류밀도는 단면적에 반비례한다. k층에서 에미터와 컬렉터의 단면적을 각각 A_E^k 와 A_C^k 라 정의하고 원점으로부터 ρ 만큼 떨어진 베이스 채널 영역의 단면적을 A_ρ^k 라 하면 컬렉터 전류밀도와 베이스 단면적의 관계를 구할 수 있다. 식 (3)과 식 (4)는 베이스 영역에서 에미터로부터 일정한 거리를 갖는 베이스 단면적과 컬렉터 전류의 관계를 나타낸다.

$$J_E \times A_E^k = J_C \times A_C^k = J_\rho \times A_\rho^k \quad (3)$$

$$J_\rho^k = \frac{A_C^k}{A_\rho^k} J_C^k = \frac{\rho_C^k}{\rho} J_C^k \quad (4)$$

베이스영역에서는 반응자의 재결합이 발생하지 않는다는 가정 하에 베이스의 전자 전류밀도 방정식에서 베이스 내부 전계를 유도할 수 있다. 식 (5)는 내부 전계를 정공 전류밀도 방정식에 대입한 후 정리한 결과이다.

$$J_\rho^k = q \frac{D_p}{N_{epi}} \frac{d p n}{d \rho} \quad (5)$$

식 (4)를 식 (5)에 대입한 후 양변을 적분한다.

$$\int_{\rho_E^k}^{\rho_C^k} \frac{N_{epi}}{q D_p} \frac{\rho_C^k}{\rho} J_C^k d \rho = p_{BE} n_{BE} - p_{BC} n_{BC} \quad (6)$$

여기서 ρ_E^k 와 ρ_C^k 는 k층에서 원점으로부터 에미터와 컬렉터까지의 반지름이다.

식 (6)에서 에피 영역의 전자 농도와 확산 계수는 상수이고 컬렉터 전류밀도는 베이스 단면적과 무관하므로, 식 (6)은 컬렉터 전류에 관한 수식으로 정리될 수 있다. 식 (7)은 식 (6)을 정리한 결과이다.

$$J_C^k = \frac{q n_i^2 D_p}{N_{epi} \rho_C^k \ln \left(\frac{\rho_C^k}{\rho_E^k} \right)} \left\{ e^{\frac{V_{BE}}{V_t}} - e^{\frac{V_{BC}}{V_t}} \right\} \quad (7)$$

식 (8)은 k층에서 컬렉터 단면적이고 식 (9)는 4개의 채널영역을 경유하여 흐르는 컬렉터 전류이다.

$$A_C^k = L 2\pi \rho_C^k \times \left(\frac{\rho_C^k}{\rho_E^k} \right) \quad (8)$$

$$I_C = \sum_{k=1}^4 A_C^k J_C^k \quad (9)$$

여기서 L 은 깊이 방향에 따라 등간격으로 분할된 4개의 베이스 미소 채널 중 1개 층의 두께이고 ρ_C^k 는 원점에서 컬렉터 영역까지 각 층의 컬렉터 반지름의 합이다. 식 (10)은 식 (7)과 식 (8)을 식 (9)에 대입한 후 정리한 결과이다.

$$I_C = (L 2\pi \rho_C^k) \times \sum_{k=1}^4 \frac{q n_i^2 D_p}{N_{\text{epi}} \rho_C^k \ln \left(\frac{\rho_C^k}{\rho_E^k} \right)} \left\{ e^{\frac{V_{BE}}{V_i}} - e^{\frac{V_{CB}}{V_i}} \right\} \quad (10)$$

식 (11)은 컬렉터 전류밀도의 함수이고, 식 (12)는 베이스-컬렉터간 접합면이 에미터-베이스간 접합면적보다 넓으므로 컬렉터 전류밀도가 변화하는 정도를 나타낸다.

$$J_C = \frac{q n_i^2 D_p}{N_{\text{epi}} \rho_C^k H} \left\{ e^{\frac{V_{BE}}{V_i}} - e^{\frac{V_{CB}}{V_i}} \right\} \quad (11)$$

$$H = \left\{ \sum_{k=1}^4 \ln \left(\frac{\rho_C^k}{\rho_E^k} \right)^{-1} \right\}^{-1} \quad (12)$$

따라서 식 (1)과 식 (11)로부터 유도된 베이스 Gummel Number는 식 (13)이다.

$$GN_B = N_{\text{epi}} \rho_C^k H \quad (13)$$

2. Vertical NPN BJT의 베이스 Gummel Number

NPN BJT의 베이스 Gummel Number를 구하기 위해서는 공정조건에 적합한 베이스 영역의 불순물 농도가 필요하나 베이스 영역은 많은 공정 단계를 거쳐 만들어지므로 하나의 농도 값으로 단순화하거나 기존의 공정으로부터 유추할 수 없다. 본 논문에서 집적회로용 바이폴라 접합 트랜지스터는 많은 열처리를 거치는 공정 중 소자의 크기가 크고 접합 깊이가 깊기 때문에 베이스 불순물 분포는 Gaussian 분포를 따른다^[7]고 가정한다. 식 (14)는 베이스 영역의 불순물 분포이고 N_{pb} 와 D_{tb} 는 불순물 분포에 따라 다양한 값을 갖는다.

$$N_{\text{Base}} = \frac{N_{\text{pb}}}{\sqrt{\pi D_{\text{tb}}}} e^{-\frac{x^2}{4D_{\text{tb}}}} \quad (14)$$

식 (14)를 이용하여 접합깊이와 Sheet 저항을 구한 후 공정조건과 비교하면 식 (15)와 식 (16)을 유도할 수 있고 두 식을 연립하면 N_{pb} 와 D_{tb} 를 구할 수 있다.

$$N_{\text{epi}} = \frac{N_{\text{pb}}}{\sqrt{\pi D_{\text{tb}}}} e^{-\frac{x_{\text{je}}^2}{4D_{\text{tb}}}} \quad (15)$$

$$\frac{q N_{\text{pb}}}{\sqrt{\pi D_{\text{tb}}}} \int_0^{x_{\text{je}}} \mu_p e^{-\frac{x^2}{4D_{\text{tb}}}} dx = \frac{1}{R_{\text{sht},b}} \quad (16)$$

여기서 N_{epi} 는 에피 불순물 분포이고 $R_{\text{sht},b}$ 는 베이스 Sheet 저항이다.

식 (17)은 베이스 Gummel Number이고 에미터 하단에서부터 에피 영역까지 베이스 영역에 대해 불순물 농도를 선 적분한 결과^[7]이다.

$$GN_B = \int_{x_{\text{je}}}^{x_{\text{jb}}} \frac{N_{\text{pb}}}{\sqrt{\pi D_{\text{tb}}}} e^{-\frac{x^2}{4D_{\text{tb}}}} dx \quad (17)$$

여기서 x_{je} 와 x_{jb} 는 에미터와 베이스 영역의 금속학적 접합 깊이이며 식 (17)은 수치적분을 수행하여 구한다.

III. 결과 및 고찰

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 집적회로용 BJT의 역포화 전류를 실측치와 비교한다. 집적회로용 BJT를 제작하기 위해 붕소(B) 기판 위에 매립영역을 형성하고 소

표 1. 20V와 30V 공정조건

Table 1. The condition of 20V and 30V process.

단계	공정조건			20V공정[um]		30V공정[um]			
	(1)	기판비저항,(100)Orientation			14.0		14.0		
(2)	매립층			24.0	2.5	7.5	25.6	2.0	3.6
	Sheet 저항	상측접합 깊이	하측접합 깊이						
		BIT							
(3)	Sheet저항	상측접합 깊이	하측접합 깊이	150	4.25	5.5	198	3.2	4.4
(4)	에피 비저항			2.0		1.8			
(5)	상측 컬렉터 Sheet저항	접합깊이		1.6	6.8	1.9	6.0		
(6)	IT Sheet저항	접합깊이		12.0	6.5	30.5	5.0		
(7)	BO Sheet저항	NPN 접합깊이		212.0	3.0	300.0	1.65		
	BO Sheet저항	PNP 접합깊이		212.0	2.75	300.0	1.6		
(8)	EO Sheet저항	접합깊이		7.0	1.7	12.5	0.92		

자를 전기적으로 격리시키기 위해 봉소를 이온주입하여 BJT 영역을 형성한다. 에피영역을 생성하고 심층 컬렉터 영역을 형성한 후 표면에서 소자를 격리하기 위해 IT영역을 형성한다. 베이스 영역(BO)을 생성하기 위해 봉소를 주입하고 에미터 N'영역(EO)을 생성한 후 베탈 증착 단계를 진행한다. <표 1>은 20V와 30V의 공정단계와 공정조건이다.

<그림 2>는 <표 1>의 단계별 공정조건에 따라 제작된 집적회로용 BJT의 수직 구조이다. 좌측은 Vertical NPN BJT의 수직구조이고 우측은 Lateral PNP BJT의 수직구조이다.

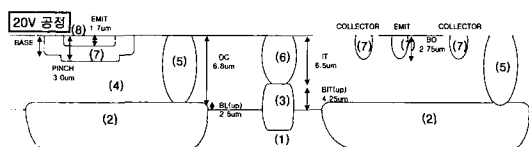


그림 2. 집적회로용 BJT의 수직단면도
Fig. 2. The vertical view of the BJT for integrated circuits.

<그림 3>은 집적회로용 NPN BJT의 Layout이다. 공정단계 (5)를 거쳐 심층 컬렉터 영역을 형성하고 공정단계 (7)과 (8)을 거쳐 베이스영역과 에미터 영역을 형성한다. <표 2>는 Design Rule이다. 여기서 EO는 에미터 영역이고 BO는 베이스 영역이다.

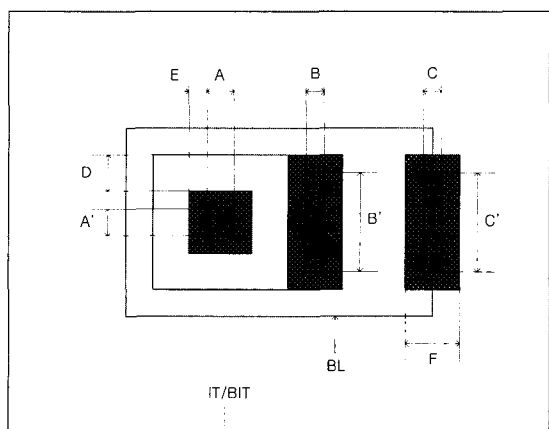


그림 3. 집적회로용 NPN BJT의 Layout
Fig. 3. The layout of NPN BJT for integrated circuits.

표 2. 집적회로용 NPN BJT의 Design Rule
Table 2. The design rule of NPN BJT for integrated circuits.

기호	Description(NPN)	20V 공정 MIN Rule[um]	30V 공정 MIN Rule[um]
A,A'	EO Contact Size	3*3	3*3
B,B'	BO Contact Size	2*9	2*8
C,C'	EO(Collector) Contact Size	2*9	2*8
D	Spacing EO to BO Inside	3.0	2.5
E	Spacing CF to EO Inside	2.0	2.0
F	EO Width	6.0	6.0

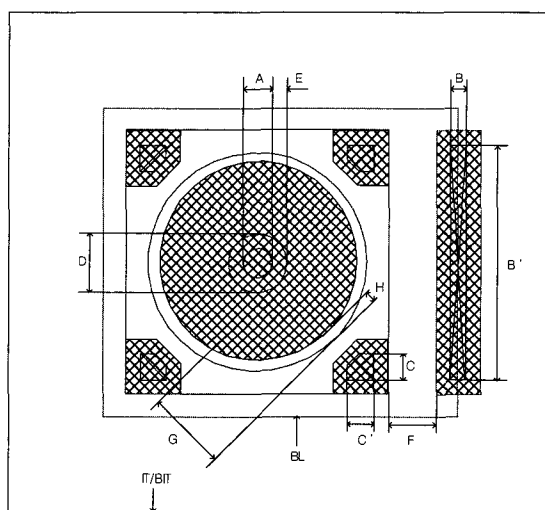


그림 4. 집적회로용 PNP BJT의 Layout
Fig. 4. The layout of PNP BJT for integrated circuits.

표 3. 집적회로용 PNP BJT의 Design Rule
Table 3. The design rule of PNP BJT for integrated circuits.

기호	Description(PNP)	20V 공정 MIN Rule[um]	30V 공정 MIN Rule[um]
A	BO(Emitter) Contact Size	4.0	4.0
B,B'	EO(base) Contact Size	2.0*28	2.0*26
C,C'	BO(Collector) Contact Size	3*3	3*3
D	BO(Emitter) Size	8.0	8.0
E	Spacing Contact to BO(Emitter)	2.0	2.0
F	Spacing BO to EO(Base)	6.5	4.5
G	Spacing BO to BO(WB)	9.0	7.0
H	Spacing MF to BO(Collector)	1.5	0.5

<그림 4>는 원형 에미터 구조를 갖는 PNP BJT이고 빛금 친 부분은 전극이다. 공정단계 (5)를 거쳐 N' 베이스 영역을 형성하고 공정단계 (7)을 거쳐 에미터와 컬렉터 영역을 형성한다. <표 3>은 PNP BJT의

Design Rule이다. 여기서 EO는 베이스 영역이고 BO는 에미터와 컬렉터 영역이다.

<표 4>는 BO공정을 거쳐 제작한 베이스 영역에서 제안된 불순물 분포를 이용하여 구한 sheet 저항^[7]과 실측치를 비교한 결과이다. 제안된 방법과 실측치를 비교한 결과 0.4%의 평균 상대오차를 보이므로 제안된 방법의 정확도를 확인할 수 있고 다양한 베이스 불순물 분포에 대해 베이스 Gummel Number를 정교하게 구할 수 있음을 알 수 있다.

표 4. 베이스 Sheet 저항

Table 4. The sheet resistance of the Base region.

측정용 소자	제안된 불순물 분포를 이용한 계산값						측정치	
공정	BJT type	C _{pb}	D _{tb}	X _{jb} [um]	R _{sht a}	X _{jb} [um]	R _{sht b}	상대오차 a-b /b
30V	NPN	1.844e14	9.511e-10	1.65	300.1	1.67	298.9	0.4 %
	PNP	1.8793e14	8.877e-10	1.60	301.2	1.61	300.3	0.3 %
20V	NPN	2.219e14	3.2953e-9	3.0	212.6	2.97	212.3	0.14 %
	PNP	2.357e14	2.7060e-9	2.75	212.1	2.76	213.5	0.66 %

<그림 5>는 20V 공정을 사용하여 제작한 NPN BJT의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_e가 0.3V부터 0.63V까지 V_e-I_c곡선을 지수함수로 근사한 추세선이다. R²은 산포도이고 100%의 신뢰도를 보인다.

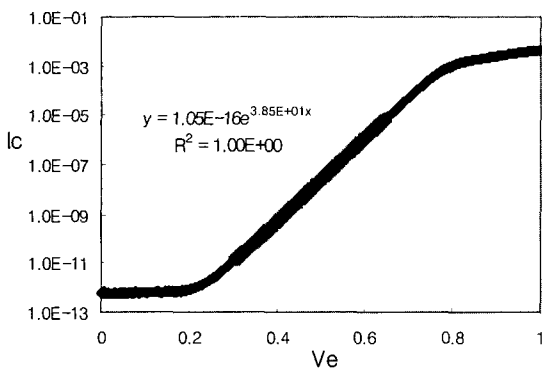


그림 5. 20V 공정용 NPN BJT의 역포화 전류
Fig. 5. The transistor saturation current of NPN BJT using 20V process.

<그림 6>은 20V 공정을 사용하여 제작한 PNP BJT의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_e가 0.3V부터 0.55V까지 V_e-I_c곡선을 지수함수로 근사한 추세선이다.

<그림 7>은 30V 공정을 사용하여 제작한 NPN BJT

의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_e가 0.33V부터 0.67V까지 V_e-I_c곡선을 지수함수로 근사한 추세선이다.

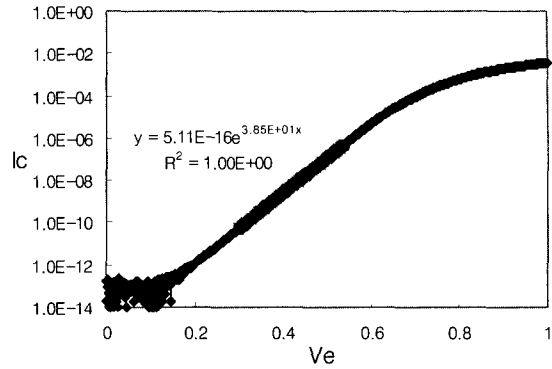


그림 6. 20V 공정용 PNP BJT의 역포화 전류
Fig. 6. The transistor saturation current of PNP BJT using 20V process.

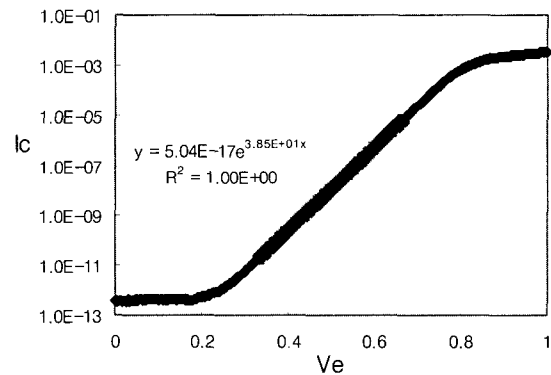


그림 7. 30V 공정용 NPN BJT의 역포화 전류
Fig. 7. The transistor saturation current of NPN BJT using 30V process.

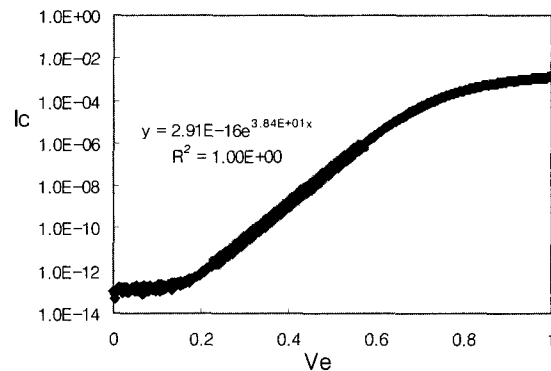


그림 8. 30V 공정용 PNP BJT의 역포화 전류
Fig. 8. The transistor saturation current of PNP BJT using 30V process.

<그림 8>은 30V 공정을 사용하여 제작한 PNP BJT의 에미터 전압에 대한 컬렉터 전류이다. 식 y는 V_e 가 0.25V부터 0.58V까지 V_e - I_c 곡선을 지수함수로 근사한 추세선이다.

<표 5>는 제안된 방법을 이용하여 구한 역포화 전류를 실측치와 비교한 결과이다. 컬렉터 전류는 NPN BJT와 PNP BJT에 대해서 각각 6.7%와 6.0%의 평균 상대오차를 보이고 있으며, 베이스-에미터간 인가전위는 컬렉터 전류와 지수함수관계를 가지므로 평균 1.69[mV]의 오차에 해당된다. 이는 열전위의 6.5%에 해당하며 소자실제 시 무시될 수 있는 수준이므로 제안된 방법을 사용하면 다양한 공정으로 제작된 BJT 역포화 전류의 실측치를 비교적 정교하게 구할 수 있다.

표 5. 제안된 방법과 실측치 비교
Table 5. The comparison between proposed method and measured data.

BJT 소자 측정온도(298. 12K)	20V 공정		30V 공정		
	NPN	PNP	NPN	PNP	
에미터단면적(NPN)	49 [μm^2]		49 [μm^2]		
에미터폭 (PNP)	컬렉터폭 (PNP)	4[μm]	13[μm]	4[μm]	11[μm]
제안된 IS(A)	94.00e-18	4.82e-16	51.85e-18	2.73e-16	
IS의 실측치(B)	105.1e-18	5.11e-16	50.40e-18	2.91e-16	
상대오차 A-B / B*100 [%]	10.56	5.7	2.88	6.2	

IV. 결 론

반도체 소자이론에 근거한 집적회로용 바이폴라 접합 트랜지스터의 역포화 전류 모델을 제시하였다. 원형 에미터 구조를 갖는 Lateral PNP BJT의 컬렉터 전류 식으로부터 베이스 Gummel Number와 역포화 전류식을 유도하였다. 또한 Vertical NPN BJT의 베이스 영역의 불순물 분포를 Gaussian 분포로 가정하여 공정조건으로부터 구하였고 베이스 불순물 분포를 이용하여 베이스 Gummel Number와 역포화 전류를 정교하게 계산하였다.

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작한 집적회로용 BJT의 실측치와 비교하였다. BO 공정으로 제작된 베이스 Sheet 저항과 실측치를 비교한 결과 0.4%의 평균 상대오차를 보이고 있으며 Vertical NPN BJT의 역포화 전류를 실

측치와 비교한 결과 6.7%의 평균 상대오차를 보였다. 또한 Lateral PNP BJT의 역포화 전류는 6.0%의 평균 상대오차를 보이고 있으므로 제안된 방법을 사용하여 공정조건으로부터 역포화 전류를 비교적 정교하게 예측할 수 있음을 확인하였다.

참 고 문 헌

- [1] Paul W. Tuinenga, SPICE A Guide to Circuit Simulation and Analysis Using PSpice, Prentice Hall, Englewood Cliffs, New Jersey, 1988.
- [2] Ian E. Getreu, Modeling the Bipolar Transistor, Elsevier scientific publishing company, New York, 1978.
- [3] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드리프트-확산방정식의 해석 프로그램 개발", 대한전자공학회논문집 제34권 D편 제8호, pp. 41~51, 1997
- [4] TMA TSUPREM4 Manual, Technology Modeling Associates, Inc., pp. 2.1~2.76, 1993.
- [5] B. J. Baliga, Power semiconductor devices, PWS publishing company, Boston, pp. 198~232, 1996.
- [6] Kuntal Joardar, "An Improved Analytical Model for Collector Currents in Lateral Bipolar Transistors", IEEE Tran. Electron Devices, Vol. 41, No. 3, pp. 373~382, Mar, 1994.
- [7] R. S. Muller, T. I. Kamins, Device electronics for Integrated Circuits, John Wiley & Sons, New York, pp. 110~115, pp. 270~294, 1977.
- [8] Paolo Antognetti, Power Integrated circuits: Physics Design and Applications, McGraw-Hill, NewYork, pp. 3.14~4.11, 1986.

저 자 소 개



李恩九(正會員)

1972년 3월 20일생. 1995년 2월 인하대학교 전자공학과 졸업(공학사).

1997년 2월 동 대학원 전자공학과 졸업(공학석사). 1997년 1월~1997년 5월 현대전자 메모리 연구소 근무.

2002년 현재 인하대학교 대학원 전자공학과 박사과정 재학중(박사수료), 부천대학 정보통신과 조교수 재직
<주관심분야 : 반도체 소자 설계 및 공정 개발임>

金泰漢(正會員) 第33卷 A編 第9號 參照

현재 인터피온반도체(주) 재직중

金鐵城(正會員) 第33卷 A編 第9號 參照

현재 인하대학교 전자공학과 교수