

특 집

버스트 모드 동작의 광 트랜시버 기술

Technologies for Optical Transceivers for Burst Mode Operation

박 태 성*, 김 아 정**

*삼성전자 통신연구소 광통신팀, **세종대학교 전자정보통신공학부

I. 서 론

차세대 통신은 가입자들에게 많은 정보를 보다 빠르게 전송하고 가입자 망에서의 대역폭 병목현상을 제거하기 위하여 가입자단까지 광 선로를 설치하는 광 가입자망(Fiber To The X)을 요구하게 되었는데, 광 가입자망의 가장 큰 문제점은 기존의 동선으로 이루어진 가입자망을 대체하는데 드는 고비용이다. 따라서, 저비용의 광 가입자망 구축에 수동 전송 특성을 갖는 수동형 광통신망(PON)이 망 구성과 유지 측면에서 경제적이고 효율적인 광 가입자망 구현 방식으로서 고려되고 있다.

수동형 광 통신망은 크게 OLT(Optical Line Termination), ODN(Optical Distribution Node), ONU(Optical Network Unit)로 구성이 되며, 버스트 모드 트랜시버는 OLT와 ONU에서 사용이 된다. PON의 구조는 하나의 OLT에 수동소자(coupler)를 이용해 다수의 ONU를 점대 다점 방식으로 연결한 트리 구조의 분산 토폴로지를 형성한다. PON과 같은 점대 다점 구조에서는 OLT와 각 ONU 간의 거리가 서로 다르고 이에 따라 발생하는 광손실 차이 등으로 인해, 각각의 ONU에서 OLT로 전송되어진 데이터간의 크기와 위상이 서로 다르게 된다. 즉, ONU에서 수신되는 각 패킷들의 광 신호 크기가 일정하고 위상도 동일한 반면, OLT에서 수신되는 광 신호는 패킷에 따라 신호의 크기와 위상이 다르다. 따라서, OLT에서 사용되는 버스트 모드 트랜시버는 고도의 기술을 필요로 하며,

OLT를 구성하는 버스트 모드 광 트랜시버의 속도가 수동형 광 통신망에서 전송하는 정보의 크기 또는 속도를 결정하게 된다.

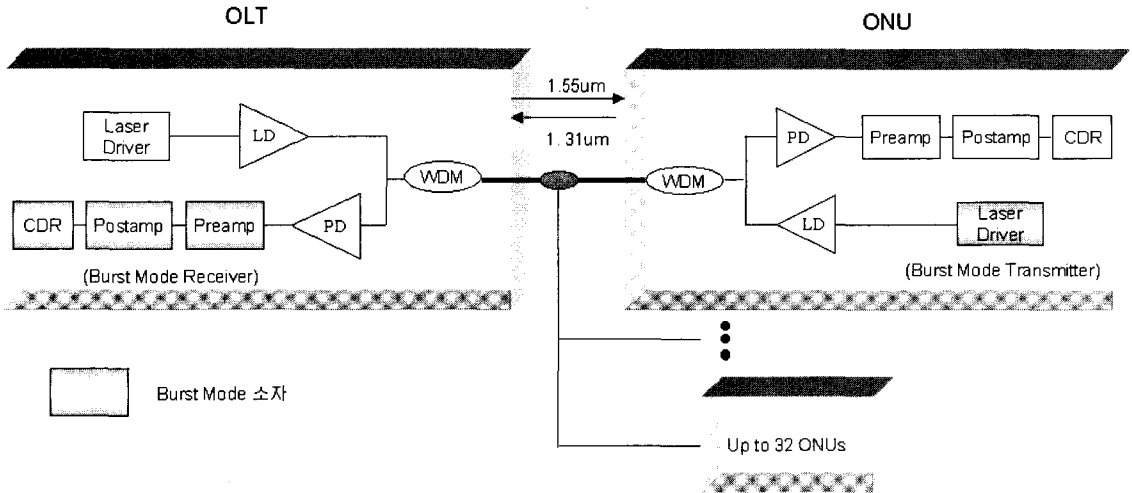
본 논문에서는 PON 기반의 광대역 광 가입자망에서 OLT나 ONU에서의 광 송수신기로 사용될 버스트 모드 광 송수신기의 기술과 그 주요 특징에 대해 알아보도록 하겠다.

II. 본 론

1. 버스트 모드 광 수신기

<그림 1>은 two wavelength PON의 광 링크 구성도다. 이 중 버스트 모드 광 트랜시버는 WDM(wavelength division multiplexer) 소자, 광 송신부, 광 수신부와 클럭 데이터 재생기(CDR)로 구성되어진다.

버스트 모드 광 수신기는 OLT와 ONU에서 광 신호를 전기적 신호로 바꾸어 주는 역할을 한다. ONU의 광 수신기에 입력되는 데이터의 위상과 출력세기는 동일하기 때문에 기존의 Gbps 급 통신에 사용되는 광 수신기 기술을 이용할 수 있다. 그러나, OLT에 입력되는 데이터들은 서로 다른 위상과 출력세기를 갖고 있어서 기존의 광 수신기 기술만으로 데이터를 검출하기 어렵다. 서로 다른 위상과 출력세기의 버스트 모드 데이터를 검출하기 위하여, OLT의 광 수신기는 빠른 반응속도, 입력광 세기에 대한 넓은 작동영역(25dB 이상), 낮은 광 감도, 수 bit 이하의 지연 시간 등의 특성을 가져야 한다. 즉, 서로 다른 크



〈그림 1〉 수동 광 가입자망 optical link 구성도

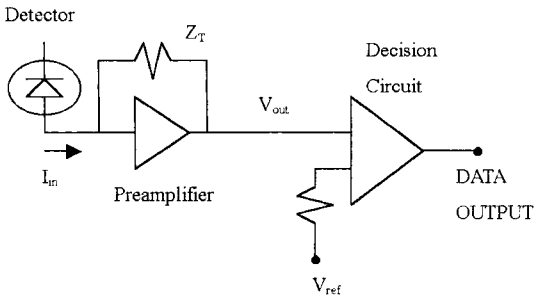
기의 신호에 대한 기준전압(Reference Voltage)을 빠른 시간(수ns)내에 자동으로 설정해 주어야 하며 넓은 input dynamic range를 가져야 한다.

버스트 모드 광 수신기는 일반적으로 〈그림 1〉과 같은 구조로 구성이 된다. 입력되는 광 신호를 전류신호로 바꾸는 광 검출기(또는 광전소자), 광 검출기를 통과하여 나온 전류신호를 전압신호로 변환해주는 preamplifier(또는 TIA: Transimpedance Amplifier), 그리고, 각 패킷마다 광 세기의 크기가 다른 신호를 증폭하여 일정한 진폭의 신호로 만들어 주는 post amplifier(또는 Limiting Amplifier)로 구성이 된다.

전형적인 광 송수신기는 AC-coupled 되어 band-limited 되어 있는데, 송수신 경로를 이루는 커패시터들의 충전 시간으로 데이터의 duty cycle의 평균값을 제한한다. 따라서 데이터 스크램블러 또는 encoder를 이용하여 잦은 로직의 변이를 해주어야 하고 이렇게 스크램블된 신호는 LD에 의해 직접 변조되어 광파이버로 전송된다. 광파이버를 통과한 광신호는 광검출기(PD)에 의해 전류신호로 바뀌며, preamplifier는 이러한 광전류를 transimpedance 회로를 이용해 증폭된 신호 전압으로 변환시킨다. 이러한 전류-전압 변환기는 고주파 증폭기 주위에 연결된

feedback 저항 Z_R 에 의해 동작된다. 이 후 증폭된 전압 신호는 decision circuit으로 전해지는데 고이득 증폭기, clocked latch의 역할을 하는 decision circuit은 아날로그 증폭기 출력을 디지털 논리 신호로 reshaping 한다. Decision circuit가 clocked latch의 역할을 하는 경우 출력단의 논리 변이를 retiming 해주어 위상잡음 성분들을 없앤다. AC-coupled 송수신기는 높은 수신 감도를 제공하는 반면 링크상의 회로를 복잡하게 만든다. 데이터 스크램블링은 시스템 대역폭의 낭비를 초래하며 encoding으로 인해 전력 손실, 비용 및 링크의 latency를 증가시켜 비실용적, 비효율적인 방법으로 작용할 수 있다. 또한 AC-coupling 신호경로에 존재하는 coupling 커패시터의 충전 시간 길어짐에 따라 수신기에 입력되는 신호의 크기가 변함에 따른 기준전압을 빠른 시간 내에 재설정하기가 어렵게 되므로 continuous mode에서만 사용할 수 있다.

반면 버스트 모드 광수신기는 〈그림 2〉에서 보듯 기본적으로 DC-coupling 구조이고, 수신된 데이터 크기가 변할 때 매우 빠른 시간 내에(수 ns) 자동으로 기준전압을 설정한다. 〈그림 3〉에서 보듯 수신된 다양한 각 데이터들의 기준전압은 신호의 최고치와 최저치를 검출하여 그 값의



〈그림 2〉 DC-coupled 수신기

평균값으로 설정되며, 이러한 값을 빨리 찾기 위해서는 데이터 구간 사이에서 충방전시간이(수 ns) 매우 빨라야 한다. 또한 넓은 input dynamic range 및 높은 수신감도를 얻기 위하여 AGC 구조를 채택하여 사용하고 있다.

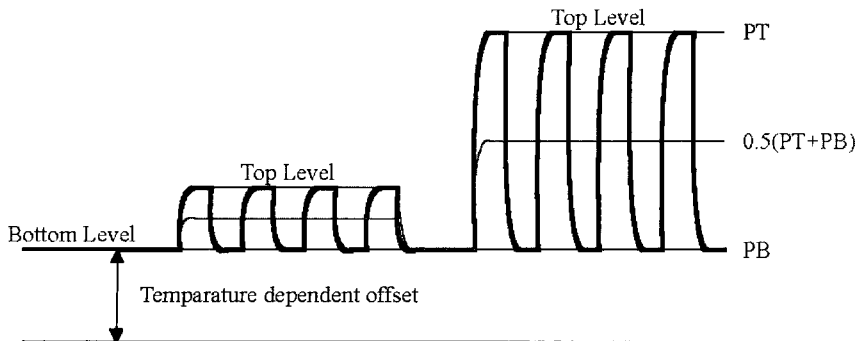
DC-coupled 버스트 모드 수신기는 모든 AC-coupled 소자를 제거하고 광 검출기와 logic output 사이의 모든 연결을 직접 커플링하며, 데이터는 일반적으로 encoding이나 클럭없이 그냥 버스트하게 전송된다. 초고속 버스트 모드 DC-coupled 수신기의 구현은 까다롭다. DC 전압은 연이은 증폭기에 의해 saturate 되기 때문에 AC-coupled 캐패시터를 제거하는 것만으로 기대의 성능을 내기 어렵고 데이터 신호와 기준전압(V_{ref})의 차동값을 증폭하기도 한다. 입력 신호 스윙의 정확한 중앙값인 기준전압은 버스트 특성에 의해 빠른 속도로 바뀔 수 있고 이를 위해 피크 검출기를 사용한다. 1bit 내에서 데이터의 기준전압을 정확하게 측정하는 응용회로 기술인 피크 검

출기는 펄스 왜곡을 최소화하고 수신기의 감도를 높인다.

한편 continuous 모드에서 기준전압은 오직 입력 피크에 의해 좌우되나, 버스트 동작에서는 데이터가 수신 되지 않을 때 입력 피크와 기준전압의 차인 기준 offset이 0으로 수렴하지 않고 잡음요동으로 인해 decision circuit이 동작하게 되어 에러가 발생한다. 이러한 에러를 제거하기 위해 offset 조절 회로가 필요한데, offset이 클수록 잡음에서 발생하는 에러에 대해 면역성을 가지지만 수신 감도 저하와 신호 왜곡으로 인해 통신 성능을 떨어뜨리므로 offset 조절은 decision circuit의 출력 특성에 의해 최적화가 필요하다.

앞서 말한 Preamplifier는 광 검출기에서 출력되는 전류신호를 전압신호로 증폭 변환하는 역할을 하는데 버스트 모드 신호는 낮은 주파수 뿐만 아니라 높은 주파수를 갖고 있기 때문에 그 주파수 작동영역은 아주 넓어야 한다. 또한, 일반적으로 증폭기는 저 주파수의 신호를 증폭할 때와 고 주파수의 신호를 증폭할 때 신호의 위상이 다르게 출력되는 특성을 갖고 있기 때문에, 이 특성이 preamplifier의 고주파수 작동 억제에 원인이 된다. 또 다른 고 주파수 작동의 억제요인은 광 검출기 내부의 capacitance, IC 패키징 및 IC 마운팅에서 생기는 캐패시턴스, 열잡음 전류를 줄이기 위한 증폭기의 큰 피드백 저항, 고 감도를 갖기 위한 큰 입력저항 등이 있다.

Post amplifier는 서로 다른 크기의 신호를



〈그림 3〉 버스트 신호에서의 기준전압과 offset

증폭하여 일정한 진폭의 신호로 출력하는 기능을 수행하는 것으로서 limiting amplifier라고도 하며, 이득조절 속도 또는 반응속도가 매우 빨라야 한다. 즉, 높은 dynamic range 특성을 얻기 위해 온도에 따라 변하는 Bottom Level과 입력 신호의 크기에 따라 변하는 Top Level의 중간 값을 사용하여 정확한 Threshold인 기준전압을 빨리 찾도록 하여야 한다.

Limiting amplifier를 구성할 때 외부에 일반적인 증폭기를 사용하여 offset 전압 및 이득 계수(gain)를 조절하지 않으면 파형이 변조될 수가 있다. 파형 변조의 원인은 같은 offset의 크기로 진폭이 다른 데이터의 on/off를 결정하면 duty 비율이 바뀔 수 있기 때문이다. 만약, duty의 비율이 바뀌면 데이터의 재생 뿐만 아니라 데이터의 손실도 초래할 수 있기 때문에, 외부에서 기준전압을 인가하여 offset 전압 및 이득 계수를 조절할 필요가 있다. Offset 전압 및 이득 계수를 조절하는 방법에는 feedback을 이용한 방법과 feedforward를 이용한 방법으로 나눌 수 있다. 두 구조 모두 peak detector를 사용하여 기준값을 생성하고 그 값으로 decision 하는 개념이다.

Feedback 구조는 주 증폭기에서 출력되는 데이터 진폭의 크기가 변하는 것을 측정하여 offset 전압이나 이득계수를 조절하는 방법이다. 이 방법에는 AGC(auto gain controller)나 AOC(auto offset controller)를 사용을 하며, 고속의 트랜지스터, 버스트 모드 전송주기 동안 검출된 offset level을 유지시켜 주는 외부 콘텐서, 광 감도를 좋게 하는 외부 adjustment 등의 소자들로 구성된다. 이 방법은 높은 이득의 증폭기를 feedback을 통해 이득을 1로 만들으로써 공정에 의한 오차를 줄일 수 있고 광 감도가 좋은 장점을 갖고 있지만, 고가의 고속 트랜지스터를 필요로 하고 feedback 시간으로 인해 증폭기의 작동속도를 제한하게 된다.

Feedforward 구조는 preamplifier에서 출력되는 데이터의 진폭을 측정하여 주 증폭기의 offset 전압을 조절하는 방법이다. 여기에는 피크

검출기를 포함한 ATC(auto threshold controller)를 사용하며, feedback 방법과 달리 저속의 트랜지스터를 사용할 수가 있지만, 정확한 offset 보상이 어렵고, 빠른 피크 검출기가 요구되어야 한다. 피크 검출기는 offset을 보상하기 위하여 한 패킷의 데이터가 입력될 동안 peak 값에 해당되는 전압을 계속 유지해야 하는 저속 동작과, 다른 패킷의 버스트 모드 신호가 입력되면 그 신호에 해당되는 전압을 출력시켜서 offset을 맞추어야 하는 고속 동작을 모두 필요로 한다. feedforward 구조는 feedback 시간을 필요치 않으므로 고속동작의 장점을 가진다.

2. 버스트 모드 클럭 데이터 재생기

클럭 데이터 재생기는 데이터의 손실 없이 기준 클럭과 데이터의 위상을 맞추어 주는 역할을 한다. 각 패킷마다 위상이 서로 다른 버스트 모드 의 경우 주파수 및 위상의 급격한 변화에 빨리 대응하는 재생기를 필요로 한다. 클럭 및 데이터를 재생하는 방법에는 PLL(phase locked loop)을 이용하는 방법, 여러 개의 클럭을 사용하여 bit를 동기하는 방법, resonator를 이용하는 방법 등이 있으며, 그 중에서 resonator를 이용한 방법은 주파수나 위상조절을 하는데 시간이 많이 소모되어 고속의 버스트 모드용으로 사용하기 힘들다.

일반적인 통신 시스템에서의 수신단에서는 클럭과 데이터 복원을 위하여 PLL을 이용한 방법을 가장 많이 사용한다. PLL은 입력 데이터의 edge가 jitter나 외부의 영향에 의해 어느 정도 흔들린다 하더라도 이의 영향을 최소화하도록 동작을 하기 때문에 최적의 decision timing을 갖는 clock을 생성해 낸다. 그러나 입력 데이터의 주파수가 system clock과 독립되어 있고 패킷 별로 위상의 변화가 많은 버스트 모드의 경우에는 고속으로 반응하기 어렵다. 즉, PLL이 locking 된 후에는 입력 데이터가 tracking range 내에서 조금씩 변한다 하더라도 그러한 변화에는 적용할 수 있지만, 만약 다음 버스트 신호와 현재 신호와 에서의 recovered clock과 위상 차가

많이 나서 PLL이 lock 상태를 벗어나게 된다면, 다시 locking하기 위해 필요한 시간(acquisition time)은 너무 길 뿐만 아니라 연속된 0이나 1이 계속 나올 경우 PLL은 locking 상태에서 벗어났다가 다시 locking 하기까지 상당한 시간이 걸리기 때문이다. 그 원인은 PLL 회로에서 회로의 안정성을 높이기 위해서 필터의 시간상수를 길게 하여야 하므로 data의 위상변화에 따라 클럭을 빨리 변화시킬 수 없다는 것이다. 따라서 버스트 모드 동작을 위해 데이터의 위상변화에 빨리 대응하는 PLL의 개발에 초점이 모아지고 있다.

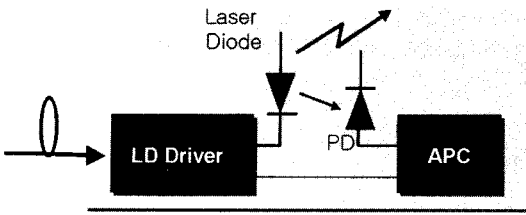
Bit 동기 방법은 위상이 서로 다른 여러 개의 클럭들 중 데이터의 위상과 일치하는 클럭을 선택하여 클럭을 재생하는 방법이다. 즉 데이터를 delay 시키거나 clock을 데이터가 시작할 때 생성시켜, 데이터와 clock의 phase를 맞추는 방법과 데이터보다 빠른 clock 또는 multi-phase clock 중에서 입력 데이터와 시작이 같은 clock을 선택하는 방법이 있으며, 특히 multi-phase clock 중에서 선택하는 방법을 많이 사용한다. 이러한 경우에는 들어오는 입력 데이터의 rate를 정확하게 모르기 때문에 수신단은 자신이 가진 시스템 클럭을 그대로 이용하게 되는데 연속적인 0 또는 1에 대해 수신기의 decision 시 그 연속적인 bit의 개수를 잘못 인식할 수 있게 될 수 있다. Bit 동기 방법은 위상정렬의 속도가 빠르다는 장점을 갖고 있지만, 작동 주파수 영역이 작은 것과 클럭의 숫자만큼 소자의 작동 속도가 빨라져야 하는 단점이 있다.

3. 버스트 모드 광 송신기

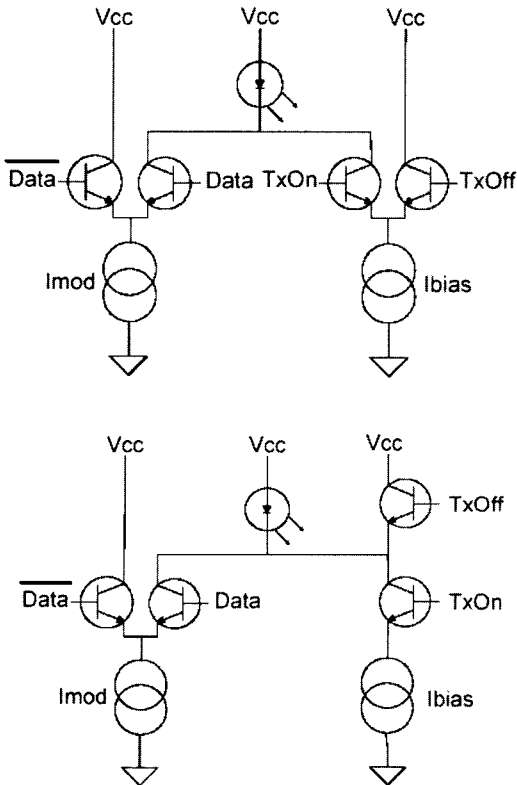
일반적인 광통신 시스템의 광 송신 단에서는 2진 데이터 열(sequence)이 연속적으로 보내지고, "0"과 "1"의 비가 균형을 이루는 연속모드 데이터를 전송하는데 전기적 신호를 광신호로 변환시키는 레이저 다이오드와 이를 동작시키는 아날로그 구동회로를 사용한다. 기존의 SONET/SDH와 같은 점대점 통신방식이나 GbE의 full duplex 전송모드에서는 송신 측에서는 데이터를

전송할 때 데이터가 없는 구간에도 의미 없는 더미(dummy) 데이터를 채워 넣어서 보내는 방식을 취한다. 이럴 경우 송신기는 전송 데이터가 없는 구간 동안에도 항상 레이저가 켜져 있는 상태가 되므로 이러한 방식의 송신기에서는 레이저를 ON/OFF 할 필요가 없으며, 한번 결정된 launched power로 송신하게 된다. 그러나 PON 구조에서는 다수의 ONU가 광분배소자(optical splitter)를 통해 OLT에 데이터를 송신할 때 다른 ONU가 레이저를 켜지 않고 더미 데이터를 송신하게 되면 광분배소자(optical splitter)와 같은 매체 접점에서 데이터 충돌이 일어나 손실이 생기므로 버스트 모드 송신기가 필요하다. <그림 4>는 버스트 모드 광 송신기의 일반적인 구성도를 나타내고 있다.(APC: Automatic Power Control) ONU단에서 OLT로 데이터의 송신 유무에 따라 레이저를 ON/OFF할 수 있어 버스트 모드 데이터 신호를 전송하지 않을 때에는 적은 광 신호도 출력되지 않아야 하는데 만약 약간의 광 신호가 출력되어 송신된다면 전송 광 송신기에서 출력되는 신호들에 영향을 주어 수신단에서 복원하는 데이터 값들이 오류가 발생할 수 있다.

ITU-T G.983.1에서는 ONU단 전송 대기상태에서 광 출력은 OLT receiver minimum sensitivity -10 dB 이하 상태를 유지시켜야 함을 권고하고 있다. 이는 OLT단에서 신호 cell이 다른 ONU에서 발생된 잡광의 간섭에 의해 SNR 저하가 발생하지 아니하도록 하는데 목적이 있다. 이를 충족시킬 수 있는 design은 idle 중인 ONU광 출력 회로의 off, bias 전류의 negative setting, zero setting, LD threshold 이하로 setting하는 방법 등이 있다. 또한 권고안은 active mode로 전환된 ONU가 발생하는 신호에 대하여, guard bit 내에서, 해당 ONU 설정 최대 광 출력(logic 1을 표현하는 광 신호 level)의 10~20% 범위 이내에서, pre-bias 혹은 다른 수단으로 LD 출력이 허용된다는 예외 규정을 두고 있다. 이에 test design 상에서 이를 구현하기 위하여 Bias current on/off는 외부 논리 신호에 의해 동작되어야 하고, Bias



〈그림 4〉 버스트 모드 광 송신기 구성도



〈그림 5〉 버스트 모드 광 송신기의 구현 회로의 예

current의 level을 인위적으로 조절할 수 있어야 하며, Bias current monitoring이 가능하여야 하는 등의 제한을 둔다.

〈그림 5〉는 버스트 모드 광 송신기의 구현 기본 방식 중의 몇 가지 예이다. 이는 데이터 속도로 레이저를 변조시키는 회로를 적용하여 레이저의 bias 전류를 같은 속도로 변조시킬 수 있다는 기본 원리를 가지고 레이저 on/off 시간이 수 ns에 불과하도록 구현할 수 있다. 이러한 레이저 드라이버는 기존의 드라이버에 비해 복잡도의 증

가가 극히 미미하다 할 수 있다

버스트 모드 송신기에서 주요한 parameter는 레이저 turn on/off delay time이며 이러한 turn on/off delay time이 데이터간의 guard time보다 길 경우에는 비록 송출할 데이터가 없어 ONU의 레이저를 OFF하더라도 다른 ONU에서 송신하는 데이터와 충돌이 일어나게 된다. turn on/off delay time이란 데이터 전송을 위해 광 송신기를 구동할 때 LD의 출력이 정상상태까지 도달하는 데까지 생기는 시간 지연으로 버스트 모드 광 송신기는 해당 ONU의 데이터 전송 시간 동안만 광신호가 출력되어야 하며, turn on/off delay time은 수 nsec 이하의 짧은 값을 갖도록 하여야 한다.

turn-on delay 현상은 데이터를 전송하지 않고 있다가 광 송신기의 레이저 다이오드를 갑자기 발진시킬 때 발생하는 현상으로서 레이저 다이오드를 구동하는데 필요한 구동전류가 레이저가 발진하기 시작하는 문턱전류(threshold current) 값까지 도달하는데 걸리는 시간지연이다.

이러한 버스트 모드 광송신기에서 turn-on delay를 보상하는 종래 기술에는 Zero bias modulation 방법과 First bit predistortion 방법이 있다. Zero bias modulation 방법은 입력된 모든 데이터 패킷 중에서, 데이터 값이 로직 "1"일 때마다 turn-on delay time만큼 추가하여 레이저 다이오드를 발진시킬 수 있는 전류를 인가하여 보상하는 방법이다. 하지만 실제 레이저 다이오드가 발진하여 일정한 출력을 얻을 때까지는 임의의 time이 필요로 하는데 이러한 영향은 turn-on delay jitter를 발생시키고 이 turn-on delay jitter는 출력되는 광 펄스의 rising edge에서 time jitter로 발생하는 단점이 있다. 또한 이러한 turn-on delay jitter는 고속 데이터 전송에서, 데이터 펄스가 시간간격으로 충분히 나누어져 있지 않으면 레이저 다이오드가 발진하여 광 펄스를 출력하고 그 다음 광 펄스를 출력하기 전에 출력이 멈추지 않아 데이터 bit에 러를 발생시킬 수 있는 단점이 있다. First bit predistortion 방법은 데이터 패킷의 첫번째 데

이터 bit에만 turn-on delay time을 추가하여 레이저 다이오드를 발진시킬 수 있는 전류를 인가하고 그 다음 데이터 bit부터는 문턱전류만 계속 인가하여 입력된 데이터 bit에 따라서 레이저 다이오드를 발진시키고, 데이터 패킷의 마지막 bit의 falling edge 부분에서 문턱전류를 차단하여 보상하는 방법이다. 하지만, 이는 데이터 패킷의 데이터 bit값에 관계없이 처음 데이터 bit에서 패킷의 마지막 데이터 bit까지 최소 문턱전류를 인가하므로 전력소모가 Zero bias modulation 방법보다 많다. Giga bps 이상의 고속 버스트 모드 송신기에서는 주로 prebias를 인가하여 주는 방식을 사용하고 있다.

III. 결 론

PON 구성을 위한 핵심소자인 버스트 모드 광 송수신기의 개발 연구에 여러 업체들이 박차를 가하고 있다. 현재 ITU-T 규격을 만족하는 622 Mbps/155 Mbps의 버스트 모드 광 트랜시버는 상용화되었고 1.25 Gbps 버스트 모드 송수신기도 출시되고 있다.

PON이 현실성 있는 초고속 가입자망으로 채택되기 위해서는 ONU 구축 비용이 수십만 원대 이하로 떨어져야 한다고 할 때 현재로서는 상용화 광부품이 비교적 고가임을 알 수 있다. 고속의 레이저 on/off가 가능한 광 송신기와 진폭과 위상이 각 패킷별로 서로 다른 데이터를 수신하는 광 수신기를 내장하는 버스트 모드 광 트랜시버의 개발은 일반 광 트랜시버 개발에 비해 어려우나, 각 부품 별 기술적 난이도로 볼 때, 광 트랜시버를 구성하는 WDM 광 소자는 데이터의 전송 속도에 거의 무관하고, 보다 빠른 전송 속도의 특성을 만족시키는 버스트 모드용 광 송신기의 상용화 가능성은 높다. 또한, Gbps급의 고속 전송의 버스트 모드용 클럭 데이터 재생기 개발은 어려움이 있을 것이나 어느 정도의 개발 가능성을 지니고 있다. 단 저가의 limiting amplifier

로 구성된 버스트 모드용 광 수신기 개발은 상당한 기술을 요하므로, 버스트 모드용 광 트랜시버의 작동 속도는 이 기술의 개발에 따라 결정될 것으로 보이지만, 많은 업체에서 연구 개발에 주력하고 있으므로 앞으로 PON이 유지와 설치에 있어 효율적이고 경제적인 초고속 가입자망으로서 부각될 것이 예상된다

참 고 문 헌

- [1] Y. Ota, et al., "High-Speed, Burst-Mode, Packet-Capable Optical Receiver and Instantaneous Clock Recovery for Optical Bus Operation," *Journal of Light Technology*, vol. 12, no. 2, pp.325-331, Feb. 1994.
- [2] 지식정보센터, 주간기술동향 935호, 2000. 3.
- [3] Makoto Nakamura, et al "A 156 Mb/s CMOS Optical Receiver for Burst-Mode Transmission" *IEEE Journal of solid-state circuits*, vol.33, No.8 AUG. 1998 .
- [4] Charles A. Eldering, et al., "Digital burst mode clock recovery technique for fiber-optic system," *Journal of Lightwave Technology*, vol. 12, no. 2, pp.271-279, feb. 1994
- [5] Masayuki Miyazaki, Koichiro Ishibashi, "A 3-Cycle lock time delay-locked loop with a parallel phase detector for power mobile systems," *Proceeding of AP-ASIC*, pp.396-399, 1999
- [6] Takafumi Kajiwara, et al., "An optical design for ATM-PON access system," *Global Telecommunications Conference*, pp. 1613 -1617, vol.3, 1996
- [7] Dunlop, A.E. et al, "150/30Mb/s CMOS Non-Oversampled Clock and Data Recovery Circuits with Instantaneous

- Locking and Jitter Rejection”, Solid-State Circuits Conference, pp.44-45, 1995
- [8] H. Tagami. et al, “156Mbit/s Burst-mode Transceiver with a new bit synchronization technique for PON application”, Solid-State Circuits Conference, 1996
- [9] IEEE 802.3ah EFM presentations

저자 소개

朴 泰 誠

1987년 2월 광운대학교 전자재료공학과 공학사,
 1989년 2월 광운대학교 전자재료공학과 공학석사,
 1996년 2월 광운대학교 전자재료공학과 공학박사,
 1993년 11월~1996년 2월 : 한국전자부품연구원 (KETI),
 1996년 3월~현재 : 삼성전자 통신연구소 책임연구원, <주관심 분야 : WDM 광전송시스템, Access Network System>

金 娥 正

1988년 2월 서울대. B.S, 1995년 6월 Northwestern Univ. M.S., 1996년 12월 Northwestern Univ. Ph. D., 1997년 1월~1998년 : Northwestern Univ. 전자컴퓨터 공학과, associate researcher, 1998년 4월~2003년 2월 : 삼성종합기술원 i-networking랩, 전문연구원, 2003년 3월~현재 : 세종대학교 전자정보통신공학부 광공학과 조교수, <주관심 분야 : 광대역 통신망, 광통신시스템, 광소자>