

## PDP의 ADS 구동방식에서의 초기화 방전특성에 관한 연구

(A Study on the Characteristics of Reset Discharge in the ADS Driving Method for the PDPs)

염정덕\*

(Jeong - duk Ryeom)

### 요 약

본 연구에서는 PDP의 ADS 구동방식에서 초기화기간의 프라이밍 방전 특성에 대하여 실험적인 해석을 하였다. 방전에 의해 축적되는 벽전하의 총량과 벽전하가 축적되는 시간은 프라이밍 펄스의 폭과 무관하다. 또한 과잉 벽전하에 의한 자기소거 방전은 프라이밍 방전에 의한 벽전하량과 관계가 있으며 또한 프라이밍 방전에 의해 생성되는 공간전하와도 관계가 있다. 실험결과 프라이밍 펄스 폭은  $8[\mu s]$ , 전압은  $163[V]$  정도가 최적이다. 그리고 자기소거 방전을 돕는 공간전하는 프라이밍 방전이 발생한 직후로부터 약  $16[\mu s]$  동안 존재한다. 그러므로 효과적인 초기화 과정을 위한 프라이밍 펄스의 폭은  $16[\mu s]$  이내가 적당하다.

### Abstract

The priming discharge characteristic at the reset period in the ADS drive method of PDP was experimentally analyzed in this research. The amount of wall charge accumulated by the discharge and the accumulated time are unrelated to the priming pulse width. The self-erase discharge by excessive wall charge is related to the amount of wall charge by the priming discharge and this is related to space charge generated by the priming discharge. From the experimental result, in the optimized priming condition the pulse width is  $8\mu s$  and the voltage is about  $163V$ . The space charge which helps the self-erase discharge exists during about  $16\mu s$  immediately after generating the priming discharge. Therefore, it is suitable within  $16\mu s$  of the priming pulse width for the effective reset process.

Key Words : PDP, ADS Driving Method , Priming, Reset period, Self-Erasing Discharge

### 1. 서 론

\* 주저자 : 경주대학교 컴퓨터전자공학부 전임강사  
Tel : 054-770-5290, Fax : 054-748-2895  
E-mail : marine@kyongju.ac.kr  
접수일자 : 2003년 1월20일  
1차심사 : 2003년 1월24일  
심사완료 : 2003년 2월25일

현재 플라즈마 디스플레이(이하 PDP)는 대화면 벽걸이 디스플레이로서 가정용 디지털 TV 뿐만 아니라 방송국 모니터, 공항 터미널, 지하철역 영화관 등의 공공정보 표시용 디스플레이등 많은 응용분야에서 활발히 사용되기 시작하였다.

현재 사용 중인 PDP는 패널 구조가 교류구동형

면방전 구조이며 구동방식이 ADS 구동방식은 이미 주지의 사실이다. 이 구조와 구동방식은 수명 측면에서 직류구동형 보다 장점을 가지며 휘도 측면에서 대향방전 구조보다 우수하다. 또한 대화면의 패널을 단순하면서도 쉽게 제어할 수 있는 구동회로의 설계를 가능하게 한다[1]. 그러나 학계, 업계에서는 PDP의 기술이 아직 개발단계에 있다고 보며 PDP의 성능, 가격, 품질 그리고 화질등을 개선하기 위하여 여러 가지 방전구조들에 대한 연구가 이루어지고 있고 더불어 이들 방전을 제어하는 구동기술들 역시 현재까지 많은 연구가 이루어져 왔다.

그 중 구동기술분야를 보면 HDTV 시대의 도래와 함께 고해상도 PDP에 적합한 고속구동을 위해 폭이 좁은 펄스에 의한 고주파 어드레스 구동기술, 상하분할 동시 구동기술등 여러 가지 구동방식들이 연구, 개발되고 있다[2][3][4]. 그러나 PDP는 대화면 디스플레이므로 전극의 총 면적이 대단히 커서 고속구동기술을 적용하는 경우 동작마진이 좁아져 패널 전면의 균제도(uniformity)가 저하하는 문제점이 있다. 이러한 문제점은 PDP의 전극들을 균일하게 초기화시켜야만 해결되며 이와 관련하여 초기화 구동기술이 많이 연구되고 있다. 이러한 초기화 구동기술은 일반적으로 고전압에 의해 패널전면에 강한 강제방전을 일으키는 것을 그 근본 원리로 하고 있다. 이러한 강제방전은 그 다음에 잔류 벽전하를 소거하는 자기소거방전을 수반하므로 이 자기소거방전에 의해 각 화소의 벽전하는 균일하게 초기화 될 수 있다.

본 연구는 이러한 초기화 기간의 강제방전 및 자기소거방전의 특성을 연구한 것으로 초기화 기간의 방전특성에 대한 시간적인 변화를 실험을 통하여 규명하고 이를 근거로하여 초기화 기간의 최적의 방전조건을 도출하였다.

## 2. 프라이밍방전 제어기술

PDP는 가로, 세로 백여[ $\mu\text{m}$ ]의 방전공간에 미세 방전을 일으켜 그 발광량을 제어하여 화상을 구현하는데 이러한 과정은 크게 초기화(reset)과정, 어드레스(address)과정 그리고 표시방전유지(sustain)과정의 세가지로 나눌 수가 있다. 그림 1은 본 연구에서 사

용된 구동회로의 펄스 타이밍도이다. 여기에서는 초기화 기간에 강한 강제방전을 일으키는 정과 부의 펄스를 X, Y 양측에 모두 주었으며 이어서 잔류벽전하를 소거하기 위한 2개의 제2소거펄스를 인가하였다. 그리고 표시방전 유지기간의 첫 표시방전 펄스는 그 폭을 넓게 하여 안정적인 표시방전을 유도할 수 있게 하였다.

PDP의 초기화기간에 인가하는 강제방전 펄스는 프라이밍(priming)효과를 얻는 것이 목적이므로 이를 프라이밍 펄스라고 한다. 이 프라이밍 펄스는 패널 전면에 강한 방전을 일으켜 패널전면을 균일하게 초기화시키는 역할을 한다.

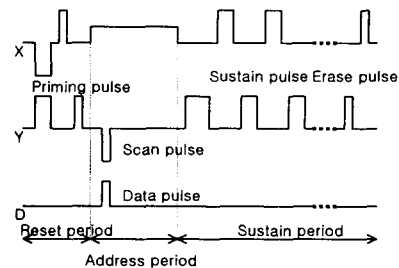


그림 1. 실험에 사용한 PDP의 구동펄스 타이밍도  
Fig. 1. Timing chart of driving pulses for the PDP using this experiment

초기의 PDP에서는 패널 전면의 벽전하를 완전히 소거시키는 용도와 방전시 발생하는 공간전하의 프라이밍 효과에 의해 어드레스 방전의 방전개시전압을 낮추는 두가지 목적으로 한 필드 안에 복수개로 설치되어 있는 각 서브필드마다 한번씩의 프라이밍 펄스를 삽입하였다. 그러나 이경우 프라이밍 방전은 불필요한 배면휘도를 증가시키므로 명암비가 나빠져 시인성을 저하시키는 문제점을 갖는다.

여러 연구결과에서 방전에서 발생하는 공간전하가 다음 방전에 영향을 미치는 것은 수십[ $\mu\text{s}$ ] 이내라는 것이 밝혀졌다[5][6]. 그러나 ADS 구동기술에서 전체 면적을 수평주사하기 위해서는 구동 특성상 어드레스 펄스들의 간격이 최대 1[ms]이상 됨을 감안할 때, 프라이밍 방전에서 발생하는 공간전하는 어드레스 방전의 균일화에 거의 도움이 되지 못한다. 그러나 준안정상태의 Ne 입자의 페닝효과에 의해 어드레스

방전 전압이 낮아질 수 있고[1] 이러한 준안정상상태의 원자는 수분 이상 생존이 가능하므로 초기화 기간의 프라이밍 효과로 준안정상상태 원자들의 페닝효과를 이용한다면 1[ms]이상의 시간간격에서도 균일한 방전특성을 얻을 수가 있다. 이기술이 개발됨에 따라 한 필드에 한번의 프라이밍 방전을 하더라도 안정된 어드레스 특성을 나타낼 수가 있게 되었다.

초기에는 이러한 프라이밍 방전에서 형성되는 벽전하를 소거하기 위해서 1, 2회의 소거방전을 병행하였는데 이러한 소거방전 역시 배면회도의 증가와 관련이 있으므로 이를 줄이기 위해서 1회 강방전과 함께 1회의 약방전인을 일으키는 자기소거방전(self-erase discharge) 기술이 개발되었다. 이 자기소거방전은 강한 방전에 의해 형성된 과잉의 벽전하가 외부에서 인가되는 펄스전압이 사라진 직후 스스로 방전하게 함으로써 공간전하의 재결합에 의해 스스로 소멸되는 특징을 나타낸다. 이 기술은 배면회도를 크게 줄일 수 있어 PDP의 화질을 높이는 데 큰 기여를 하였다.

최근의 패널 초기화 구동기술동향은 초기화 과정의 본래기능인 패널전면의 전기적 조건을 균일화하는 측면이 강조되면서 서서히 증가하는 램프형태의 파형에 의한 자기소거 방전을 응용한 프라이밍 방전 기술이 주로 연구되고 있다[7]. 이러한 램프파형은 패널 전면의 각 전극에 잔류하는 벽전하의 양에 따라 각각 다른 전압에서 프라이밍 방전을 일으킬 수가 있어 초기화 방전의 강도를 크게 줄일 수 있으므로 불필요한 배면회도를 많이 줄일 수가 있다. 그림 2는 초기화펄스에 의한 프라이밍 방전과 자기소거방전의 광출력을 측정 한 것이다.

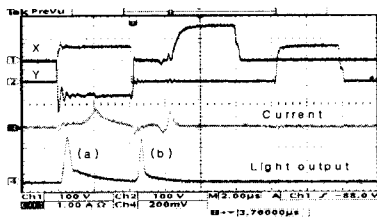


그림 2. 강방전에 의한 자기소거 방전 (4 $\mu$ s)  
 (a) 프라이밍 방전, (b) 자기소거방전  
 Fig. 2. self-erase discharge according to the strong discharge (4 $\mu$ s)  
 (a) Priming discharge, (b) Self-erase discharge

### 3. 프라이밍방전 특성 실험

#### 3.1 실험장치의 구성

그림 3은 본 연구에 사용된 PDP 구동 실험장치의 구성 블록 다이어그램이다. 본 실험장치는 크게 퍼스널 컴퓨터와 제어용 로직부, 주사(scan) 및 데이터 드라이버부, 그리고 각종 전원부로 나누어져 있다. 퍼스널 컴퓨터는 디지털 시스템 설계용 S/W가 인스톨되어 있어 구동펄스의 타이밍을 설계, 시뮬레이션한 후 로직부의 EPLD를 프로그래밍하는데 사용된다. 로직부는 EPLD와 몇 개의 멀티바이브레이터를 사용하여 설계된 각종 로직들의 펄스 폭 및 인가타이밍을 미세조정하는 것이 가능하다. 고전압 드라이버부는 직접 PDP에 인가하는 고전압 펄스를 발생시키는 부분으로 고전압 FET가 쌍으로 되어있는 인버터 스위칭 회로들로 구성되어 있다. 전원부는 로직부 전원, 포토커플러 구동용 전원 및 PDP 구동용 고전압 전원등의 DC 전원들로 이루어져 있다.

실험에 사용된 PDP는 유전체와 MgO로 도포된 상용화된 3전극 교류 면방전 PDP와 동일한 구조를 가지며 내부에는 Ne+4%Xe이 500[Torr]의 압력으로 봉입되어 있다.

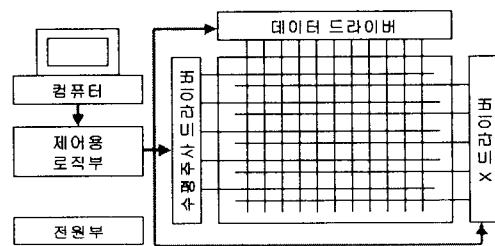


그림 3. 실험에 사용된 플라즈마 디스플레이 구동장치 시스템의 구성 블록 다이어그램  
 Fig. 3. Block diagram of PDP drive system used to experiment

#### 3.2 실험방법

그림 4는 본 연구에 사용된 초기화기간의 펄스 타이밍도를 자세히 나타낸 것으로 강방전 및 자기소거방전을 일으키기 위한 프라이밍 펄스와 이후 잔류하는 벽전하를 소거하기 위한 두 번의 제2소거펄스(erase2 pulse)들로 이루어진다. 본 연구에서는 프라

이밍 펄스의 폭과 인가전압을 변화시킬 때 프라이밍 펄스와 자기소거 펄스 그리고 제2소거 펄스에 의해 방전이 어떻게 변화하는지를 실험하였다.

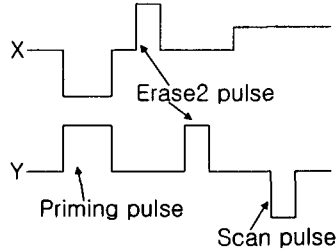


그림 4. 실험에 사용된 초기화 구간의 펄스 타이밍 도  
Fig. 4. pulse timing of reset period used to experiment

### 3.3 실험결과 및 검토

그림 2와 그림 5, 6의 세가지 측정결과들은 프라이밍 펄스의 전압은 일정하게 유지시키고 펄스의 폭만 변화시키면서 이 방전에 의한 광출력을 오실로스코프로 측정한 결과를 나타낸 것이다. 이때 어드레스기간 및 표시방전기간의 펄스들은 최적화하여 일정한 전압과 일정한 펄스폭을 가지도록 하였다.

실험결과로부터 보면 각각의 경우 모두 프라이밍 방전이 일어나고 약 2[ $\mu$ s] 정도에서 전류파형의 최대치를 나타내고 있다. 이 전류는 벽전하의 축적시 나타나는 전류이다. 이로부터 벽전하 축적량을 간접적으로 평가해 보면 강방전이 일어난 직후부터 2[ $\mu$ s] 정도 지난 후에 최대가 되며 이후 축적된 벽전하에 의해 내부 전계가 약해지고 이로 인해 방전이 약화되면서 벽전하 축적량도 점점 줄어드는 것을 알 수 있다. 또한 벽전하가 완전히 축적되는데 필요한 시간은 패널의 구조에 따라 차이는 있으나 프라이밍 펄스의 폭과는 무관하게 대략 4[ $\mu$ s]가 필요하며 이는 기존의 연구결과[8]하고도 일치하고 있음을 알 수 있다.

한편 그림 2는 프라이밍 펄스폭이 4[ $\mu$ s]로써 자기소거방전이 강하게 일어나 잔류벽전하를 거의 완전하게 소거함으로써 프라이밍 방전과 자기소거방전만 존재하고 제2소거방전(erase2)이 일어나지 않는 상태(또는 일어나도 아주 미세하여 식별 불가능한 상태)를 보여준다. 그림 5는 프라이밍 펄스 폭이 10

[ $\mu$ s]로써 자기소거방전이 약해지고 결과적으로 벽전하의 소거 기능이 약화되어 잔류 벽전하에 의한 제2소거방전이 일어나기 시작하고 있음을 보여준다. 또한 그림 6은 프라이밍 펄스 폭이 22[ $\mu$ s]로써 자기소거방전은 일어나지 않고 전적으로 제2소거방전에 의해 벽전하의 소거가 일어나고 있음을 보여준다.

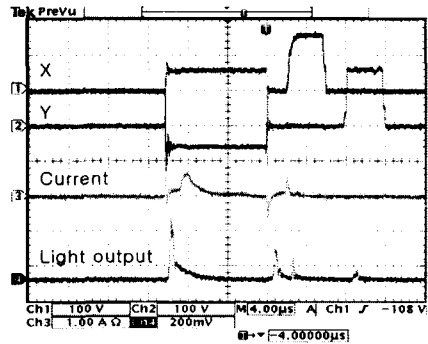


그림 5. 초기화 방전의 측정결과 (10 $\mu$ s)  
프라이밍방전 + 자기소거방전 + 제2소거방전  
Fig. 5. Measurement results of reset discharges (10 $\mu$ s)priming + self-erase + erase2 discharges

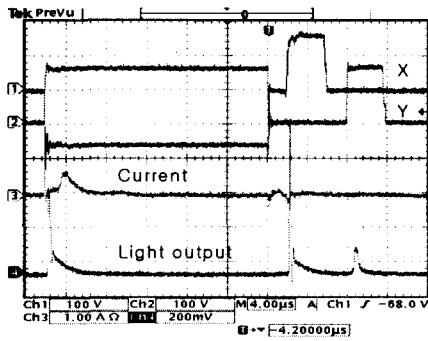


그림 6. 초기화 방전의 측정결과 (22 $\mu$ s)  
프라이밍방전 + 제2 소거방전  
Fig. 6. Measurement results of reset discharges (22 $\mu$ s)priming + erase2 discharges

준안정상상태의 원자들에 비해 공간전하는 시간에 따라 급격히 감소한다는 사실과 방전전압은 이들 입자의 프라이밍 효과에 의해 영향을 받는다는 사실을 고려하면 이러한 결과들로부터 강방전에 이은 자

기소거방전은 준안정원자들 보다 공간전하의 영향을 더 강하게 받고 있다고 생각할 수 있다.

그림 7은 프라이밍 펄스의 펄스폭에 대한 자기소거방전과 제2소거방전의 광출력의 변화를 정성적으로 비교한 것이다. 그림에서 보면 제2소거방전은 프라이밍 펄스폭이 대략 8[ $\mu$ s] 이후에서 나타나기 시작하며 이 시점으로부터 자기소거방전의 강도가 급격히 약해진다. 또한 자기소거방전은 프라이밍 펄스폭이 22[ $\mu$ s]이후에 소멸되는 것을 알 수가 있고 이때 제2소거방전의 강도가 매우 증가함을 알 수가 있다.

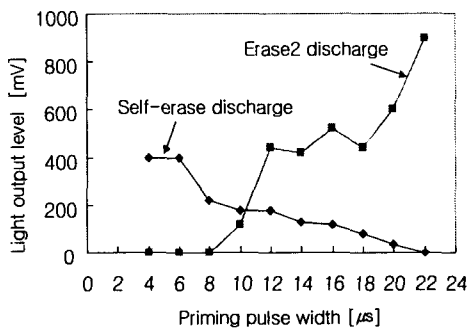


그림 7. 프라이밍 펄스폭과 초기화방전의 광출력과의 관계  
Fig. 7. The relation between priming pulse width and light output of reset discharges

앞의 그림 2와 5, 6에서 나타난 것과 같이 프라이밍 방전에 의한 전류의 변화가 펄스폭에 관계없이 일정하다고 하면 프라이밍 방전 전압이 일정한 경우 프라이밍 방전에 의해 축적되는 벽전하량은 프라이밍 펄스 폭에 무관하게 일정한 것으로 가정할 수 있다. 그러므로 자기소거방전이 약해진다는 것은 공간전하의 영향이 약해진다는 것으로 볼 수 있다.

초기화 방전은 불필요한 배면광을 최소화하는 것이 바람직하며 이를 평가의 기준으로 볼 때 자기소거방전의 광출력이 급격히 저하되면서도 불필요한 광인 제2소거방전이 일어나지 않는 8[ $\mu$ s]의 프라이밍 펄스 폭이 가장 최적화된 프라이밍 방전 펄스폭이라고 할 수가 있을 것이다. 이때 최적의 프라이밍이 되는 전압은 X, Y 전극 각각 163[V]를 얻었다.

그림 8은 프라이밍 펄스폭과 프라이밍 펄스전압과의 관계를 나타낸 것으로 각각의 영역 (a)는 표시

방전이 불안정해지는 프라이밍 펄스 전압의 영역, (b)는 프라이밍 방전과 자기소거방전만 일어나는 영역, (c)는 프라이밍 방전과 자기소거방전 그리고 제2소거방전이 모두 일어나는 영역 그리고 (d)는 프라이밍 방전과 제2자기소거 방전만 일어나는 영역을 나타낸다.

그림에서 보면 (a)영역과 (b)영역과의 경계인 표시방전이 안정하게 유지되는 프라이밍 전압의 한계는 프라이밍 펄스 폭에 무관하게 일정함을 알 수가 있다. 방전전류가 프라이밍 펄스 폭에 무관하므로 프라이밍 방전에 의해 축적되는 벽전하량은 프라이밍 펄스폭에 무관하다. 그러므로 강방전과 자기소거방전으로만 초기화 기능이 이루어지는 한계전압은 펄스 폭에 무관하고 공간전하의 영향하고도 무관하다고 추론할 수 있다.

(b)영역에서는 펄스폭이 넓어질수록 프라이밍 펄스전압이 높아져가는데 이는 펄스폭에 따라 감소하는 공간전하를 고려하면 상대적으로 강한 방전으로 벽전하의 양이 늘어나야 자기소거방전이 용이하게 일어날 수 있음을 시사하는 것이다. (c)영역은 앞에서 언급하였듯이 프라이밍 방전이 약하여 자기소거에 충분한 벽전하를 축적시키지 못하여 자기소거방전 만으로는 모든 벽전하를 소거시킬 수 없어 제2소거가 일어나는 영역이라고 할 수 있다. (d)영역은 프라이밍 방전이 더욱 약화되어 자기소거가 거의 일어날 수 없어 제2소거방전으로 잔류벽전하를 소거하는 경우이다. 이로부터 프라이밍 펄스폭을 8[ $\mu$ s]로 설계한다면 최적의 프라이밍 방전에서의 전압의 동작마진을 15[V]이상 확보할 수 있다는 것을 나타낸다.

프라이밍 펄스의 펄스폭이 점점 넓어지면 (b)와 (c)의 경계인 제2소거방전의 한계 및 (c)와 (d)의 경계인 자기소거방전의 한계가 점점 포화되어 가는 것과 각 영역이 좁아지는 것을 알 수 있다. 이는 좀더 여러각도에서 실험해보아야 하지만 프라이밍 펄스폭이 어느정도 이상이 되면 펄스폭에 무관하게 프라이밍 방전 전압에 의해 다른 영역으로 이동해 간다고 해석할 수 있다. 그림 7의 그래프의 수직축은 프라이밍 방전의 강도를 의미하므로 벽전하의 축적량과 관계가 있고 수평축은 펄스폭이므로 시변특성이라고 한다면 공간전하의 수명과 관계가 있다고 할

수 있을 것이다. 즉 이 그래프의 결과는 PDP의 방전에 미치는 공간전하의 수명을 간접적으로 나타내다고 할 수 있다. 그림에서 보면 프라이밍 펄스전압들은 약 16[ $\mu$ s] 이후부터 포화되기 시작한다. 또한 프라이밍 펄스 폭 22[ $\mu$ s]이후는 변화가 거의 없어 표기를 생략하고 포화 여부를 알기 위해서 실험 가능한 최대 펄스폭인 30[ $\mu$ s]의 전압(그래프의 가장 오른쪽  $\times$ □○)만 표시하였다. 이로부터 추론하면 PDP에서 공간전하는 생성직후부터 16[ $\mu$ s] 정도까지 방전에 강한 영향을 주며 프라이밍 펄스의 폭은 16[ $\mu$ s] 이내가 적당할 것으로 사료된다. 이 결과는 방전에서 발생하는 공간전하가 다음 방전에 영향을 미치는 것은 수십 [ $\mu$ s] 이내라고 밝힌 기존의 연구결과[5][6]들과도 일치하는 것이다.

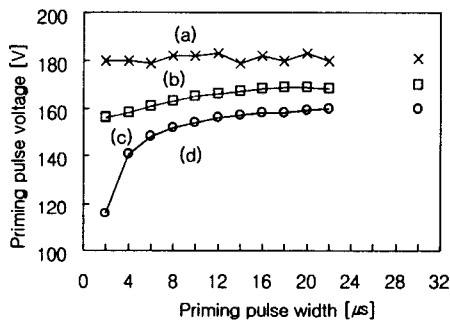


그림 8. 프라이밍 펄스폭과 프라이밍 펄스전압과의 관계  
Fig. 8. The relation between priming pulse width and priming pulse voltage

#### 4. 결 론

본 연구에서는 실험을 통하여 3전극 교류구동형 면방전 PDP의 구동특성 중 패널의 방전 조건을 초기화하는 초기화기간의 프라이밍 방전특성에 대하여 해석하였다. 그리고 연구결과 다음과 같은 사실들을 알았다.

(1) 프라이밍 방전에 의해 축적되는 벽전하량과 벽전하 축적 시간은 방전전압과 관계가 있으며 펄스 폭에는 무관하다.

(2) 프라이밍 펄스의 종료직후 발생하는 자기소거 방전은 프라이밍 방전에 의한 벽전하량과 관련이 있

을 뿐만 아니라 이때 발생하는 공간전하량과도 관계가 있다.

(3) 프라이밍 방전 펄스 폭은 8[ $\mu$ s] 정도가 적당하며 이때 프라이밍 방전전압은 X, Y 전극 각각 163[V]를 얻었다.

(4) 자기소거방전에 도움을 주는 공간전하는 방전 발생후 16[ $\mu$ s]정도까지 존재한다.

(5) 프라이밍 방전전압은 펄스폭이 넓어짐에 따라 일정 전압에서 포화하는 경향을 지니며 프라이밍 펄스폭은 16[ $\mu$ s] 이내가 적당하다.

본 연구에서는 강방전 펄스에 대해 프라이밍 방전의 특성을 해석하였으나 추후에는 서서히 변화하는 램프형태의 프라이밍 펄스에 대해서 실험하여 본 연구결과의 타당성을 검증해볼 필요가 있다.

#### References

- [1] S. Mikoshiba, "Plasma Display 最新技術", ED Research, 1996.
- [2] H. Hirakawa, et al., "Cell Structure and Driving Method of a 25-in. (64-cm) Diagonal High-Resolution Color ac Plasma Display", SID 98 Digest, pp.279~282, 1998.
- [3] J. Ryeom, et al., "The New Driving Scheme of Full TV Field Display for 42-in. WGA FDP", SID 00 DICAST, pp.738-741, 2000.
- [4] E. Mizobata, et al., "Development of a New Gray Scale Driving Method by Controlling Wall Voltage of Addressing Step", SID 02 Digest, pp.944-947, 2002.
- [5] Jeongduk Ryeom, "A Study on the Characteristics of Space Charge for the Plasma Display", J of KIEE Vol. 15, No.6 pp.1-7, 2001.
- [6] Y.Takeda, et al., "A Technique for Reducing Data Pulse Voltage in AC-PDPs using Metastable-Particle Priming", IDW 99, pp747-750, 1999.
- [7] L. F. Weber, "Plasma Display Device Challenges", ASIA Display 98, pp.15-pp.27, 1998.

#### ◇ 저자소개 ◇

##### 염 정 덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 전기공학과 졸업, 1989년 서울대학교 대학원 전기공학과 졸업(석사). 1992년 서울대학교 대학원 전기공학과 졸업(박사). 1992년~1995년 LG전자 영상미디어 연구소 선임연구원, 1996년 일본 전기·통신대학 외국인 연구원. 1997년~1999년 삼성SDI PDP팀 선임연구원. 현재 경주대학교 컴퓨터전자공학부 전임강사.