

고속 인쇄회로기판에서 잡음원 위치에 따른 전도 잡음 특성 분석 및 부양된 접지 아일랜드를 이용한 전원부 잡음 감소 방법

Transfer Characteristic for Various Noise Source Positions and Power Bus Noise Reduction Method using Elevated Ground Island in High Speed PCBs

이 신 영 · 권 덕 규 · 이 해 영

Shin-Young Yi · Duk-Kyu Kwon · Hai-Young Lee

요 약

본 논문에서는 파워 아일랜드(power island)의 설계지침을 연구하였다. 일반적으로 파워 아일랜드는 각 파워 버스(power bus)의 구조적 공진에 의해 잡음 전달이 증가하는 단점이 있다. 따라서 본 논문에서는 잡음원의 위치를 변화시킴으로서 공진을 억제하였으며 개선된 잡음 특성을 위해서 EGI(Elevated Ground Island)를 제안하였다. 해석결과, 잡음원의 위치에 따라 파워 버스의 공진을 최소로 감소시켰으며, EGI를 이용하여 공진에 의해 발생하는 잡음 전달을 11 Ω까지 감소시켰다.

Abstract

In this paper, design rule of power island is studied. Power island have a defect that increase transfer noise when each power bus structure is resonant. So, in this paper, resonances are suppressed for various noise source positions and in order to improve noise characteristics, it is suggested EGI in order to improve noise characteristic. At the simulation result, the least resonance is showed for various noise source position and transfer impedance with power bus resonance is reduced about 11 Ω by EGI.

Key words : EGI, Power Island, Power Bus, Resonance

I. 서 론

인쇄회로기판(PCBs : Printed Circuit Boards)의 동작 주파수가 증가됨에 따라 고주파 잡음원(noise source) 역시 증가되고 있다. 이에 따라 전자파 장애 문제(EMI : Electromagnetic Interference)가 발생할 가능성 역시 증가되고 있다^{[1],[2]}. 특히 파워 버스에 영향을 주는 SSN(Simultaneous Switching Noise)과

같은 잡음은 전체 시스템의 오동작을 유발할 수 있다. 따라서 최근 파워 버스에 발생하는 잡음을 억제하는 방법에 대한 다양한 연구가 이루어지고 있다^{[3]-[11]}. 이와 같은 다양한 연구 중 파워 아일랜드는 여러 회로가 같은 인쇄회로기판에서 동작할 때 각 회로간의 잡음 영향을 막기 위하여 사용되는 가장 일반적인 방법이다. 기판에서 사용되는 파워 아일랜드의 예는 그림 1에 나타난 것처럼 잡음이 발생하는

아주대학교 전자공학부(School of Electronics Engineering, Ajou University)

· 논문 번호 : 20020820-099

· 수정완료일자 : 2003년 1월 3일

부분(noisy zone)에서 잡음에 영향을 받는 부분(quiet zone)으로의 잡음 전달을 방지하기 위해 전원 평면(power plane)을 물리적으로 분리시키는 것이다^[1]. 이런 파워 아일랜드는 인쇄회로기판을 제작하는 과정에서 특별한 추가 공정 없이 제작될 수 있기 때문에 디커플링 캐패시터(decoupling capacitor)와 같은 별도의 회로소자를 이용한 방법에 비하여 원가가 절감될 뿐만 아니라 물리적으로 각 부분을 분리함으로써 회로간에 잡음 전달 역시 디커플링 캐패시터를 사용하는 방법과 비교하여 높은 주파수까지 효과적이다^{[10],[11]}.

하지만 파워 아일랜드는 각 파워 버스의 구조적 공진이 일치하는 주파수에서 잡음 전달이 증가하는 단점이 [11],[14]에 보고되고 있다. 기존의 설계지침에서는 이와 같은 잡음 전달을 억제하기 위해서 크기를 변화시켜서 파워 버스 간에 같은 주파수에서 공진이 발생하는 것을 방지하는 방법이 사용되었다^[11]. 하지만 회로의 크기가 결정되어 있는 경우에는 사용이 불가능할 뿐만 아니라 크기를 변화시켜도 다른 주파수에서 공진이 발생할 수 있다는 단점이 있다. 본 논문에서는 일반적인 설계지침의 단점을 확인하고 공진주파수를 기준으로 저주파와 고주파에서의 설계지침을 분리하였다. 이때 저주파에서는 기존의 설계지침의 유용성을 확인하였다. 그리고 마지막으로 본 논문에서 제안된 설계지침을 이용하여 고주파에서의 공진에 의한 잡음 전달을 방지하는 것을 확인하였다. 해석결과 잡음원의 위치에 따라 파워 버스에서 발생하는 공진을 감소시킬 수 있었으며, 본 논문에서 제안된 EGI의 효과를 확인할 수

있었다. 이와 같은 연구를 토대로 더욱 개선된 파워 아일랜드를 설계할 수 있을 것이 기대된다.

II. 파워 아일랜드 구조 및 해석 결과

2-1 샘플 측정 구조 및 해석 방법

그림 2는 해석 결과의 신뢰성을 확보하기 위하여 FR-4 기판을 이용하여 제작된 파워 아일랜드의 측정 구조이다. 측정에 사용된 FR-4($\epsilon_r=4.4$, $\tan \delta=0.01@500\text{ MHz}$)기판의 두께는 0.8 mm이고, 파워 아일랜드 간에 간격(w)은 1.8 mm이다. 그림 2에서 잡음원을 가정한 1 포트는 (0, 0)을 기준으로 하여 (20, 20)에 인가하였으며 2 포트는 (100, 60)에 위치시켰다. 측정 결과와 비교하기 위한 해석은 유한 요소법을 사용하는 상용 시뮬레이션 툴인 HFSS(High Frequency Structure Simulator)를 이용하였다^[12]. 해석시 전체 산란계수 크기의 변화율이 3% 이내에 수렴하도록 유한 요소 메쉬(mesh)생성을 반복 수행하였으며, 포트는 틀에서 제공되는 50 Ω 갭소스(gap source)를 사용하였다. 또한 방사효과를 고려하기 위해 구조로부터 기판 두께의 10배 떨어진 지점에 흡수경계조건(ABC : Absorbing Boundary Condition)을 적용하여 실제 경계조건과 유사하도록 설정하였다. 해석에서 사용된 재료 정수(material parameter)는 실제와 유사하게 손실을 고려하여 해석하

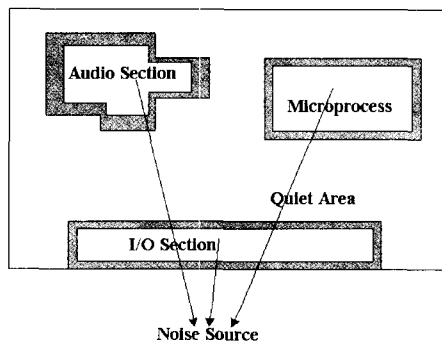


그림 1. 파워 아일랜드의 사용 예
Fig. 1. Example of using power island.

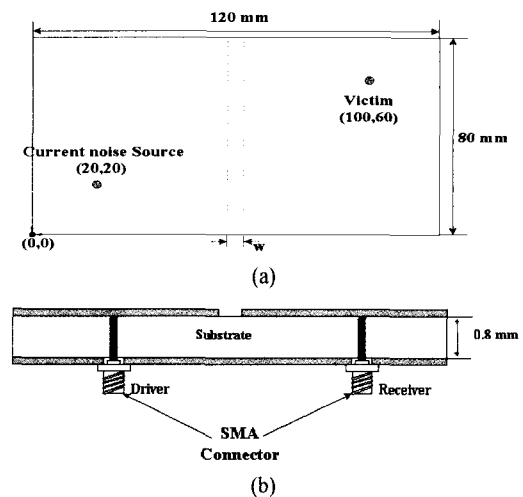


그림 2. 샘플 구조 (a) 평면도, (b) 측면도
Fig. 2. Sample structure.
(a) Top view, (b) Side view

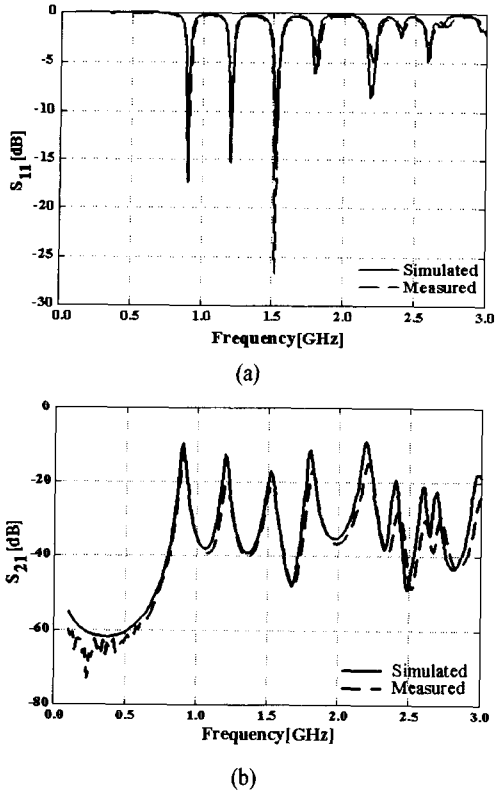


그림 3. 샘플 구조 측정 결과와 해석 결과
(a) 반사 손실, (b) 삽입 손실

Fig. 3. Measured and simulation result of sample structure. (a) Return loss, (b) Insertion loss

였다. 이러한 해석 결과와 벡터 회로망 측정기(VNA : Vector Network Analyzer)를 이용하여 측정한 결과를 그림 3에서 비교하였다. 그림 3에서 해석결과와 측정결과가 오차범위 내에서 일치함을 확인할 수 있으며, 이러한 결과는 해석의 신뢰성을 제공한다.

2-2 파워 아일랜드 구조 및 해석 결과

2-2-1 해석 구조

그림 4는 12 cm×8 cm 크기의 높이가 1.2 mm인 FR-4 양면기판을 가정하여 파워 아일랜드의 잡음 특성을 해석하기 위한 구조이다. 그림 4 (b)에서 점선으로 표시된 부분은 파워 아일랜드의 전원 평면이 분리된 부분이며 구조적 공진에 의한 잡음 전달 확인을 용이하게 하기 위하여 각 파워 버스의 구조는 동일하게 설계하였다. 해석은 파워 버스 사이에

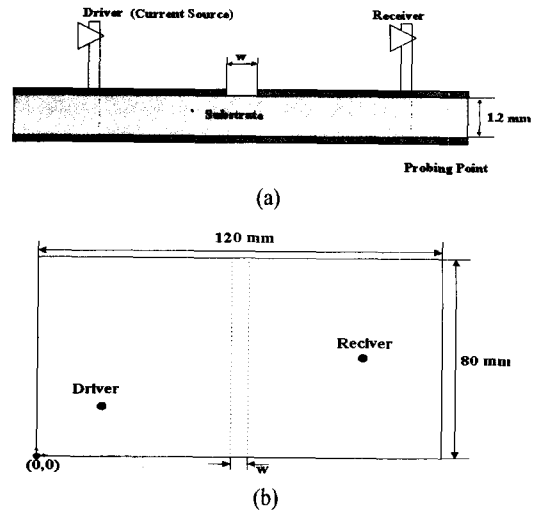


그림 4. 일반적인 파워 아일랜드 해석 구조
(a) 측면도, (b) 평면도

Fig. 4. Simulation structure of conventional power island. (a) Side view, (b) Top view

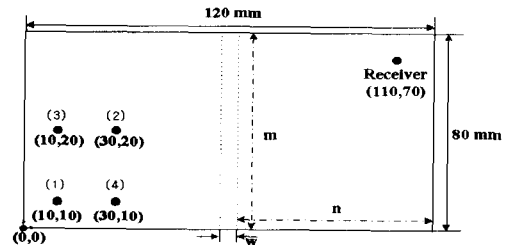


그림 5. 전류 잡음원의 위치에 따른 잡음 전달 특성 해석 구조

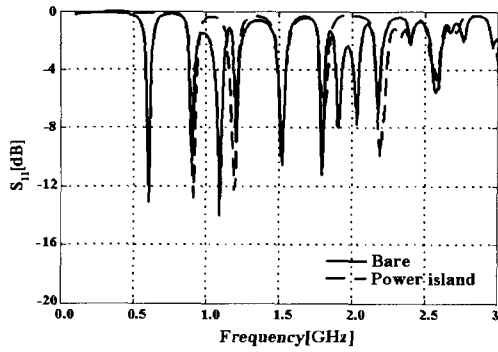
Fig. 5. Simulation structure according to position of current noise source.

간격에 따른 영향을 알아보기 위하여 각각의 파워 아일랜드의 폭(w)을 4 mm~1.6 mm까지 4 mm 간격으로 변화시켰다. 그리고 잡음원의 위치에 따른 구조적 공진의 감소를 확인하기 위해 (1)~(4)로 다르게 해석하였다.

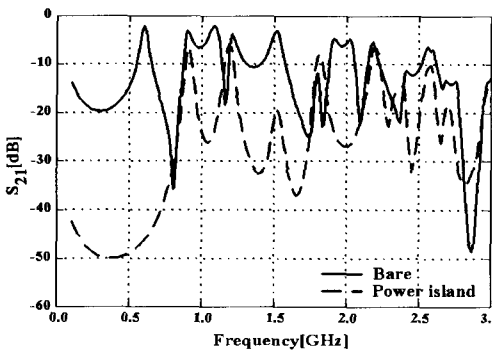
2-2-2 해석 결과

그림 6은 파워 아일랜드와 분리되지 않은 전원 평면/접지평면(power/ground plane)의 잡음 전달 특성을 비교하였다. 해석 결과에서 파워 아일랜드는 구조적 공진이 발생하지 않는 저주파에서는 효과적으로 잡음 전달을 방지할 수 있으나 공진이 발생하는

고속 인쇄회로기판에서 잡음원 위치에 따른 전도 잡음 특성 분석 및 부양된 접지 아일랜드를 이용한 전원부 잡음 감소 방법



(a)



(b)

그림 6. 분리되지 않은 전원평면/접지평면과 파워 아일랜드구조의 해석 결과 비교
(a) 반사 손실, (b) 삽입 손실

Fig. 6. Simulation result comparison of bare board and power island.
(a) Return loss, (b) Insertion loss

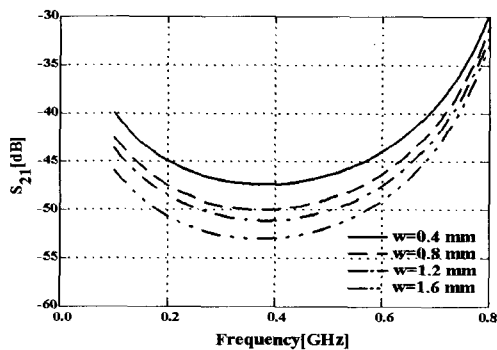
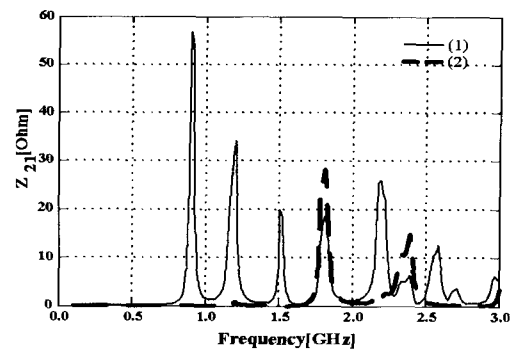


그림 7. 각각의 파워 아일랜드 사이의 분리 간격에 따른 잡음 전달 특성

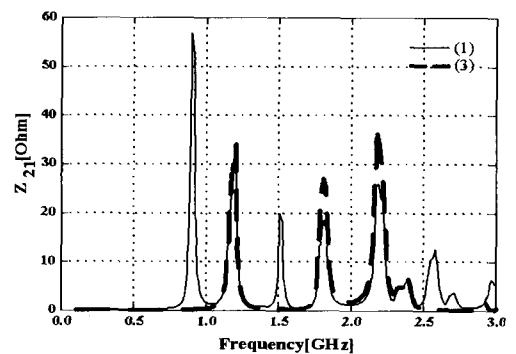
Fig. 7. Transfer noise characteristic according to gap distance between each power islands.

고주파에서는 효과가 없는 것을 확인할 수 있다.

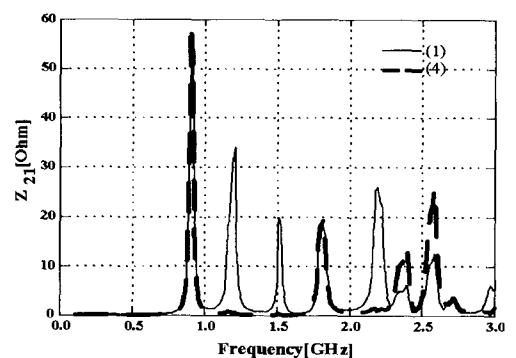
이와 같이 각 파워 버스의 구조적 공진이 일치할



(a)



(b)



(c)

그림 8. 잡음원의 위치 따른 전달 특성 해석 결과
(a) (1)과 (2), (b) (1)과 (3), (c) (1)과 (3)

Fig. 8. Simulation result according to position of noise source. (a) (1) and (2), (b) (1) and (3), (c) (1) and (4)

때 발생하는 잡음 전달은 일반적인 파워 아일랜드 설계지침을 이용해서는 감소되지 않는다. 따라서 본 논문에서는 파워 아일랜드의 구조적 공진이 발생하는 주파수를 기준으로 저주파와 고주파에서의 설계 지침을 나누었다.

그림 7은 구조적 공진이 발생하지 않는 저주파에

서 잡음 전달을 억제하기 위한 이반적인 설계지침의 해석 결과이다. 해석 결과에서 두 평면 사이의 간격이 넓어질수록 잡음 전달이 감소한다. 이것은 간격이 넓어질수록 간격 캐패시턴스(gap capacitance)가 감소하여 두 파워 버스 간에 직렬 임피던스(series impedance)가 증가하게 되기 때문이다. 이에 따라 저주파 대역에서는 간격을 넓힘으로서 잡음 전달을 억제할 수 있다^[11].

고주파에서의 잡음 전달은 구조적 공진에 기인한다. 따라서 파워 아일랜드의 구조적 공진을 억제하는 것이 고주파에서의 설계 지침이 될 수 있다^{[10],[11]}. 따라서 본 논문에서는 고주파에서 공진 발생을 막기 위해서 그림 5의 (1)~(4)까지 잡음원의 위치를 변화시키며 해석하였다. 해석 결과는 임피던스 파라미터를 이용하여 표시하였다.

그림 8 (a)에서 (1)의 위치에 잡음원이 있는 경우 인가된 파워버스에서 발생하는 구조적 공진(resonance)은 총 9개의 주파수에서 발생된다. 그러나 잡음원의 위치를 (2), (3), (4)로 각각 해석하였을 때 공진이 발생하는 주파수의 개수가 줄어들었다. 이는 입사된 잡음에 의한 공진은 입사 위치에 따른 구조의 입력 임피던스가 변화하여 발생되기 때문이다^[13]. 해석 결과에서 (2)에 입사되는 경우 잡음원의 위치와 구조적 특성에 의한 입력 임피던스가 최대가 되는 주파수가 (1), (3), (4)에 비해 가장 적기 때문에 전 해석 주파수에서 잡음 전달이 감소하였다.

III. EGI 구조 및 해석 결과

3-1 EGI 해석 구조 및 해석 결과

3-1-1 해석 구조

그림 9는 파워 아일랜드의 구조적 공진에 의한 잡음 전달을 억제하기 위하여 본 논문에서 제안된 EGI 구조이다. 제안된 EGI 구조는 각 파워 버스 사이에 얇은 금속 평면을 삽입하고 이를 접지 평면과 비아(via)를 통하여 연결한 구조이다. 이때 삽입된 금속 평면의 폭(m)은 0.4 mm이다. 또한 EGI와 잡음인가 평면과의 간격(w)의 변화에 따른 전달 특성을 해석하기 위해서 각각 0.4 mm, 0.1 mm로 설정하였다.

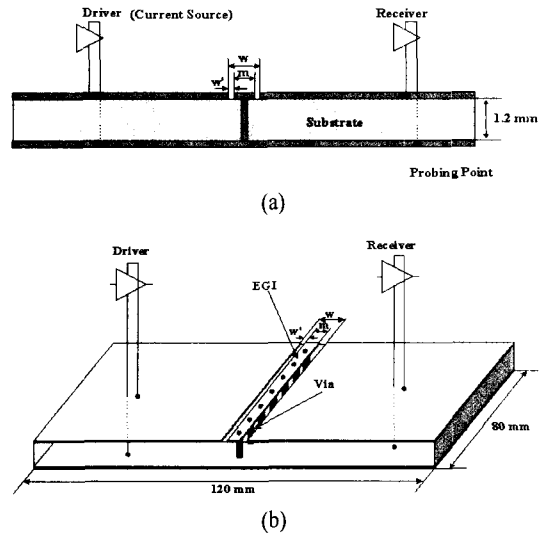


그림 9. EGI를 갖는 파워 아일랜드 해석 구조
(a) 측면도, (b) 전면도
Fig. 9. Power island simulation structure with EGI.
(a) Side view, (b) Overall view

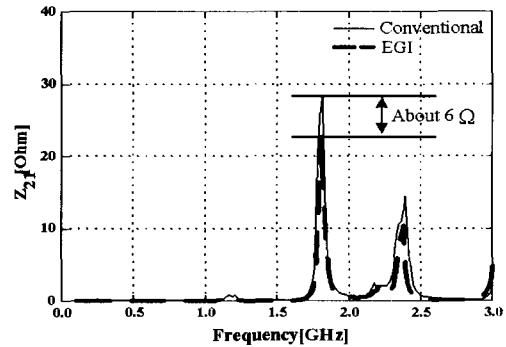


그림 10. EGI 구조와 일반적인 파워 아일랜드 구조의 전달 임피던스 비교
Fig. 10. Comparison transfer impedance between EGI structure and general one.

3-1-2 해석 결과

그림 10은 본 논문에서 제안된 EGI 구조를 이용한 파워 아일랜드와 일반적인 파워 아일랜드의 잡음 전달 특성을 비교한 결과이다. 해석 결과, 제안된 구조의 잡음 전달이 일반적인 파워 아일랜드의 구조적 공진이 발생하는 주파수에서 약 6 Ω 감소하였다. 이와 같은 감소는 제안된 EGI 구조가 파워 버스의 공진에서 발생하는 불요 전계(electric field)의 바이패스(bypass) 경로가 되기 때문이다.

고속 인쇄회로기판에서 잡음원 위치에 따른 전도 잡음 특성 분석 및 부양된 접지 아일랜드를 이용한 전원부 잡음 감소 방법

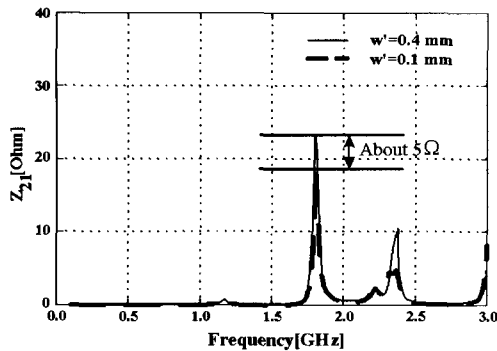


그림 11. w' 값에 따른 전달 임피던스 변화
Fig. 11. Transfer impedance according to w' .

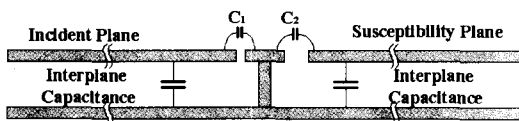


그림 12. EGI 구조의 간단한 회로도
Fig. 12. Simple circuit modeling of EGI.

그림 11은 EGI를 이용한 파워 아일랜드의 설계 시 더욱 개선된 잡음 특성을 얻기 위해 그림 9의 w' 을 변화시키며 해석한 결과이다. 그림 12는 EGI를 이용한 파워 아일랜드를 표현하는 등가회로이다. 해석 결과에서 w' 이 0.1 mm인 경우 0.4 mm인 경우에 비해 약 5 Ω의 잡음 전달이 감소하였다. 이는 그림 12에서 w' 가 0.4 mm에서 0.1 mm로 작아짐에 따라 잡음원이 인가되는 파워 버스와 EGI 사이에 커패시턴스(C_1)는 증가하는 반면 감지점이 있는 파워 버스와 커패시턴스(C_2)는 감소한다. 따라서 더 낮은 임피던스의 바이패스 경로가 형성되어 인가된 잡음의 바이패스되는 양이 증가하여 잡음 전달이 감소하게 된다. 또한 잡음에 영향을 받는 평면과의 직렬 임피던스는 증가하여 더욱 적은 양의 잡음만이 전달되게 된다. 따라서 본 논문에서 제안된 EGI 구조를 이용한 파워 아일랜드를 설계하는 경우, 잡음 전달을 효과적으로 방지할 수 있다.

IV. 결 론

본 논문은 전원부 잡음 전달을 방지하기 위해서 사용되는 파워 아일랜드의 새로운 설계지침을 연구하였다. 일반적으로 파워 아일랜드는 구조적 공진에

의해 잡음 전달이 증가하는 단점이 있다. 따라서 본 논문에서는 잡음원의 위치를 변화시킴에 따라 공진 발생을 억제하는 방법과 잡음 전달을 억제하기 위한 EGI를 제안하였다. 제안된 방법을 확인하기 위해서 먼저 공진이 일어나는 주파수를 기준으로 저주파와 고주파로 나누어 설계지침을 적용하였다. 이에 따라 저주파에서는 기존의 설계지침으로 잡음 전달이 방지되는 것을 확인하였다. 그리고 고주파에서 기존의 설계지침의 단점을 확인하고 본 논문에서 제안된 방법을 통해 잡음 전달이 효과적으로 감소되는 것을 확인하였다. 해석결과, 구조를 고려하여 잡음원의 위치를 선정함에 따라 공진의 발생을 최소로 줄일 수 있었으며, 제안된 EGI를 이용하여 최대 11 Ω까지 잡음 전달을 감소시킬 수 있었다. 이와 같은 결과는 전원부 잡음이 수백 mA까지 발생하는 최근의 고속 인쇄회로기판의 설계시 적용되어 회로에서 발생하는 오동작 및 방사를 감소시킬 것이 기대된다.

참 고 문 헌

- [1] Mark I. Montrose, *Printed circuit Board design techniques for EMC Compliance*, IEEE.PRESS, 1996.
- [2] Henry W. Ott, *Noise Reduction Techniques in Electronic Systems*, John Wiley & Sons, 2nd Edition, 1988.
- [3] Sergiu Radu, David Hockanson, "An Investigation of PCB Radiated Emissions from Simultaneous Switching Noise", *IEEE Symp., EMC*, vol. 2, pp. 893-898, 1999.
- [4] R. Senthinathan, J. Price, "Simultaneous Switching Noise of CMOS Device and Systems", Boston, MA, Kluwer, 1994.
- [5] X. Ye, D. M. Hockanson, M. Li, Y. Ren, W. Cui, J. L. Drewniak and R. E. DuBroff, "EMI Mitigation with Multilayer Power-Bus Stacks and Via Stitching of Reference Planes", *IEEE Trans. Electromagn. Compat.*, vol. 43, no. 4, Nov. 2001.
- [6] I. Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination", *IEEE Trans.*

Adv. Packing, vol. 22, pp, Aug. 1999.

[7] A. R. Djordjevic, T. K. Sarkar, "An investigation of delta-I Noise on Integrated Circuit", *IEEE Trans. Electromagn. Compat.*, vol. 36, no. 2, pp. 134-147, May 1993.

[8] K. Lee, A. Barbar, "Modeling and Analysis of Multichip Module Power Supply Planes", *IEEE Trans. Comp. Packag. Manufact. Technol. B*, vol. 18, no. 4, pp. 628-639, Nov. 1995.

[9] A. KAMO, T. Watanabe and H. Asai, "Simulation for the Optimal Placement of Decoupling Capacitors on Printed Circuit Boards", *IEEE International Symp. Circuits and Systems*, vol. 2, pp. 727-730, 2001.

[10] J. Fan, Y. Ren, J. Chen, D. M. Hockanson, H. Shi, J. L. Drewniak, T. H. Hubing, T. P. Van Doren and R. E. Dubroff, "RF Isolation Using Power Islands in DC Power Bus Design", *IEEE International Symp. EMC*, pp. 838-843, 1999.

[11] T. Hubing, J. Chen, J. Drewniak, T. Van Doren, Y. Ren, J. Fan and R. Dubroff, "Power Bus Noise Reduction Using Power Islands in Printed Circuit Board Designs", *IEEE International Symp. EMC*, pp. 1-4, 1999.

[12] HFSS(High Frequency Structure Simulator), ver 8.0, Ansoft.

[13] G. T. Lei, R. W. Techentin and Barry K. Gilbert, "High-Frequency Characterization of Power/Ground-Plane Structures", *IEEE Trans. Microwave Theory and Tech.*, vol. 47, no. 5 pp. 562-569, May 1999.

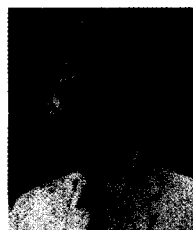
[14] J. Chen, T. H. Hubing, T. P. Van Doren and R. E. DuBroff, "Power Bus Isolation Using Power Islands in Printed Circuit Boards", *IEEE Trans. Electromagn. Compat.*, vol. 44, no. 2 pp. 373-380, May 2002.

이 신 영



2002년 2월: 아주대학교 전자공학부 (공학사)
 2002년 2월~현재: 아주대학교 전자공학부 석사과정
 [주 관심분야] EMI/EMC, 초고주파 수동소자

이 해 영



1980년 2월: 아주대학교 전자공학과 (공학사)
 1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 1982년~1986년: 국방부 연구사무관
 1989년 12월: The University of Texas at Austin (공학박사)

권 덕 규



1999년 2월: 아주대학교 전자공학과 (공학사)
 2001년 2월: 아주대학교 전자공학부 (공학석사)
 2001년~현재: 아주대학교 전자공학부 박사과정
 [주 관심분야] EMI/EMC 및 초고

1990년~1992년: 금성 중앙 연구소 기초1실장 책임연구원

1992년~현재: 아주대학교 전자공학부 정교수
 [주 관심분야] 초고속/고밀도 반도체 Package의 설계/측정, 초고주파소 및 광전자소자의 설계/측정, 초소형 안테나 해석/설계, 초전도체의 고속 전송 특성 모델링

주파 수동소자