Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 16, No. 4, p. 330, April 2003.

논 문 16-4-11

다결정 다공성 실리콘의 전계방출 특성

Electron Emission From Porous Poly-Silicon Nano-Device for Flat Panel Display

이주원*, 김 훈*, 이윤희**, 장 진***, 주병권*
(Joo-won Lee*, Hoon-Kim*, Yun-Hi Lee**, Jin-Jang***, and Byeong-Kwon Ju*)

Abstract

This paper reports the optimum structure of the vacuum packaged Porous poly-silicon Nano-Structured (PNS) emitter. The PNS layer was obtained by electrochemical etching process into polycrystalline silicon layer in a process controlled to anodizing condition. Current-voltage studies were carried out to optimize process condition of electron emission properties as a function of anodizing condition and top electrode thickness. Also, we measured in advance the electron emission properties as a function of substrate temperature because the vacuum packaged process was performed under the condition of high temperature ambient (430℃). Auger Electron Spectrometer (AES) studies shows that Au as a top-electrode was diffused to PNS layer during temperature experiments. Thus, we optimized the thickness of top-electrode in order to make the vacuum package PNS emitter. As a result, the vacuum packaged PNS emitter was successfully emitted by optimizing process.

Key Words : Porous poly-silicon Nano-Structured (PNS) emitter, Electrochemical etching process, Vacuum packaged process.

1. 서 론

평판 디스플레이(Flat Panel Display: FPD)는 정보 산업 분야 (Information Technology: IT)에서 가장 중요한 핵심 소재로 그 자리를 굳혀가고 있다. 현재 평판 디스플레이는 박막 트랜지스터 액정 디스플레이 (Thin Film Transistor Liquid Crystal Display: TFT-LCD)가 주류를 이루고 있으나 색재현 성 및 응답 속도 등 몇 가지 단점 때문에 대화면 영역에서는 플라즈마 디스 플레이 패널 (Plasma Display Panel: PDP)이 빠른 속도로 발전하고 있으며, 소형 휴대 제품의 영역에서는 유기 발광 디스플레이 (Organic Light Emitting Display: OLED)의 추격을 받고 있다.

이러한 디스플레이 구현 기술 중 냉음극 전계방출 소자(field emission cold cathode)는 음극선관 (Cathode Ray Tube: CRT)의 우수한 화질을 그대로 표현할 수 있고, 음극선관의 단점인 무게와 부피를 줄일 수 있어 오랜 동안 연구되어 왔으나, 패널 내의 고 진공 유지와 형광체 및 스페이서 (spacer) 관련기술 및 균일한 대면적화를 위한 반도체 공정상의 한계점 등이 여전히 해결해야 할 문제점으로 남아 있다[1-3].

최근 이러한 문제점을 보완할 수 있는 다공질 다결정 실리콘 나노 구조(Porous Polycrystalline silicon Nano-Structure: PNS) emitter 의 전계 방출(field emission) 특성이 보고 되면서[4-6],

* : 한국과학기술연구원
(서울시 성북구 하월곡동 39-1
Fax: 02-958-5692
Corresponding Author : won@kist.re.kr)
** : 고려대학교 물리학과
*** : 경희대학교 물리학과
2002년 10월 1일 접수, 2002년 11월25일 1차 심사완료, 2003년 2월 8일 최종 심사완료

표 1. 양극 산화 조건.

Table 1. Anodizing condition.

	Anodizing Condition	
Sample No.	J(mA/cm²)	Time (sec)
#1	5	50
#2	5	60
#3	5	70
#4	10	10
#5	10	20
#6	10	30
#7	20	20
#8	20	30

이를 새로운 평판 디스플레이 (FPD) 소자로 적용시키고자 하는 움직임이 활발하게 일고 있다.

PNS emitter의 전계 방출은 현재 Qusai-ballastic emission model[4-7]에 의한 해석이 지배적이다. 진공 중에서 나노 결정 (nano-crystal)을 함유한 다공질 다결정 실리콘의 상부 전극 및 양극 (anode)에 전압이 인가되면 전자들이 나노 결정 내를 통과하면서 가속 에너지를 얻는다. 나노 결정 내의 전자는 평균 자유 행정이 길어 충돌 확률이 매우 낮아 방향성을 가지고 빠르게 움직이다 외부를 둘러 싼 산화 막에 의해 더욱 가속되어 보다 쉽게 진공 내로 방출된다. 결국 낮은 저항의 결정 내부와 높은 저항의 외부 산화 막을 통과하면서 가속 에너지를 얻게 된다.

이러한 PNS emitter는 기존의 다른 형태의 냉 음극 소자들에 비하여 제작 및 대 면적화가 상대적으로 용이하고, 특히 저 진공에서도 우수한 전계 방출 특성을 가지고 있어 이를 평판 디스플레이에 적용시키기 위한 활발한 연구들이 계속해서 진행 되고 있다. 따라서 본 실험 역시 상기 특성의 PNS layer를 이용하여 냉 음극 전계 방출 소자 (field emission cold cathode)를 제작하고, 전계 방출 특성을 분석하여, 우수한 특성의 패키징된 PNS emitter를 제작 하고자 하였다.

2. 실 험

본 실험에서는 강하게 도핑 된 n-형[100] 실리콘 웨이퍼를 사용하였다. 먼저, 실리콘 웨이퍼를 120℃의 황산(H_2SO_4)과 과산화 수소(H_2O_2) 가 4:1 부피 비로 혼합된 용액으로 10분간 유기물을 제거한 후 초 순수로 세척하여 건조시켰고, 저압 화학 기상 증착기(Low Pressure Chemical Vapor Deposition: LPCVD)를 이용하여 약 2.0㎛의 다결정 실리콘(poly-silicon)을 증착 하였다. 전기 화학적 양극 처리 (anodization)는 자체적으로 제작한 장치에 불산 (HF: 50wt%)과 에탄올 (ethanol: 99.8wt%)을 1:1 부피 비로 혼합 한 후, 다결정 실리콘을 양극(+)으로 백금(Pt) 전극을 음극(-)으로 구성하여, 표1의 조건에 따라 PNS layer를 제작하였다. 제작된 PNS layer는 900℃ 에서 1시간 동안 열 산화하였는데, 산화막의 두께는 분광기 (nano-spectroscopy)로 확인한 결과 약 95nm의 두께였다. 상부 전극은 전자 빔 증착기(E-beam evaporator)를 이용하여 각각 20nm, 30nm, 45nm 두께의 금(Au)을, 하부에는 ohmic 접촉을 형성하기 위하여 열원 증발기 (thermal evaporator)를 이용하여 100nm의 두께의 알루미늄 (Al)을 각각 증착 하였다. 이렇게 제작된 PNS emitter들의 전압-전류 특성은 고 진공 (Ultra High Vacuum: UHV) 챔버 (chamber) 내부의 그림1과 같이 구성된 회로 장치로 측정하였다. 측정 시 진공은 1×10^{-5} Torr로 유지하였고, 양극(anode)및 상부 전극에는 Keithley 237 Source Measure Unit을 각각 사용하여 전압을 인가하였다. ITO(indium thin oxide) 박막 위에 형광체가 도포 된 양극은 +300V 의 전압으로 고정하였고 동시에 상부 전극은 0V ~+20V로 인가전압을 변화시켰다. 먼저 양극 산화 조건에 따른 전계 방출 특성을 측정 하였고, 계속해서 기판

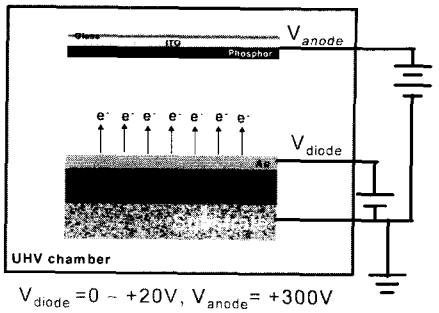


그림 1. 소자 측정을 위해 구성된 장치.

Fig. 1. A schematic diagram of the measurement system.

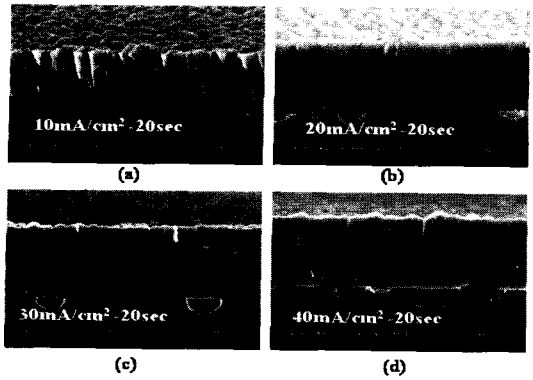


그림 2. 양극 산화 조건에 따른 계면 특성 (a)10mA/cm^2 -20sec 조건의 계면 (b)20mA/cm^2 -20sec 조건의 계면 (c)30mA/cm^2 -20sec 조건의 계면 (d) 40mA/cm^2 -20sec 조건의 계면.

Fig. 2. SEM micrographs of interface properties as a function of anodizing current for 20sec.. (a) 10mA/cm^2 (b) 20mA/cm^2 (c) 30mA/cm^2 (d) 40mA/cm^2.

온도 및 상부 전극 두께에 따른 전계 방출 특성의 변화를 측정 하였다. 기판 온도에 따른 분석은 고온 공정인 패키징 공정에 앞서 표면 및 계면 변화 분석을 위하여 실행 하였으며, 이는 오제 전자 검출법 (Auger Electron Spectroscopy: AES)을 이용하였다. 최종적으로 상부 전극의 두께를 최적화 한 공정을 이용하여 패키징 하였고, 그 결과 패키징 된 PNS emitter로부터 방출되는 전자를 관할 수 있었다.

3. 결과 및 고찰

그림 2에 인가 전류에 따라 형성된 두 계면의 형상을 나타내었다. 계면분석에서 다공성 다결정 실리콘과 기판 실리콘의 경계가 명확하여 보다 쉽게 구조 관찰이 가능 하였고, 또한 인가 전류에 따라 다르게 형성된 PNS layer의 형상 역시 관찰 할 수 있었다. 형성되는 PNS layer는 기판과 수직한 방향이었고, 그 모양은 전류량에 따라 차이를 보이고 있었다. 이러한 차이는 전류량에 따른 다결정 실리콘과 반응량 및 반응 속도에 관계있는 것으로 예상되었으며, 또한 증가하는 전류량에 따라 깊이 (depth) 또한 증가하여 그림 2의(c), (d)의 경우에

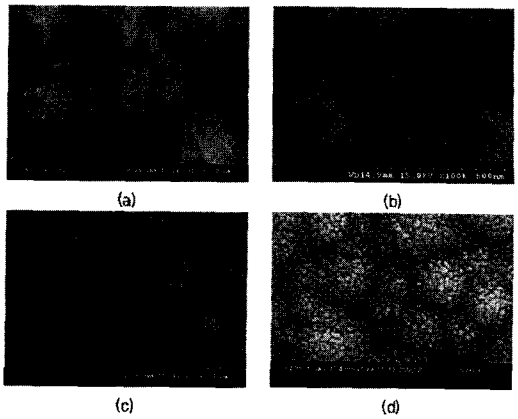
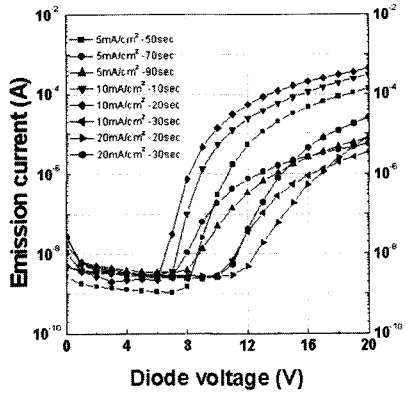


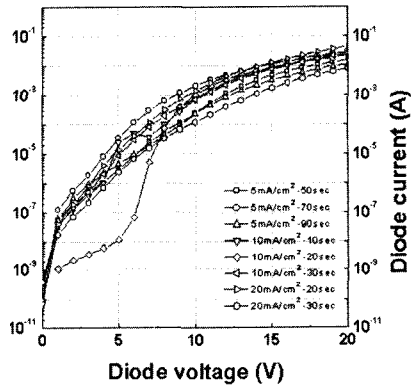
그림 3. 공정 단계별 표면 SEM 사진. (a)다결정 실리콘의 표면 (b)전기 화학적 양극 산화 후 표면 (c)열 산화 후의 표면 (d) 상부 전극 (금:Au) 증착 후의 표면.

Fig. 3. SEM micrographs for the fabricating process step. (a) The surface of non-doped polysilicon. (b) The morphology of porous polysilicon nano-structure (c) Surface view of PNS after oxidation. (d) The formation of Au on oxide.

는 바닥 실리콘 기판과 격리된 형상을 보이고 있었다. 이렇게 격리된 형상은 전자의 흐름을 저해할 수 있는 큰 장벽이 되므로 고정된 시간에 기판을 격리시킬 수 있는 전류량은 배제되었다.그림 3은 10mA/cm^2 의 전류로 20초 동안 양극 처리한 소자를 단계 별로 SEM 측정한 PNS의 표면 형태(morphology)사진이다. (a)는 저압 화학 기상 증착기(Low Pressure Chemical Vapor Deposition: LPCVD)로 증착한 다결정 실리콘의 표면으로 결정립(grain)의 크기를 관찰 할 수 있었다. (b)는 조건 #5 번으로 전기 화학적 양극 산화한 표면으로 다결정 실리콘 결정립이 결정면을 따라 수nm로 형성 된 기공(pore)들이 넓게 분포되어 있었다. (c)는 (b)를 900℃ 에서 1시간 동안 열 산화한 후 측정한 표면으로, 나노 결정이 함유된 기공들 사이 및 표면에 얇은 산화막이 형성되어 결정면에 따라 갈라진 기공이 폭이 좁아지는 것을 확인 할수 있었다. (d)는 전자 빔으로 20nm 두께의 금(Au)을 증착 한 후의 표면으로 형상은 다결정 실리콘을 유지하면서 전체적인 표면은 미세한금(Au) 결정들로 분포



(a)



(b)

그림 4. PNS emitter 들의 최대 전계 방출 전류 (maximum emission current) 및 동작 개시 전압(turn-on voltage) 과 다이오드 전류 (diode current).

Fig. 4. Turn-on voltage, maximum emission current and diode current of PNS emitter as a function of anodizing condition.

되어 있었다.

그림 4에 표1의 조건들로 양극 산화한 PNS의 전계 방출 특성을 측정하여 비교하였다. 10mA/cm^{2}의 전류 밀도로 양극 산화한 나노 구조들이 5mA/cm^2, 20mA/cm^2 전류 밀도에 비하여 낮은 동작 개시 전압(turn-on voltage)과 높은 전계 방출 (field emission)특성을 보였다. 특히, #5의 경우 +6V를 상부 전극에 인가하였을 때 동작 개시되어 +20V 에서는 약 200μA 방출 전류(emission current)가 측정되어 다른 조건들에 비하여 월등한 특성을 지니고 있었다.

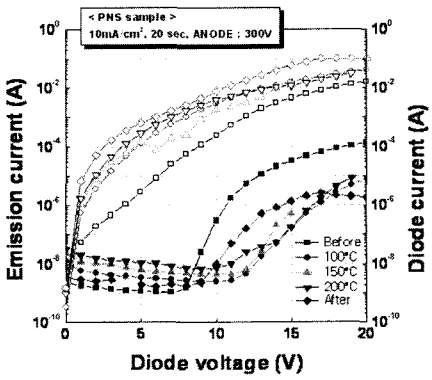


그림 5. 상부 전극 두께에 따른 전계 방출 특성.

Fig. 5. Current-voltage characteristics as a function of Au film thickness.

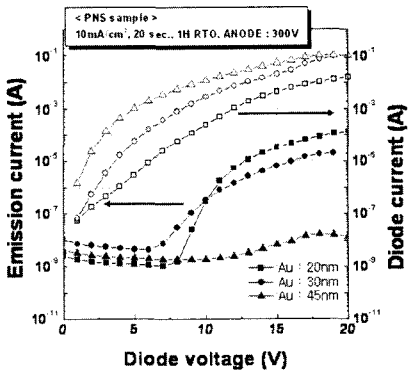
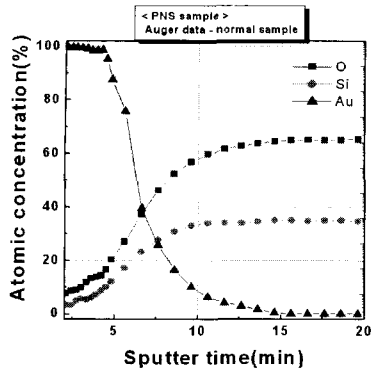


그림 6. 측정 온도에 따른 전계 방출 특성.

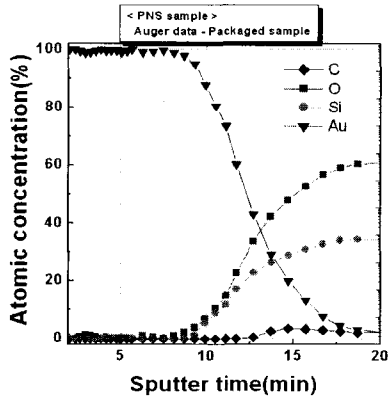
Fig. 6. Current-voltage characteristics of PNS diode as a function of substrate temperature.

전류 밀도와 시간의 조건에 따라 다른 양상을 보이는 현상은 PNS emitter의 전계 방출 특성이 전기 화학적 양극 산화 조건에 강하게 의존하고 있음을 나타낸다.

양극 산화 조건이 서로 다른 소자들의 동작 개시 전압 및 최대 전계 방출 전류를 그림 5에 나타내었다. #1, #4의 경우에는 높은 방출 전류는 측정되었으나 동작 개시 전압 역시 높았고, #2와 #3은 동작 개시 전압은 낮으나 방출 전류가 낮게 측정되었으며, #7과 #8은 다소 높은 방출 전류가 측정되었으나 동작 개시 전압이 매우 높아 적절하지



(a)



(b)

그림 7. 오제 전자 검출법으로 분석한 상부 전극의 확산 정도.(a) 패키징 공정 전의 PNS emitter. (b) 패키징 공정 후의 PNS emitter.

Fig. 7. The depth profile of Au onto PNS emitter using AES (a) As-fabricated PNS emitter, (b) Annealed PNS emitter.

못한 조건들이었다

반면 #5의 경우에는 그림3에서 확인 한 바와 같이 동작 개시 전압은 낮고 방출 전류는 높게 측정되어 가장 우수한 전계 방출 조건으로 나타났다. 그림 5에 다른 두께의 상부 전극을 증착한 PNS emitter의 전압-전류 특성을 나타내었다. 이그림에서 다이오드 전류는 상부 전극의 두께가 두꺼워 질수록 증가하고, 전계 방출 전류는 상부 전극의 두께가 두꺼워 질수록 감소한다는 사실을 알 수 있었다.

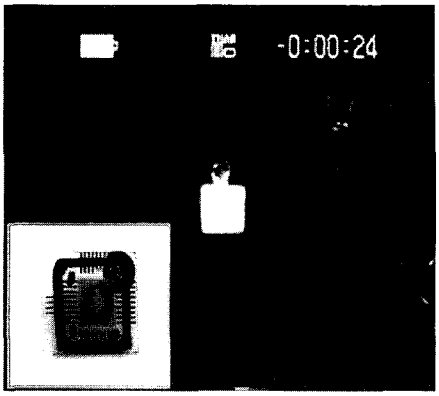


그림 8. 확산을 고려한 최적의 상부을 증착한 후 패키징 한 PNS emitte.

Fig. 8. Light emission pattern of the PNS emitter after packaging process.

이는 PNS layer표면에서 상부 전극을 터널링하는 전자와 관련된 것으로 예상되며, 본 실험에서는 20nm 두께의 상부 전극이 최적의 조건으로 측정되었다.

온도에 따른 전류-전압 특성을 그림6에 나타내었다. 측정 온도는 상온에서 300℃까지 기판 아래의 할로겐전구를 사용하여 가열 하였고, 양극 산화 조건#5 에 상부 전극은 20nm의 금(Au)이 증착 된 PNS emitter를 사용하였다. 측정 결과 기판의 온도가 증가 할수록 다이오드 전류값은 증가하였고, 전계 방출 전류 값은 감소하였다. 또한 300℃이상의 기판의 온도에서는 전계 방출 전류 값이 측정되지 않았으며 온도 측정 실험 후에 재 측정한 값은 실험 전에 비하여 낮은 전계 방출 전류와 높은 다이오드 전류 값을 보였다. 이러한 현상은, 다른 종류의 두 물질이 긴밀하게 접촉할 경우, 두 물질의 계면(interface)을 통과하여 발생하는 확산(diffusion) 현상에 기인한다. 특히 다른 물질로 침투가 용이한 반도체와 관련된 확산 현상은, 합금의 형태나 결정립(grain)의 성장, 용해된 금속의 침투로 나타나며, 기판 온도와 열적인 활성화 에너지에 의존하는 현상이 두드러지게 나타난다[8]. 따라서 온도 측정 실험 후 나타난 PNS emitter의 현상은 상부 전극이 산화 막으로 얇게 침투한 확산 현상이라 예상 할 수 있었으며, 이러한 특성은 PNS emitter의 냉 음극 전계 방출 소자의 제작에 있어 큰 영향을 주었다.

온도 실험 후 나타난 상부 전극의 확산 현상을 분석하고자, AES를 사용하였다. 그림 7의 (a)는 패키징 공정 전의 PNS emitter를 (b)는 같은 종류의 PNS emitter를 패키징 공정 후의 상부 전극 특성을 분석한 그림이다. 일반적으로 패키징 공정은 유리 플릿의 소결로 인하여 고온 (430℃)에서 이루어지므로, 상부 전극의 확산 현상은 불가피하게 이루어진다. 이러한 두 계면간의 확산 현상은, 앞서 서술 한 바와 같이 전계 방출 특성을 감소시키는 주된 원인이 된다. 따라서 확산을 고려한 최적 두께의 상부 전극을 증착하여 PNS emitter를 패키징 하였고 그 결과는 그림 8에 나타내었다. 그림에서 볼 수 있듯이 발광은 PNS layer위에 Au가 증착된 면적(1 cm^2)에서 일어났으며, 방사된 전자빔의 퍼짐 현상이 발생하지 않았고, 소자 전역에서 균일한 전자 방출이 관찰되었다.

4. 결 론

다공성 다결정 실리콘 나노구조 (PNS) emitter를 제작하여 전기 화학적 양극 산화 조건 및 상부 전극의 두께, 기판 온도에 강하게 의존하는 전계 방출 특성 및 표면의 변화를 확인 할 수 있었으며, 양극 산화 반응 및 공정 단계에 따른 표면 특성을 확인하였다. 전류 밀도 및 시간을 실험 인자로 설정한 양극 산화 조건에서 최적 전계 방출 조건은 전류 밀도 10mA/cm^2로 20초 동안 제작된 PNS emitter였고, 이러한 PNS layer 표면에 증착 한 최적의 상부 전극 두께는 20nm였다. 또한, 최적의 조건으로 제작된 PNS emitter를 고 진공 챔버 안에서 기판 온도에 따른 실험을 통하여 확산 현상으로인 한 두 계면간의 특성 변화를 분석하였다. 분석된 결과는 패키징 공정 시의 확산 현상을 예상한 최적의 상부 전극 증착 조건에 사용 되었고, 그 결과 전자 방출에 의한 형광체 발광 현상 시 방출 전자 빔의 퍼짐 현상이 적고, 전자 방출이 균일하게 일어나는 사실을 알 수 있었다.

이상과 같은 결과로부터 PNS emitter를 최적의 조건으로 패키징 제작하면, 기존의 다른 형태의 냉음극 소자들에 비하여 용이하게 평판 디스플레이 구현이 가능하고, 특히 낮은 진공에서도 동작이 가능하며, 제작 및 대 면적화가 상대적으로 간단하여, 다음 세대의 대표적인 평판 디스플레이로서 응용을 기대할 수 있을 것이다

감사의 글

본 연구는 과학기술부 21세기 프론티어 연구개발사업인 지능형 마이크로시스템개발사업(http://www.microsystem.re.kr)의 연구비 지원을 받아 수행 되었습니다.

참고 문헌

[1] 이윤희, 오명환, 주병권, 이남양, "FED 기술 및 연구 개발 동향",전기전자재료학회논문지, 11권, 1호, p. 29, 1998.

[2] 이윤희, 정재훈, 오명환, 김훈, 주병권, 이상조, 차균현, "몰리브덴 팁 전계 방출 소자의 제조 및 다이아몬드 상 카본의 코팅 효과", 전기전자재료학회논문지, 11권, 7호, p. 508, 1998.

[3] 장진, 주병권, 이덕중, 오명환, "Field Emission Display 의 고진공 실장에 관한 연구", 99년도 춘계학술대회논문집, p. 103, 1999.

[4] T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, Y. Kondo, and N. Koshida, "Matrix flat panel application of ballistic electron surface-emitting display", proceed. SID 00, p. 428, 2000.

[5] H. Kim and J. W Lee, "Optimization and characterization of porous poly-silicon emitter", proceed. SID'02, p. 365, 2002.

[6] J. W Lee and H. Kim, "Electrical properties of the Porous polycrystalline silicon Nano-Structure as a cold cathode field emitter", proceed. IMID'02, p. 1035, 2002.

[7] T. Komoda, X. Sheng, and N. Koshida, "Mechanism of efficient and stable surface-emitting cold cathode based on porous polycrystalline siliconfilms", J. Vac. Sci. Tech. B, 17/3, p. 1076, 1999.

[8] Shyam P. Murarka, "Metallization: Theory and Practice for VLSI and ULSI", Butterworth- Heinemann, p. 89, 1993.