

CMOS 소자를 위한 NiSi의 Surface Damage 의존성

The Dependency of Surface Damage to NiSi for CMOS Technology

지희환, 안순의, 배미숙, 이현진, 오순영, 이희덕, 왕진석

(Hee-Hwan Ji, Soon-Eui Ahn, Mi-Suk Bae, Hun-Jin Lee, Soon-Young Oh, Hi-Deok Lee, and Jin-Suk Wang)

Abstract

The influence of silicon surface damage on nickel-silicide (NiSi) has been characterized and H₂ anneal and TiN capping has been applied to suppress the electrical, morphological deterioration phenomenon incurred by the surface damage. The substrate surface is intentionally damaged using Ar IBE (Ion beam etching) which can precisely control the etch depth. The sheet resistance of NiSi increased about 18 % by the surface damage, which is proven to be mainly due to the reduced silicide thickness. It is shown that simultaneous application of H₂ anneal and TiN capping layer is highly effective in suppressing the surface damage effect.

Key Words : Ni-Silicide, Surface damage, TiN-Capping, CMOS technology

1. 서론

고집적, 고성능의 소자제작을 위해 MOSFET의 소자는 지속적으로 scale-down 되고 있지만 게이트 길이가 작아질수록 SCE(Short Channel effect), Punch-through 등이 증가하여 소스/드레인의 깊이를 낮추고자 하는 Shallow Junction Technology가 중요시되고 있다. 또한 게이트 및 소스/드레인의 면저항을 낮추어 동작속도를 증가시키는 것이 필요한데 특히 게이트 길이가 0.18 μm 이하의 sub-micron 소자에서는 게이트 저항을 감소시켜 속도를 증가시키는 것이 매우 필요하다. 이를 위해 게이트 및 소스/드레인을 실리사이드로 구현하여 저항을 낮추고 낮은 누설전류를 갖는 Silicided Shallow Junction Technology가 널리 쓰이고 있다. 현재 게이트 길이가 0.18 μm 이하가 되는 deep-submicron 영역에서는 기존에 사용되고 있는

TiSi₂와 CoSi₂가 한계성을 보이고 있는데, TiSi₂의 경우 실리사이드의 선폭이나 두께에 대한 의존성이 높고 CoSi₂의 경우 Si의 소모율이 커 Shallow Junction에 부적합하게 되었다[1-3]. 이러한 문제점을 보완하기 위한 대체 실리사이드로서 NiSi가 최근에 활발히 연구되고 있다. NiSi는 CoSi₂에 비해 Shallow Junction에 적합한 낮은 형성온도(400~700°C)와 낮은 Si 소모율, 적은 Film stress, 낮은 비저항($\sim 14 \text{ u}\Omega \cdot \text{cm}$) 특성을 갖고 있으며 0.1 μm 의 초미세 패턴에서도 면저항의 선폭에 대한 의존성이 없어 100nm미만의 차세대 CMOS process에 적합하다고 여겨지고 있다[4,5]. 하지만 현재 ULSI 공정중 Silicidation 이후 평탄화(Planarization)를 위해 이루어지는 고온의 ILD(Inter-layer Dielectric) 증착공정에 의해 NiSi는 높은 비저항($\sim 50 \text{ u}\Omega \cdot \text{cm}$)을 갖는 NiSi₂로의 상전이(Phase Transition)와 불균일한 실리사이드/실리콘 계면상태를 유발하여 결과적으로 면저항을 증가시키고 누설전류를 증가시키게 된다. 이는 Ni가 실리사이드를 형성하는 열처리 과정에서 쉽게 산소와 결합하여 낮은 온도에서 응집(agglomeration)을 일으키기 때문인 것으로 알려져 있다[6]. 이러한 후속공정에 의한 열악한 열안정성을 향상시키

충남대학교 전자공학과
(대전시 유성구 공동 220)
Fax : 042-823-9544

Corresponding Author : jhw@cnu.ac.kr
2002년 10월 1일 접수, 2002년 11월 28일 1차 심사완료,
2003년 1월 29일 최종 심사완료

기 위해 Ni 증착전에 N₂, Ar, Si, As implant를 통한 PAI(Pre-amorphization) [7]와 H₂ 주입을 통한 산소제거[8], Ti, Co, Pt를 먼저 증착하여 inter-layer로 적용 [9,10], 그리고 Ni 증착 후 추가적인 TiN, Ti, SiO₂등의 capping 층을 증착하여 실리콘의 산화 억제 [11,12] 등 NiSi의 열안정성 확보를 위한 연구가 활발히 진행되고 있다. 위의 고려사항 외에 중요한 것은 CMOS 공정에서 Isolation에서 시작하여 실리콘형성 바로 전 단계인 소스/드레인 RTA 공정까지 무수한 공정을 거치면서 실리콘 표면이 많은 손상을 받게 된다는 것이다. 특히 게이트 산화막 형성 후에 게이트 poly 또는 active 영역이 PR-ashing, sidewall-oxide etch, 이온주입등에 의해 반도체 표면에 격자손상(lattice bonding damage)을 받게 된다 [13,14]. 이러한 손상은 trivalently-bonded silicon defect 형태로 반도체 표면에 분포하여 도너와 같은 역할(donor-like state)로 양전하를 유발하여 p-type 반도체의 경우 Schottky barrier을 증가시켜 전류-전압 특성을 변화시키고 접촉저항(Contact Resistance)을 증가시키는 것으로 알려져 있다[15]. 따라서 순수한 Silicon 보다는 표면에 손상이 어느 정도 존재하는 기판에서 NiSi 기술을 개발하는 것이 필요하다고 여겨진다. 그러나 표면 손상이 유발된 실리콘 표면에 NiSi를 형성시켰을 경우 손상이 없는 경우에 비해 면저항과 계면 균일성, RTP processing window, 열안정성등이 어떤 특성을 보이는데 대해서 지금까지 별로 연구된 바가 없다고 여겨진다.

본 논문에서는 100 nm 이하의 CMOS 기술에 사용적합한 NiSi 기술 개발에 있어서 표면 손상이 NiSi 특성에 미치는 영향을 분석하고자 한다. 즉, Silicidation 이전에 실리콘 표면에 임의적으로 표면손상을 유발하여, 실리콘 표면손상에 의해 NiSi의 면저항과 상(Phase), 계면 균일성이 어떻게 변화하는지에 대해 알아보려고 한다. 또한 손상에 의한 영향을 억제하기 위해 H₂/N₂ 열처리 및 capping 층을 적용하여 실리콘을 형성시키고 그 결과 및 특성이 어떻게 변화하는지 분석하여 최적의 회복 조건을 제시하고자 한다.

2. 실험

실리콘 표면에 손상을 가하기 위하여 Ar IBE(Ion Beam Etching)를 수행하였다. Ar IBE는 플라즈마 상태의 이온 건(Ion gun)에서 스크린 그

리드(Grid)와 가속 그리드의 전위 차이에 의해 Ar⁺를 추출 및 가속시켜 기판을 물리적으로 식각시키는 방법으로 이온 에너지와 이온 전류를 정확히 제어하여 식각율(etch rate)를 조절할 수 있다. 또한 식각 깊이(etch depth)를 측정하기 위해 시편의 가장자리를 산화막으로 마스크하여 식각이 되지 않도록 하였다. Ar IBE의 동작압력은 1.0×10^{-4} torr였고, 이온전류 9.0 mA 에서 이온빔 전압을 200, 300, 400 V로 변화시켜 가면서 식각을 실시하였고 또한 식각 시간을 달리하면서 IBE를 수행하였다. IBE가 끝나고 산화막이 있는 부분은 희석된 HF 용액으로 제거하고 나서 식각이 된 부분과 안된 부분 사이의 단차를 Alpha Step을 이용해 측정하였다. 이온빔 전압이 200, 300, 400 V, 전류가 9.0mA인 조건에서 IBE 식각 시간에 따른 식각 깊이를 측정한 그래프를 그림 1에 나타내었다. 그래프에서 보는 바와 같이 전압과 식각 시간에 따라 식각 깊이가 증가함을 볼 수 있으며, 전압 200, 300, 400 V에 대한 식각율은 각각 0.32 ± 0.03 , 1.39 ± 0.18 , 2.87 ± 0.48 Å/sec였다. 따라서 IBE를 이용하여 표면손상을 조절할 수 있음을 알 수 있다.

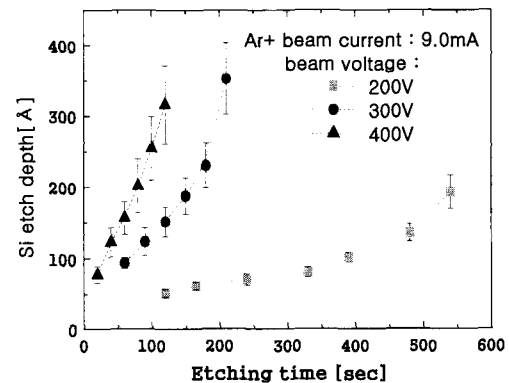


그림 1. 이온빔 전압과 식각 시간에 따른 식각 깊이.
Fig. 1. Etch-depth variation for beam voltage and etching time.

표면손상이 가해진 기판에서 표면손상제거를 위한 열처리 특성관찰을 위해 IBE 된 일부 시편에 대하여 N₂ 또는 H₂ 분위기에서 각각 425 °C 에서 30분 동안 전기로 열처리를 실시하였다. H₂ 기체는 H₂ 10 %, N₂ balance 혼합가스를 사용하였다. 이후 Ni 증착은 8.0×10^{-7} torr 이하의 base pressure 에서 Ar 을 주입하여 2.0×10^{-4} torr에서 스퍼터 증

작 하였으며 Ni 두께는 ULSI process를 고려하여 약 200Å이 되도록 하였다. 이때 capping에 의한 효과를 관찰하기 위한 시편은 Ni 증착후 추가적으로 100Å의 TiN 층이 증착 되었다. 실리콘이드는 500 °C에서 30초 동안의 RTP로 형성하였고, 반응이 안된 Ni는 HCl:H₂O₂:DI=1:1:4에서 제거하였으며 TiN capping을 한 경우 NH₄OH:H₂O₂:DI=1:5:50에서 TiN 제거 후 Ni를 제거하였다. 제작된 시편의 면저항 측정 시에 면저항의 시편크기 의존성을 제거하기 위해 모든 시편은 면저항 측정 전에 1 cm × 1 cm 로 만들었으며, 면저항의 시편크기 의존성을 검증하여 보정 Factor를 적용하여 정확한 면저항 측정이 되도록 하였다[16]. 제작된 시편의 실리콘이드 상(phase)은 X선 회절분석기(X-Ray Diffractometer : 기초과학지원연구소 대구분소, 모델명 X'PERT)를 이용하여 분석하였으며, FESEM(Field Emission Scanning Electron Microscope, 기초과학지원연구소 전주분소, 모델명 S-4700)으로 형성된 실리콘이드 두께와 계면의 균일성을 관찰하였다.

3. 실험결과 및 고찰

표면손상 정도를 구분하기 위해 이온 전류 9.0 mA에서 이온빔 전압을 200, 300, 400 V의 세 가지로 변화시켰으며, 같은 전압에서 식각 시간을 달리하면서 표면손상을 유발하였다. 일반적으로 ULSI 공정에서 실리콘이드 공정 전까지 기판 표면이 식각되는 깊이가 100~300 Å 정도이므로 이를 고려하여 최대 식각량은 400 Å 이하가 되도록 하였다. 우선 손상에 의한 표면 거칠기를 AFM으로 분석하면 그림 2와 같이 손상 인가 전에는 RMS(Root Mean Square)가 2.25 Å이나 손상 인가 후에는 2.82 Å로 약 25 % 정도 증가함을 알 수 있다. 그리고 손상 받은 표면을 회복하기 위한 열처리 효과를 살펴보면 손상 유무에 상관없이 N₂ 열처리에 의해 표면 거칠기가 증가하였는데 특히 표면손상이 발생한 경우에 표면 거칠기의 증가율이 훨씬 더 크게 나타났다.

표면손상의 정도에 따른 NiSi 특성 의존성을 분석하기 위해 식각 시간을 120, 150, 180초로 선형적으로 증가시키면서 (각각의 평균 식각 깊이는 151, 187, 230 Å) 각각의 손상된 실리콘에 형성된 NiSi의 특성을 그림 3에 나타내었다. 참고로 capping 효과도 추가적으로 확인하기 위해 TiN

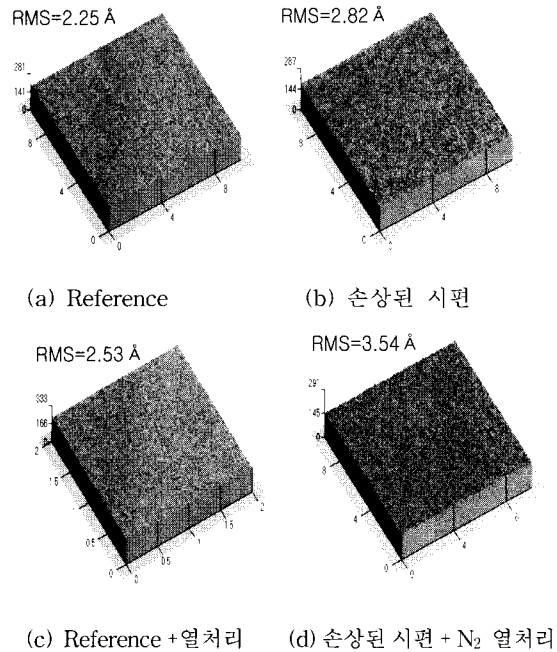


그림 2. IBE에 의해 손상된 시편의 N₂ 열처리에 따른 AFM 사진.

Fig. 2. AFM image of IBE-etched wafer with and without N₂ annealing.

capping이 있는 경우의 NiSi의 면저항도 같이 나타내었다(식각 시간이 0초인 시편은 표면손상이 없는 Reference wafer). 실험결과 그림 3과 같이 식각 시간이 증가함에 따라 실리콘이드의 면저항은 급격히 증가하게 되는데 이는 그림 2에서와 같이 표면손상에 의한 거칠기의 증가가 실리콘이드 형성을 억제하기 때문이라고 여겨진다.

이는 그림 4의 단면 SEM 사진 및 그림 5의 AFM 결과를 살펴보면 명확한데, 손상이 없는 시편 그림 4(a)에 비해 300 V, 9 mA로 180 s 동안 식각한 시편위에 형성된 실리콘이드 그림4(c)의 두께가 약 30 Å 정도 얇으며 계면 특성은 개선됨을 보여주고 있다. NiSi의 표면 거칠기를 비교하면, 그림 5와 같이 Reference에 비해 표면 손상이 가해진 경우에 거칠기가 감소함을 알 수 있다. 그러나 표면 손상이 가해진 시편에 TiN capping 층을 적용한 경우에는 오히려 표면 거칠기가 다소 증가하였다. 따라서 표면 손상이 가해진 경우에는 NiSi의 두께 감소에 의해 면저항이 증가했음을 알 수 있다. 또한 TiN-capping에 의해 실리콘이드/실리콘 계면

균일성은 개선시키지만 실리사이드 두께 감소를 억제시키지 못하고 표면 거칠기는 오히려 증가함을 알 수 있다.

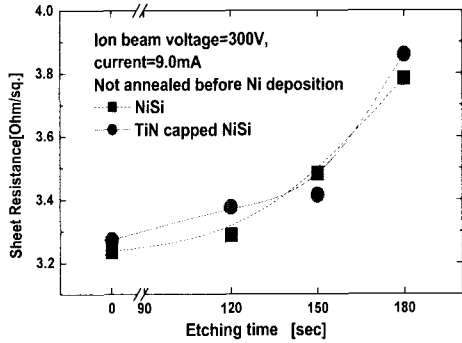


그림 3. IBE 식각 시간에 따른 Ni 실리사이드의 면저항 및 TiN capped NiSi의 면저항.

Fig. 3. Sheet resistance of Ni-Silicide with and without TiN-capping layer formed on IBE etched surface according to etching time.

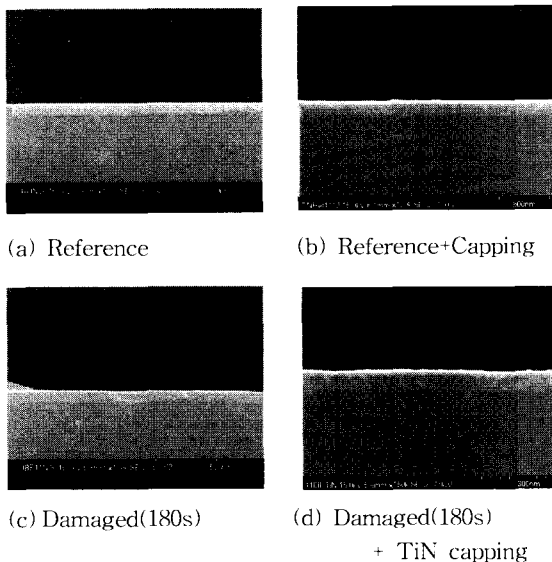


그림 4. 식각된(Etch depth = 230 Å) 시편에 형성된 Ni-실리사이드의 capping에 따른 FESEM 사진.

Fig. 4. Cross-sectional FESEM images of NiSi with and without capping layer formed on surface etch depth of 230 Å.

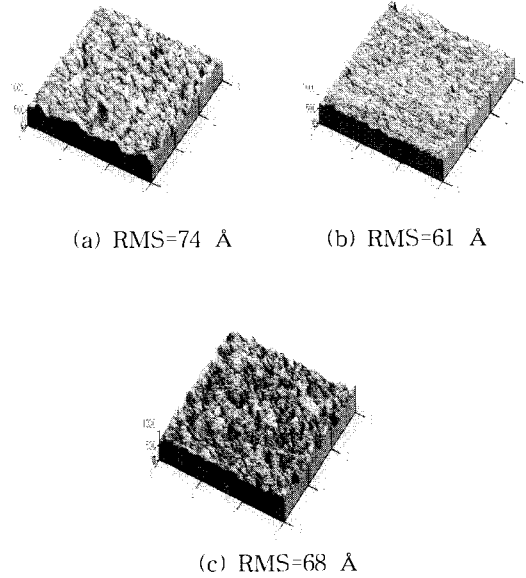
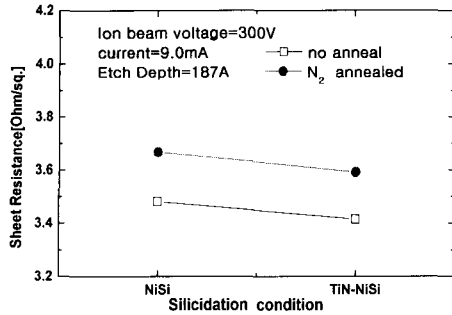


그림 5. 300 eV, 식각 깊이=127 Å에서 NiSi의 AFM 사진 (a) reference, (b) surface damaged, and (c) surface damaged with TiN capped.

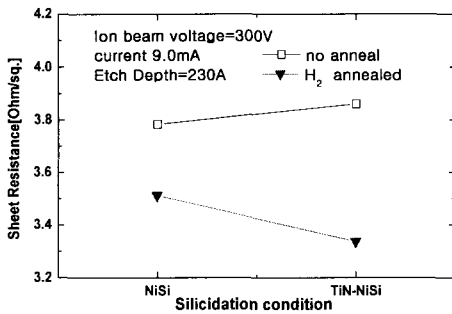
Fig. 5. AFM image of NiSi formed on etched wafer (etch-depth= 127 Å, 300 eV) (a) reference, (b) surface damaged, and (c) surface damaged with TiN-capped.

Ar IBE에 의한 표면손상을 제거하기 위한 최적의 조건설정을 위해 Ni 증착전 N_2 와 H_2 열처리를 실시하고 TiN capping을 병행하였다. 실험결과 N_2 열처리 후의 시편은 그림 7(a)와 같이 오히려 면저항이 증가 하였으나 H_2 열처리 후의 시편은 capping을 병행하였을 경우에는 그림 7(b)와 같이 면저항을 감소시킬 수 있었고, 열처리에 관계없이 NiSi가 형성되었음을 그림 8을 통해 알 수 있다. 따라서 H_2 열처리와 capping을 병행하였을 경우 표면 손상을 많이 회복시킨다고 볼 수 있다.

H_2 열처리에 의한 실리사이드의 단면 FESEM 결과를 살펴보면, 그림 9와 같이 H_2 열처리에 의해 표면손상을 감소시켜 실리사이드의 두께를 증가시킬 수 있지만 그림 9(b)와 같이 계면이 불균일하여 capping을 병행하였을 경우에만 면저항의 열화억제와 계면 특성을 개선시킬 수 있음을 보이고 있다.



(a) N₂ 열처리(425 °C, 30 분)



(b) H₂ 열처리(425 °C, 30 분)

그림 7. 손상제거를 위한 열처리(425 °C,30 분)에 따른 면저항 특성 (a) N₂ 열처리 (b) H₂ 열처리.

Fig. 7. Sheet resistance of NiSi according to annealing condition to reduce surface damage(a) N₂ annealing(425 °C,30 min) (b) H₂ annealing(425 °C,30 min).

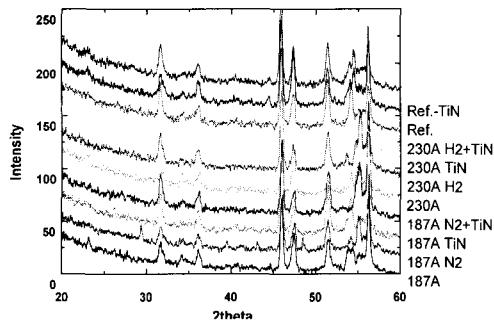


그림 8. 열처리 조건에 따른 Ni-실리사이드의 XRD spectra.

Fig. 8. XRD spectra of Ni-Silicide NiSi according to annealing condition.

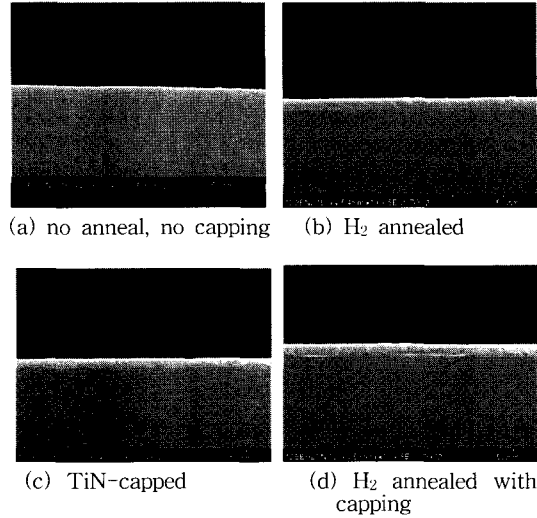


그림 9. H₂ 열처리 조건에 따른 NiSi의 FESEM 사진(식각 깊이=230Å).

Fig. 9. FESEM image of NiSi according to H₂ annealing condition(Etch-depth=230 Å).

4. 결론

IBE에 의해 실리콘 표면손상이 일어난 경우 IBE 식각 시간이 증가함에 따라 NiSi 및 TiN-capped NiSi 모두에 대해 면저항이 증가하였다. 즉, 실리콘 표면의 손상정도가 커짐에 따라 TiN capping에 관계없이 NiSi의 면저항이 커짐을 관찰할 수 있었는데, 이로부터 실리콘의 표면손상 정도에 따라 NiSi의 특성이 열화되는 정도가 달라질 수 있음을 확인하였다. 또한 IBE에 의해 손상된 NiSi의 열안정성이 손상되지 않은 경우에 비해 조금 더 안정적이었는데, 이는 실리콘 표면의 격자손상이 Ni의 확산을 억제하여 실리사이드/실리콘의 계면 특성을 개선시키고 이와 동시에 2nd 열처리를 통해 손상된 실리콘 격자가 회복되는 효과가 복합적으로 작용한 것으로 보인다. 손상된 실리콘을 N₂ 또는 H₂ 분위기에서 열처리함에 의해 손상을 회복시킨 경우에 대한 NiSi의 면저항 특성이 변화하였다. 즉, N₂ 열처리를 한 경우에는 면저항이 증가하고 H₂ 열처리의 경우에는 면저항이 감소하였는데, 이는 H₂ 열처리가 면저항 감소에 효과적임을 보여준 것이나, N₂ 열처리의 온도를 증가시키면 손상회복 효과가 커지므로 결과가 달라질 수도 있을 것이다. 또한 H₂ 열처리를 TiN capping을 같이 수행하면 각 과정을 개별적

으로 처리한 경우보다 면저항이 더욱 감소함을 볼 수 있었다. 이로부터 IBE에 의해 실리콘 표면이 손상된 NiSi의 면저항이 증가하는 현상에 있어, H₂ 열처리 및 TiN capping을 통해 손상효과가 보상되어 낮은 면저항을 얻을 수 있음을 확인하였다.

감사의 글

- 본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0)지원으로 수행 되었음.
- 이 논문은 2001년도 충남대학교 자체연구비의 지원에 의하여 연구되었음.
- 이 연구는 BK21충남대학교 정보통신인력양성 사업단의 지원을 받았음.

참고 문헌

- [1] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhoenacker, "Comparison of TiSi₂, CoSi₂ and NiSi for thin-film silicon-on-insulator applications", *J. Electrochem. Soc.*, Vol. 144, No. 7, 1997.
- [2] T. Morimoto, T. Ohguro, H. S. Momose, T. Iinima, I. Kunishima, K. Suguro, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsuiro, and H. Iwai, "Self-aligned nickel-mono-silicide technology for high-speed deep submicrometer logic CMOS ULSI", *IEEE Trans. Electron Devices*, Vol. 42, No. 5, p. 915, 1995.
- [3] 박수진, 이근우, 김주연, 배규식, "Ti-capped NiSi 형성 및 열적 안정성에 관한 연구", 한국전기전자재료학회 2002년도 하계학술대회는 문집, 3권, 1호, p. 288, 2002.
- [4] 정연실, 김시중, 김주연, 배규식, "니켈 폴리사이드 게이트의 전기적 성질", 한국전기전자재료학회 99 추계학술대회논문집, p. 449, 1999.
- [5] 배미숙, 김용구, 지희환, 이현진, 오순영, 윤장근, 박성형, 왕진석, 이희덕, "100nm 이하 CMOS 소자의 Source/Drain dopant 종류에 따른 Nickel silicide의 특성분석", 한국전기전자재료학회 2002년 추계학술대회논문집, 15권, p. 198, 2002.
- [6] A. Lauwers, "Material aspects, electrical performance, and scalability of Ni silicide towards sub-0.13 μ m technologies", *J. Vac. Sci. Tech. B*, 19(6), p.2026, 2001
- [7] P. S. Lee, K. L. Pey, D. Mangelinck, J. Ding, A. T. S. Wee, and L. Chan, "Improved NiSi salicide process using presilicide N₂⁺ implant for MOSFET", *IEEE Electron Device Lett.*, Vol. 21, No. 12, p. 566, 2000.
- [8] C. J. Choi, Y. W. Ok, S. S. Hullavarad, T. Y. Song, K. M. Lee, J. H. Lee, and Y. J. Park, "Effects of hydrogen implantation on the structural and electrical properties of nickel silicide", *J. Electrochem. Soc.*, 149, G517, 2002.
- [9] P. S. Lee, K. L. Pey, D. Mangelinck, J. Ding, D. Z. Chi, and L. Chan, "New salicidation technology with Ni(Pt) alloy for MOSFET", *IEEE Electron Device Lett.*, Vol. 22, No. 12, p. 568, 2001.
- [10] J. Maa, Y. Ono, D. J. Tweet, F. Zhang, and S. T. Hsu, "Effect of interlayer on thermal stability of nickel silicide", *J. Vac. Sci. Technol. A*, 19(4), 2001.
- [11] W. L. Tan, K. L. Pey, S. Y. M. Chooi, J. H. Ye, and T. Osipowicz, "Effect of a titanium cap in reducing interfacial oxides in the formation of nickel silicide", *J. Appl. Phys.*, Vol. 91, No. 5, 2002.
- [12] C. J. Choi, Y. W. Ok, T. Y. Seong, and H. D. Lee, "Effects of SiO₂ capping layer on the electrical properties and morphology of nickel silicides", *Jpn. J. Appl. Phys.*, Vol. 41, Pt. 1, No. 4A, 2002.
- [13] J. M. Hedleson, M. W. Horn, and S. J. Fonash, "Effects of dry etching on the electrical properties of silicon", *J. Vac. Sci. Tech. B*, 6(1), Jan./Feb. 1988.
- [14] R. J. Davis and P. Jha, "Steady-state damage profiles due to reactive ion etching and ion-assisted etching", *J. Vac. Sci. Tech. B*, 13(2), Mar/Apr, 1995.
- [15] T. Gu, R. A. Ditzio, S. J. Fonash, O. Awadelkarim, J. Ruzyllo, R. W. Collins, and H. J. Leary, "Damage to Si substrates during SiO₂ etching: A comparison of reactive ion etching and magnetron-enhanced reactive ion etching", *J. Vac. Sci. Tech. B*, 12(2), Mar/Apr, 1994.
- [16] Dieter K. Schroder, "Semiconductor Material and Device Characterization", Wiley-Interscience publication, p. 45, 1998.