

블루투스 고이득 저잡음 증폭기 설계

손주호[†] · 최석우^{††} · 김동용^{†††}

요 약

본 논문에서는 블루투스에서 사용할 0.25 μ m CMOS 공정을 이용한 고이득 저잡음 증폭기를 설계하였다. 설계한 저잡음 증폭기는 캐스코드 인버터를 이용하였으며, 레퍼런스 전압원을 가지고 쇼크 인덕터를 사용하지 않는 1단으로 설계하였다. 기존 1단으로 설계된 저잡음 증폭기의 10~15dB의 낮은 전력이득을 개선한 구조이다. 설계된 2.4GHz 저잡음 증폭기는 2.2dB의 NF값과 21dB의 높은 전력이득을 가지고 있으며, 2.5V 공급 전원에서 255mW의 소모전력을 갖는다.

Design of High Gain Low Noise Amplifier for Bluetooth

Ju-ho Son[†], Dong-yong Kim^{††} and S. W. Choi^{†††}

ABSTRACT

This paper presents a high gain LNA for a bluetooth application using 0.25 μ m CMOS technology. The conventional one stage LNA has a low power gain. The presented one stage LNA using a cascode inverter LNA with a voltage reference and without a choke inductor has an improved power gain. Simulation results of the 2.4GHz designed LNA shows a high power gain of 21dB, a noise figure of 2.2dB, and the power consumption of 255mW at 2.5V power supply.

Key words: LNA, inductor, bluetooth

1. 서 론

저가적 고집적 RF 송수신기 실현에 주도적 역할을 하게 될 가능성에 대해 매우 긍정적인 평가를 받고 있는 CMOS 공정은 단말장치의 소형 경량화, 저전력화, 저가격화를 위하여 바람직하며 이를 통한 단말장치의 CMOS 단일칩화 연구가 활발히 진행되고 있다[1-6]. 국내의 CMOS 공정기술 및 f_t 를 고려할 때 이를 이용한 RF 소자개발은 더욱더 실현 가능성을 밝게 하고 있다[7].

그러나 CMOS를 이용한 저잡음 증폭기의 개발에서 불 때 화합물 반도체보다 낮은 이득을 가지고 있다. 저잡음 증폭기가 시스템에 첫 번째에 위치하므로

저잡음 증폭기의 낮은 이득은 시스템 전체의 이득을 결정할 수 있다. 그러므로 재료의 차이를 극복할 높은 이득을 갖는 회로를 구현 할 필요가 있다. 현재 1단으로 구현되어지는 저잡음 증폭기의 개발은 주로 10~15dB정도이며 화합물 반도체의 1단증폭의 이득은 15~20dB이다. CMOS공정에서 15~20dB의 증폭 이득을 얻기위해 2단증폭을 사용하고 있지만 2단증폭을 할 경우 회로가 복잡해지며 잡음이 많이 발생한다[10-12].

그래서 본 논문에서는 1단증폭을 하며 15~20dB의 증폭이득을 할 수 있는 회로를 제안하며 0.25 μ m CMOS 설계파라미터를 사용하여 블루투스 RF 수신기의 앞단에 필요로 하는 2.4GHz 저잡음 증폭기(LNA)를 설계하였다.

2. 저잡음 증폭기의 기능

저잡음 증폭기는 이동통신용 수신기의 안테나로

접수일 : 2002년 8월 31일, 완료일 : 2002년 10월 25일

[†] 정회원, 전북대학교 전기공학과 박사과정

^{††} 전북대학교 전자정보공학부 부교수

^{†††} 전북대학교 전기공학과 교수

부터 받은 고주파 신호를 주파수 변환하기 이전에 증폭하는 고주파 증폭단으로서 선택도(Sensitivity)를 개선한다. 또한 저주파수 변환기(Downconversion mixer)의 잡음도가 대부분 상당히 크므로 이 저주파수 변환기 앞단에 고주파 증폭기 회로는 없어서는 안될 중요 회로이다. 특히 고주파 증폭 회로의 잡음지수는 전체 수신기의 감도에 큰 영향을 미치므로 저잡음 특성을 갖도록 설계하여야 한다.

전형적인 이동통신기 고주파 블럭을 보면 크게 수신부와 송신부로 나눌 수 있으며 수신부는 그림 1과 같이 크게 저잡음 증폭기, 주파수혼합기(Mixer), 국부 발진기(LO)로 구성된다. 이중 저잡음 증폭기는 무선통신기의 감도를 결정하는데 가장 큰 역할을 하는 부분으로 큰 잡음원에 노출된 수 μV 의 매우 약한 신호를 받아 증폭시킨 다음 이를 주파수 혼합기에 보내게 된다. 이 때 신호왜곡 및 잡음이 적게 추가 되도록 저잡음 증폭기설계를 하는 것이 중요하다. 따라서 저잡음 증폭기 설계시 주요 고려사항을 보면 크게 다음과 같다.

- 저잡음 특성 — Noise figure(NF)
- 이득(S21)
- 임피던스 정합(S11, S22)
- 선형성(IP3)
- 전력소모

이러한 특성들은 서로 서로가 trade-off를 이루므로 적절한 최적화가 무엇보다 중요하다. 특히 잡음지수나 선형지수는 주의를 요하여 설계하여야 할 부분이다[9].

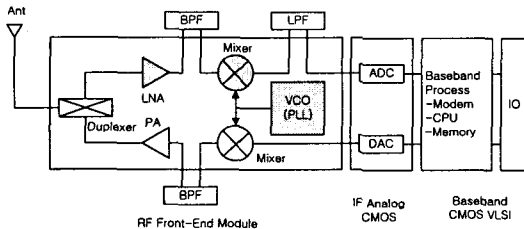


그림 1. RF 송수신단의 블럭도

3. 제안하는 저잡음 증폭기의 설계

본 논문에서 설계하고자한 LNA의 기본 구조는 DC적으로 인버터의 적층 형태를 가지고 있으며, 캐

스코드된 트랜지스터로 인하여 전력 이득을 갖는다. 인버터 구조로 된 LNA는 1단으로는 충분한 이득을 만들 수 없으며, 2단으로 캐스케이드로 할 경우 트랜지스터 수의 증가로 잡음 특성이 떨어진다. 따라서 본 논문에서는 그림 2와 같은 인버터를 이용하였다.[9].

CMOS 인버터의 경우 입출력 정합에 필요한 인덕턴스가 작아도 된다는 특징이 있으므로 본 논문에서 설계하는 LNA에서는 초크형 인덕터를 사용하지 않았다.

먼저 PMOS와 NMOS로 구성된 제안된 CMOS 상보형 증폭회로의 소신호 해석을 분석하여 본다.

그림 2에서 M1, M3과 M2, M4를 각각 같은 크기를 갖도록 대칭으로 구성하면 입력에 소신호가 인가될 때 드레인 전류 i_{d1} 과 i_{d2} 는 같은 크기를 가지며 부호가 반대이므로 합은 식(1)과 같이 0이 된다.

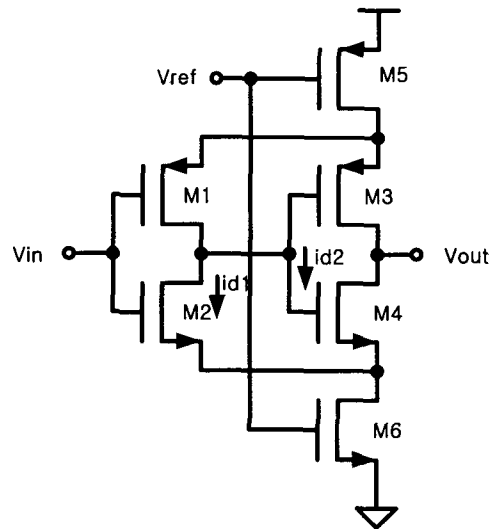


그림 2. 제안하는 저잡음 증폭기

$$i_{d1} + i_{d2} = 0 \tag{1}$$

이때 그림 3의 소신호 등가회로부터 i_{d1} 과 i_{d2} 는

$$i_{d1} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_2) \tag{2-1}$$

$$i_{d2} \cong g_{m4}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_2) \tag{2-2}$$

이 되므로 이들 전류의 합은 식 (3)과 같이 구해진다.

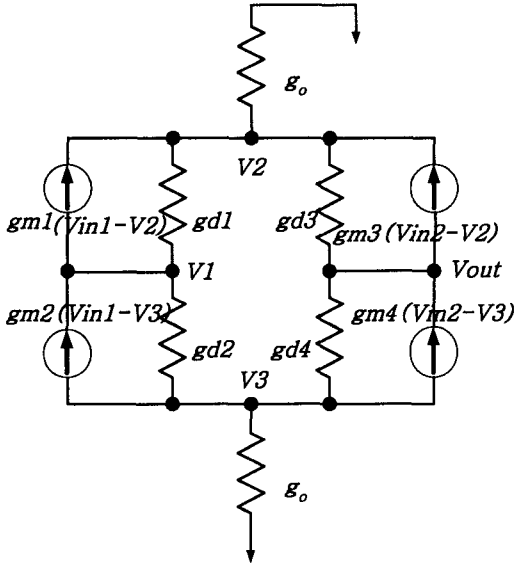


그림 3. 저잡음 증폭기의 소신호 등가회로

$$i_{d1} + i_{d2} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_2) + g_{m1}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_2) \cong 0 \quad (3)$$

여기서 M1, M2와 M3, M4는 각각 같은 크기를 가지고 대칭적으로 구성되어 있으므로 트랜스컨덕턴스 또한 $g_{m1} \cong g_{m3}$, $g_{m2} \cong g_{m4}$ 로써 같은 크기를 가진다. 그리고 증폭기 설계 시에 단자 전압 v_2 와 v_3 를 같은 크기로 설계하면 최종적으로 식 (3)은 식 (4)와 같이 된다.

$$i_{d1} + i_{d2} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_3) + g_{m1}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_3) \cong 0 \quad (4)$$

여기서

$$v_3 \cong \frac{v_{in1} + v_{in2}}{2} \quad (5)$$

그러므로 i_{d1} 은 식 (6)과 같다.

$$i_{d1} \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})v_3 \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})(v_{in1} + v_{in2})/2 \cong \frac{(g_{m1} + g_{m2})}{2}(v_{in1} - v_{in2}) \cong -i_{d2} \quad (6)$$

이때 출력저항은 M3과 M4의 드레인 저항으로 구성되므로 출력전압은 식 (7)과 같다.

$$v_{out} \cong \frac{2i_{d1}}{g_{d3} + g_{d4}} \cong \frac{(g_{m1} + g_{m2})(v_{in1} - v_{in2})}{(g_{d3} + g_{d4})} \quad (7)$$

결과적으로 제안한 증폭회로의 전압 이득은 식 (8)과 같다.

$$A_v \cong \frac{v_{out}}{v_{in1} - v_{in2}} \cong \frac{(g_{m1} + g_{m2})}{(g_{d3} + g_{d4})} \quad (8)$$

최대 전력이 전달이 되려면 입출력 정합이 이루어져야 가능하며 입출력 정합이 이론적일 경우 전압 이득은 전력 이득과 같다. 저잡음, 저왜곡을 가진 LNA에서 전력 이득을 극대화하기란 어려운 문제이다. 왜냐하면 이득이 크면 저잡음에는 유리하지만 신호의 선형성이 떨어지기 때문이다.

다음으로 안정도는 증폭기 설계에 있어 매우 중요한 요소로서 S 파라미터, 정합 회로망 등에 의해 결정된다. 2단자쌍 회로망에서 발진은 입력이나 출력단이 부저항(negative resistance)를 가질 때, 즉 $| \Gamma_{in} | > 1$ 이나 $| \Gamma_{out} | > 1$ 인 경우에 나타나므로 이 조건으로부터 안정 조건을 구해낼 수 있다. 따라서 다음 식 (9)와 (10)과 같이 안정도 요소 K를 사용하여 안정도가 1보다 크도록 설계하였다.

$$K = \frac{1 - | S_{11} |^2 - | S_{22} |^2 + | \Delta |^2}{2 | S_{12} S_{21} |} \quad (9)$$

$$| \Delta | = | S_{11} S_{22} - S_{12} S_{21} | < 1 \quad (10)$$

Noise figure는 증폭기 출력단에서의 총 noise power와 입력단의 저항 R에서 기인된 열잡음이 증폭기의 이득을 얻어 나타나는 출력 전력과의 비로 식 (11)과 같이 정의된다.

$$F = \frac{P_{No}}{P_N G_A} \quad (11)$$

여기서 P_{No} 는 증폭기 출력단에서의 유효한 총 noise power를 나타내고, $P_{Ni} = KT_o B$ 는 저항 R로부터 기인한 열 잡음을 나타낸다. 이때, 입력단과 출력단에서의 유효 신호 전력을 각각 P_{Si} , P_{So} 로 정의하면, $G_A = P_{So}/P_{Si}$ 가 되므로 식(12)는 다음과 같이 신호 대 잡음비(SNR)로 나타내어지게 된다.

$$F = \frac{P_{Si}/P_{Ni}}{P_{So}/P_{No}} = \frac{(SNR)_{in}}{(SNR)_{out}} \quad (12)$$

입출력 매칭회로는 인덕터와 캐패시터를 직렬로 연결한 형태를 이용하여 50Ω으로 정합하였으며 수동소자의 경우는 구조적으로 모델링된 값을 사용하였다. 그림 4는 설계에 사용된 나선형 인덕터이며, S=1μm, R=50μm, W=2μm로 하여 2.5, 3.5, 4.5, 5.5, 6.5의 회전수로 각각 모델링하여 사용하였다.

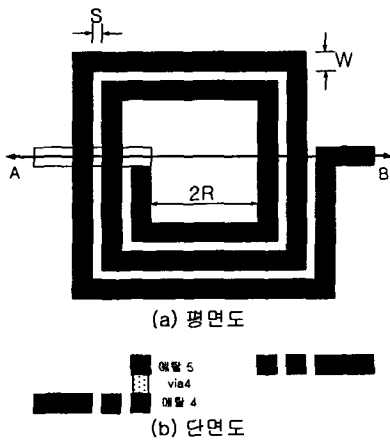


그림 4. 기존의 나선형 인덕터의 단면도 및 평면도(S : 간격, W : 두께, 2R : 내경)

4. 시뮬레이션 결과

본 논문에서는 1-poly 5-metal CMOS 공정을 이용하여 시뮬레이션 하였으며, 그림 5는 모델링된 인덕터의 회전수에 대한 Q값을 나타내고 있다. 인덕터는 1GHz에서 10GHz까지 선형적으로 모델링하였으며 1GHz마다 심볼을 표시하였다. 그림 6은 본 논문에서 사용하는 인덕터의 등가회로이며 기판을 포함하여 시뮬레이션을 하였으나 같은 기판을 사용한 시뮬레이션이므로 기판은 변화의 대상이 아니므로 등가회로상에는 기판저항을 표시하는 소자는 표시되지 않았으며 각 소자는 다음과 같으며 시뮬레이션 결과값을 표 1에 나타내었다.

- L_s : 금속 세그먼트의 자기·상호 인덕턴스
- R_s : 적층된 슈트 저항
- C_1, C_2 : 금속 레이어와 기판 사이의 기생 캐패시턴스

그림 7에서 소자의 최소 잡음인 NF_{min} 과 설계한

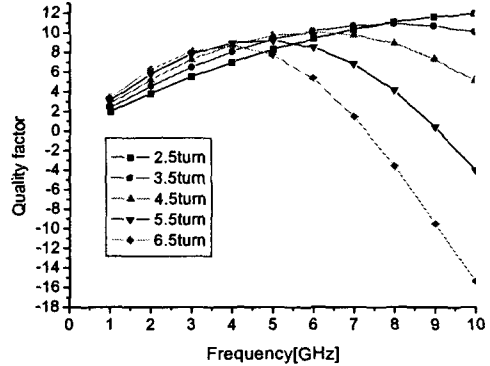


그림 5. 나선형 인덕터의 Q특성 곡선

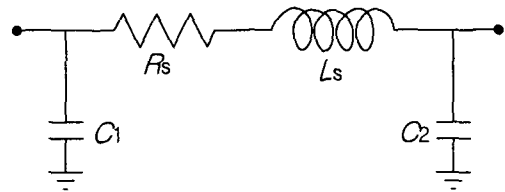


그림 6. 인덕터 모델

표 2. 나선형 인덕터의 등가 회로 소자 값

회전수	C_1 [F]	C_2 [F]	R_s [Ω]	L_s [H]
2.5	0.0136976P	0.0151302P	6.42526	2.00931N
3.5	0.0159725P	0.0196976P	10.0071	3.7015N
4.5	0.0184941P	0.0239897P	13.1529	5.85831N
5.5	0.0199827P	0.0293408P	17.276	8.72022N
6.5	0.0246337P	0.0318392P	21.6424	12.1875N

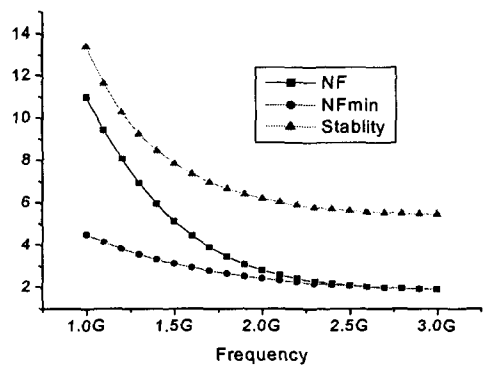


그림 7. 노이즈 특성 및 안정도 곡선

회로의 잡음인 noise figure를 나타내고 있다. 설계한 저잡음 증폭기는 블루투스 리시버대역인 2.4~

2.5GHz 주파수 대역에서 noise figure는 2.2를 나타내고 있으며, 이는 상당히 낮은 값을 나타내고 있다. 또한 안정도는 그림 7의 시뮬레이션 결과와 같이 K 가 1보다 크므로 안정하다.

그림 8에서는 S 파라미터 특성 곡선을 보여주고 있으며, 이득을 나타내는 S21곡선이 2.4~2.5GHz에서 21dB의 전력 이득을 갖는다. 이는 인버터의 캐스케이드 형태에서 비롯된 것으로 1단 증폭기에서 얻는 이득으로는 높은 이득에 해당한다. 입력 매칭을 나타내는 S11은 2GHz대역에서 매칭이 이루어져 매칭에 대한 고려가 필요한 것으로 보여지며, 출력 매칭을 나타내는 S22의 값이 -10dB 정도를 보여주고 있다. 이것도 출력 매칭에 대한 고려가 필요함을 나타내고 있다.

표 2에서는 제안한 저잡음 증폭기의 시뮬레이션 결과와 다른 CMOS 저잡음 증폭기 결과를 비교하여 보여주고 있다. 최근 발표된 CMOS 저잡음 증폭기들도 이득이 많이 개선되어 있음을 볼 수 있다. 그러나 이득을 개선함에 있어 잡음이 함께 증가하였으며 수신단 처음에 위치하는 저잡음 증폭기가 전체 시스템의 잡음이 우성하므로 잡음이 증가하는 것은 좋지 않은 특성이다. 이를 비교할 때 작은 잡음과 큰 이득을 비교할 경우 설계된 저잡음 증폭기는 좋은 특성을 갖는다. 그러나 설계된 저잡음 증폭기는 일반적인 설계조건을 만족하였으나 공급 전압 2.5V에서 트랜지스터의 증가로 255mW의 많은 전력을 소모하여 다른 저잡음 증폭기와 비교하여 개선해야 할 부분이다.

그림 9에서는 설계된 저잡음 증폭기의 레이아웃도를 보여주고 있다. 측정을 위하여 입력단, 출력단 그리고 공급 전압원에 GSG 측정 패드를 달았다.

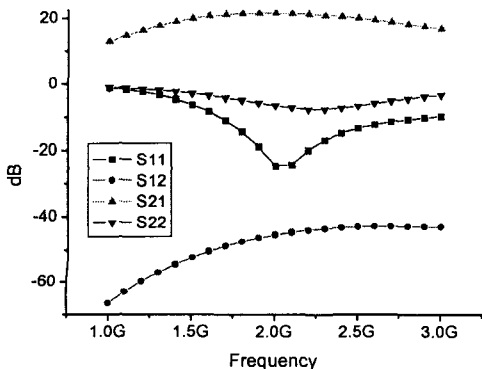


그림 8. S 파라미터 특성곡선

표 2. 저잡음 증폭기의 시뮬레이션 결과

특 성	주파수 (GHz)	공급 전압 (V)	소모 전력 (mW)	전력 이득 (dB)	NF
설계된 LNA	2.402~2.480	2.5	255	21	2.2
[10]	2.45	.	.	14.7	2.88
[11]	2.1	3	15	12	2.8
[12]	2.4	2	22.4	19.8	3
[13]	2.4	1	32	18	4.6

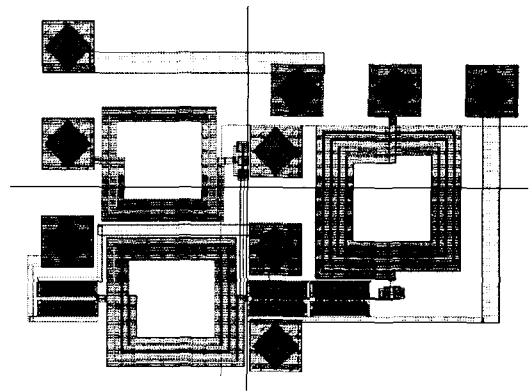


그림 9. 설계된 저잡음 증폭기의 레이아웃

5. 결 론

본 논문에서는 실리콘 기반에서 저잡음 증폭기 설계에 대한 새로운 구조를 제시하고 이를 1-poly 5-metal 0.25 μ m CMOS 공정을 이용하여 설계하고 시뮬레이션을 통하여 검증하였다.

설계된 블루투스용 저잡음 증폭기는 인버터 캐스 코드 구조로 된 1단 구조이며 2.4GHz 주파수에서 21dB의 전력이득과 2.2의 낮은 잡음 특성을 갖는다. 그러나 설계에서 매칭 문제를 해결해야 하며 또한 전력 소모가 많은 것을 해결해야 할 것이다.

참 고 문 헌

- [1] P. K. Shaeffer and T. H. Lee, "A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June 1996.
- [2] A. N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*,

pp. 50-51, Feb, 1996.

[3] R. G. Meyer and W. D. Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J, Solid-State Circuits*, Vol. 29, pp.166-176, Mar. 1994.

[4] D. B. M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp.40-46, Sep. 1996.

[5] James Yung-Cheh Chang, A low power 770 MHz RF tuned amplifier in $2\mu\text{m}$ CMOS using large suspended rectangular planar inductors, *M.S. thesis in Electrical Engineering*, Los Angeles, University of California, 1992.

[6] Robert G. Meyer, and William D. Mack, "A 1 GHz BiCMOS RF front-end IC," *IEEE J. Solid-States Circuits*, vol.29, no. 3, pp. 350-355, Mar. 1994.

[7] J. Y. C. Chang, A. A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a $2\mu\text{m}$ CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp. 246-248, 1993.

[8] 김영호, 정향근, "900MHz대 저전력 저잡음 증폭기 설계 Design of 900MHz Low Noise Amplifier," *대한전자공학회 1998년도 추계종합학술대회 논문집*, pp. 671-674, 1998.

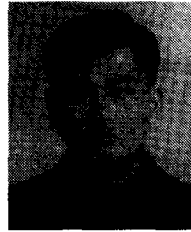
[9] 방준호, "저전압 저전력 CMOS 전류모드 필터 구현을 위한 새로운 적분기와 주파수 자동동조 회로의 구현," 전북대학교 대학원 박사학위논문, 1996.

[10] Robert Point, Michael Mendes and Willam Foley, "A Differential 2.4GHz Switched-Gain CMOS LNA for 802.11b and Bluetooth," *Radio and Wireless Conference*, pp. 221-224, 2002.

[11] Yong-Sik Youn, Nam-Soo Kim, Jae-Hong Chang, Young-Jae Lee and Hyun-Kyu Yu, "A 2-GHz RF front-end transceiver chipset in CMOS technology for PCS and IMT-2000 applications," *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 271-274, 2002.

[12] Huang, J.C., Ro-Min Weng, Chih-Lung Hsiao and Kun-Yi Lin, "A 2 V 2.4 GHz fully integrated CMOS LNA with Q-enhancement circuit," *Microwave Conference, 2001. APMC 2001. 2001 Asia-Pacific*, pp. 1028-1031, vol.3, 2001.

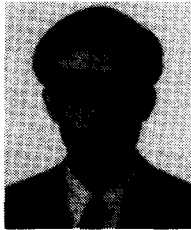
[13] Chan, A.N.L., Chun Bing Guo and Luong, H.C., "A 1-V 2.4-GHz CMOS LNA with source degeneration as image-rejection notch filter," *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium*, pp. 890-893, vol. 4, 2001.



손 주 호

1994년 2월 전북대학교 전기공학과 졸업(공학사)
 1999년 2월 전북대학교 전기공학과 졸업(공학석사)
 1999년 3월~현재 전북대학교 전기공학과 박사과정

관심분야: 무선랜, 블루투스, 인덕터

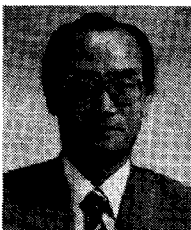


최 석 우

1994년 8월 전북대학교 전기공학과 공학박사
 1996년 2월~2001년 9월 전북대학교 전기전자회로합성연구소 전임강사, 조교수

1999년 9월~2001년 2월 미국 오하이오주립대학교 방문연구
 2001년 9월~현재 전북대학교 전자정보공학부 부교수
 전북대학교 전자정보신기술연구센터 연구원

관심분야: 회로 및 시스템, 집적회로 설계



김 동 용

1967년 2월 전북대학교 전기공학과 졸업(공학사)
 1973년 2월 전북대학교 전기공학과 졸업(공학석사)
 1985년 5월 캐나다 마니토바대학교 전자공학과 졸업(공학박사)
 1986년 10월~현재 전북대학교

전기공학과 교수

관심분야: 회로 및 시스템, VLSI 설계

교신저자

손 주 호 560-756 전라북도 전주시 덕진구 덕진동 664-14
 전북대학교 전자정보공학부