

論文2003-40SD-2-7

시분할 멀티플렉싱 기법을 이용한 아날로그 회로응답 분석

(Time-division Multiplexing Scheme for Analog Response Analysis)

盧正眞 *

(Jeongjin Roh)

요 약

본 논문에서는 최근 많은 연구대상이 되고 있는 oscillation test methodology(OTM)의 파라메트릭 고장에 대한 커버리지를 높일 수 있는 방법을 제안한다. OTM은 테스트 입력신호가 별도로 필요없는 장점으로 인해 효율적인 built-in self test(BIST) 기술로서도 많은 관심의 대상이 되어 왔다. 그러나 아직 여러 가지 면에서 좀더 연구개발이 필요한 상태이며, 따라서 본 논문에서는 그 성능을 향상시킬 수 있는 방안을 제안한다.

Abstract

We propose a new technique to improve the parametric fault coverage of oscillation test method (OTM). The OTM has been popular as a vectorless scheme for analog circuit test, both as a general defect-oriented technique, as well as an oscillation built-in self-test (BIST) scheme. However, it still requires improvement in several aspects. This paper analyzes the limitation of OTM, and proposes new signature analysis scheme to improve its performance.

Keywords : 혼성신호 테스트, BIST, 오실레이션, OTM

I. 서 론

디지털 및 아날로그 집적회로의 성능 및 집적도가 급속한 발전을 계속함에 따라 회로의 복잡성이 계속 증대하고 있으며, 따라서 이에 대한 테스트문제는 지속적으로 중요성을 더해가고 있다. 이 중에서 디지털 집적회로의 테스트는 이미 오랜 기간 연구되어 왔고, 그에 따라 IEEE 1149.1 등 많은 테스트 표준들이 제정되었다. Fault coverage는 집적회로 내부의 발생 가능한 고장 (fault) 중에서 사용된 테스트 방법에 의해 검출 가

능한 고장의 비율로서 나타내어지며, 이를 위해서 먼저 정확한 고장 모델의 확립이 중요하다. 디지털에서 쓰이는 일반적인 모델로는 stuck-at 고장 모델이 있다.

디지털 회로의 defect-oriented 테스트와는 달리 아날로그 및 혼성신호 회로는 대부분 functional 테스트에 의존하여 왔다. 즉 주어진 고장모델의 검출을 목적으로 한 디지털테스트와는 달리, 아날로그회로 테스트는 주어진 회로의 모든 표준 성능을 일일이 다 테스트하는 방식이 사용되어 왔다. 이러한 테스트방식이 사용되어 온 이유는 아날로그회로의 성능이 너무나도 많고 다양하다는 데 기인한다. 예를 들어서, 작은 op amp 회로 하나에도 무수한 규격 (specification) 이 주어지며 이를 만족시키는지 테스트 하기 위해서는 모든 규격을 차례로 다 검증하는 방식이 사용되고 있다. 그러나 이러한 방식은 과도한 테스트 시간을 소비함으로써 테스트 비용을 증가시키는 요인이 되어왔다. 따라서 최근에는 아

* 正會員, 漢陽大學校, 電子컴퓨터工學部
(Hanyang University, Electrical and Computer Engineering)
接受日字:2002年9月24日, 수정완료일:2003年2月11日

날로그 및 혼성신호 회로에서도 고장 모델을 설정하고 그를 검증하는 방법을 개발하는 것이 많이 연구되고 있다.

본 논문에서는 그중에서도 최근 많은 연구대상이 되고 있는 oscillation test methodology (OTM)^{[1]-[6]} 방식의 성능 향상을 위한 연구결과를 보여준다. OTM 은 별도의 테스트 입력신호가 필요 없다는 것이 큰 장점 중 하나이다. 기본적인 개념은, 테스트 모드에서 테스트 대상인 회로를 발진하는 회로로 변경하는 것이다. 이에 따른 발진 주파수를 측정하여 주파수의 변동을 측정함으로써 회로의 고장 유무를 검사하는 것이다. 기존의 가장 일반적인 아날로그 테스트 입력신호인 sine 신호는 고품질의 신호를 발생시키기가 쉽지 않기 때문에 값비싼 테스트 장비를 필요로 하게 된다. 따라서 OTM 방식은 이러한 sine 입력을 사용하지 않으므로 혼성신호 집적회로의 built-in self-test (BIST) 방식으로서 각광받고 있다. 많은 연구결과로 OTM은 필터^[5], switched-capacitor 회로^[6], dual tone multi-frequency detector (DTMF)^[6] 등 많은 회로에서 응용되어 왔다.

일반적으로 아날로그 회로에서의 고장은 커테스트로픽 (catastrophic) 고장과 파라메트릭 (parametric) 고장으로 구분되어진다. 커테스트로픽 고장은 디지털에서의 stuck-at 고장과 유사하며, 회로내의 부품 또는 연결선이 완전히 끊어지거나 또는 잘못된 연결이 발생하는 경우이다. 이 경우 아날로그 회로의 특성은 큰 변화를 일으키며, 따라서 고장의 검출 또한 다소 용이해진다. 이외는 달리 파라메트릭 고장은 회로내부 소자의 미세한 변화로 인해 발생하며, 이에 따른 회로 특성도 커테스트로픽 고장에 비해 미약하게 변화하다. 따라서 이러한 고장의 정확한 검출은 매우 어려워진다.

OTM 방식은 일반적으로 커테스트로픽 고장에 대해서는 높은 coverage를 보여준다. 그러나 파라메트릭 고장에 대해서는 한정된 coverage 만을 보여 주고 있다. 연구결과^[7]에 따르면, 발진 주파수의 측정만으로는 높은 파라메트릭 fault coverage를 얻기가 매우 힘들다는 기존 OTM 방식의 한계를 보여준다. 따라서 [7]에서는 발진 주파수뿐 아니라, 발진 신호의 크기까지도 함께 측정해야한다고 주장한다. 그러나 구체적인 발진 신호 크기의 측정 방법을 제안하지 못하였다. 또한 발진 주파수 및 크기를 회로의 primary output (PO) 에서만 측정함으로써 내부의 민감한 고장 검출에는 한계를 보이고 있다.

본 논문에서 제안하는 방식의 일부는 [12]의 심포지움에서 발표되었으며, 본 저널에서는 제안되었던 방법을 좀더 구체적으로 분석하고, 종합적인 실험을 함으로써 체계적으로 완성하고자 한다. 특히 많은 파라메트릭 고장들이 PO 에서는 검출되기 힘들며, 내부의 신호를 추가로 측정해야 한다는 것을 보여준다. 또한 본 방식을 사용하여 테스트 시간이 대폭 줄어들 수 있음을 보여준다.

II. 오실레이션 동작 분석

OTM 방식을 좀더 잘 이해하기 위해서 먼저 테스트 모드에서의 오실레이션 동작을 분석해 보겠다. 이를 통해 어떻게 추가적인 정보를 취득하고, 이를 이용하여 테스트 성능을 증가시킬 수 있는지 알아보겠다. <그림 1>은 많은 아날로그 회로에서 기본적인 구성 부품으로 사용되는 아날로그 적분기를 보여준다.

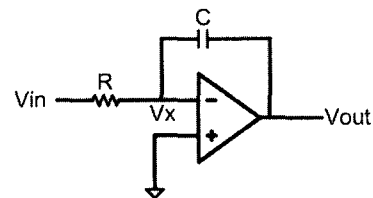


그림 1. 아날로그 적분기
Fig. 1. Analog integrator.

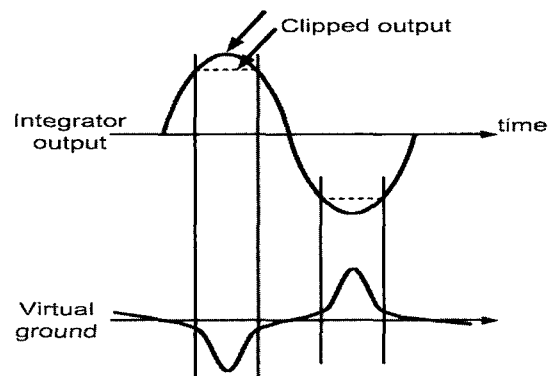


그림 2. op amp 출력 전압 제한에 의한 virtual ground explosion 현상
Fig. 2. Virtual ground explosion due to the limited output swing of an op amp.

$$V_{out}(t) - V_x(t) = \frac{1}{RC} \times \int [V_{in}(t) - V_x(t)] dt \quad (1)$$

식 (1)은 아날로그 적분기에 대한 기본 공식을 나타내었다. 이 공식은 op amp 의 높은 증폭도를 가정한 경우이며, 이에 따라 op amp 의 negative 입력은 virtual ground 로서 동작한다. 설계 시 신호의 동작영역이 잘 고려되었을 경우 V_{out} 은 식 (1)에 따라 이상적으로 동작할 수 있다. 그러나 실제 회로에서는 공급 전원이 제한되어 있으므로 만약 출력신호가 너무 높게 또는 낮게 될 경우 공급 전원에 의해 제한되어 더 이상 증폭되지 못하게 된다. 따라서 식 (1)과 같은 동작이 아니고 <그림 2>에서와 같이 왜곡된 출력이 나타나게 된다. 이때 virtual ground 역시 동작을 제대로 못하게 된다. 따라서 op amp 는 소신호 (small-signal) 분석에 의해 해석될 수 없게 된다. 이러한 현상을 본 논문에서는 virtual ground explosion 이라 부른다. 이러한 현상은 OTM 에서는 일반적으로 관찰되는 것으로 이를 분석하여 테스트 성능을 높이는데 활용하는 것이 본 논문의 목적이다.

이러한 현상을 좀더 이론적으로 이해하기 위해서는 기본적인 발진이론을 고찰할 필요가 있다. 일반적으로 발진 해석을 위해서는 s-domain 상에서의 pole의 위치를 통해서 분석하는 방법이 많이 사용된다^[14].

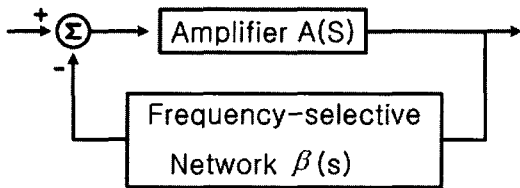


그림 3. 발진을 위한 positive 피드백 회로
Fig. 3. Positive feedback for oscillation.

<그림 3>에서 증폭기 $A(s)$ 가 closed feedback loop 로 연결되었을 경우, 전체 시스템의 전달함수는 식 (2)와 같이 된다. Loop gain $L(s)$ 는 $A(s)\beta(s)$ 가 되고, characteristic equation 은 식 (3)과 같이 된다.

$$A_f(s) = \frac{A(s)}{1 - A(s)\beta(s)} \quad (2)$$

$$1 - L(s) = 0 \quad (3)$$

이처럼 피드백에 의해 시스템의 pole의 위치는 변경되게 되며, 시스템의 안정도는 식 (3)에서 계산된 pole의 위치 $s = \omega_0 + j\omega_r$ 으로부터 분석된다. pole의 위치에

의해 시간 영역에서의 신호는 Inverse Laplace 변환에 의해 다음과 같이 결정된다.

$$v(t) = e^{\sigma t} [e^{+j\omega_r t} + e^{-j\omega_r t}] = 2e^{\sigma t} \cos(\omega_r t) \quad (4)$$

식 (4)에 의해, 만약 pole 이 right hand plane (RHP) 에 있는 경우, 즉 ω_0 가 양수일 경우, $v(t)$ 는 무한대로 증가하는 신호가 된다. 따라서 발진하는 회로가 된다. 물론 일반적으로 회로들은 공급전원에 의해 증가할 수 있는 값의 한계가 있으며 따라서 식 (4)와 같이 간단히 발진 신호를 나타낼 수는 없다.

일반적으로 발진기의 설계는 pole의 위치를 RHP 으로 이동시키고 limiter 또는 automatic gain control (AGC) 회로를 사용하여 최대 발진 진폭을 조절하는 방식을 사용한다^[14]. pole이 RHP에 있을 경우 발진 신호는 점차 증폭하게 되고 결국에 공급전원 값에 의해 최대 진폭이 제한되게 된다. 이는 pole이 RHP에서 시작하여 점차 imaginary 축으로 이동하게 되어 발진 신호의 증가가 멈추게 되는 것으로 설명할 수 있다. 이와 같은 현상은 대부분의 오실레이션 테스트 방식으로 동작하는 회로에서 관측된다.

그러나 이런 현상은 최대 발진 진폭이 공급전원으로 한정됨으로서 [7]에서 제안된 방식인 발진 진폭을 측정함으로써 고장을 검출하고자 하는데 많은 문제점을 주게 된다. 따라서 다른 간접적인 방식으로 진폭을 측정하는 방식을 개발해야 한다. 발진 진폭이 공급전원에 의해 제한될 때 op amp는 정상 상태에서 벗어나게 된다. 특히 op amp 의 입력단은 정상 동작 시에는 virtual ground 로서 작동하나 발진상태에서는 정상동작을 하지 못하게 된다. 즉 op amp 가 증폭기로서의 동작을 못하게 되며 virtual ground 도 역시 동작을 못하는 현상이 발생한다. 본 논문에서는 이러한 현상을 앞에서 설명한 바대로 virtual ground explosion 이라고 부른다. 이러한 특성을 이용하여 회로의 고장을 더욱 효과적으로 검색할 수 있음을 본 논문에서 보여준다.

III. TDM comparator BIST.

<그림 4>는 time-division multiplexing (TDM) 비교기^[12]를 사용한 built-in self-test (BIST) 방식을 보여준다. Circuit-under-test (CUT)는 테스트 모드에서 발

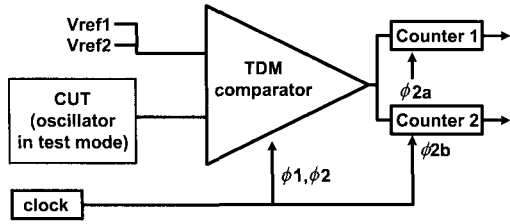


그림 4. OTM용 BIST 회로도
Fig. 4. BIST circuit for OTM.

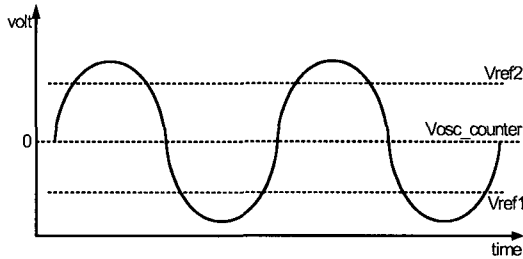


그림 5. 비교전압 예
Fig. 5. Example of reference voltages.

진회로로 변경되고, 발진 신호는 비교 (reference) 전압과 비교된다. 이에 따라 발진 신호는 TDM 비교기에 의해 0 또는 1의 디지털신호로 변경되며 accumulator의 입력으로 사용되어 분석되게 된다. Accumulator는 기본적인 디지털 카운터(counter)로서 쉽게 구성될 수 있다. Accumulator를 사용하는 것에는 두 가지 장점이 있다^[10,11]. 첫째로, 테스트 상에서 발생하는 각종 잡음들을 accumulator의 적분작용을 통해서 제거할 수 있다는 점이다. 또한 accumulator는 데이터 압축 작용을 함으로서 BIST 회로의 저장장소를 최소화 할 수 있다. 일반적으로 TDM 비교기 방법은 발진이 안정화된 후 한번의 발진 주기를 측정함으로써 고장을 분석할 수 있다. 물론 측정을 여러 주기를 반복함으로써 신뢰성을 높일 수도 있다. 즉 여러 주기 동안에 측정된 결과를 평균함으로써 각종 잡음들을 더욱 효율적으로 제거할 수 있게 된다. 뒤에서 나오는 본 논문의 실험에서는 한 주기 동안의 측정 결과에 대해 보여 준다.

각 비교 전압에 대한 accumulator의 저장 값은 독특한 시그니처 (signature)로서 사용된다. 비교 전압은 테스트를 고려한 회로 설계 단계에서 결정할 수 있다. <그림 5>에서 발진 신호와 비교 전압의 예를 보여주고 있다. <그림 6>에서는 설계된 TDM 비교기 회로를 보

여 준다. 설계된 회로는 [13]의 고속 비교기 회로를 기본으로 하여, 한 개의 inverter와 커패시터, 두 개의 트랜지스터로 구성된 inverting 증폭기, 여러 개의 CMOS 스위치로서 이루어진다. 복잡한 하드웨어 설계를 필요로 하지 않고, 몇 개의 단순한 부품으로 설계 가능하다는 점이 본 방식의 장점중 하나이다.

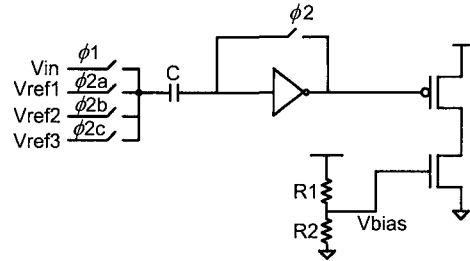


그림 6. TDM 비교기
Fig. 6. TDM comparator.

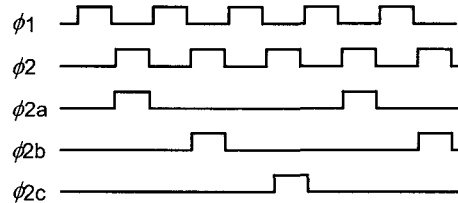


그림 7. TDM 비교기용 클럭
Fig. 7. Clocks for the TDM comparator.

<그림 6>의 비교기는 [13]의 회로와 달리 두 번째 단에 inverting 증폭기가 추가되어 있다. 첫 번째 단인 inverter로 이루어진 비교기는 $\phi 2$ clock에서는 inverter의 입력과 출력을 연결함으로써 약 $V_{dd}/2$ 의 값을 가지는 불안정한 상태로 된다. 따라서 두 번째 단의 inverting 증폭기는 $\phi 2$ clock에서의 신호를 항상 디지털신호로 바꾸어 출력시켜 카운터에 입력해 주는 역할을 한다.

<그림 7>에서는 non-overlapping clock인 $\phi 1$ 과 $\phi 2$ 의 예를 보여준다. <그림 6>과 <그림 7>에서는 $\phi 2$ 가 세 개로 다시 나누어졌다. 이 세 개의 clock은 reference 전압들로 연결된 스위치들의 동작을 조종하는 역할, 즉 멀티플렉싱 (multiplexing) 하게 된다. 비교 전압들이 순차적으로 multiplex 됨에 따라, V_{in} 은 각각의 비교 전압과 비교되게 된다.

1. 발진 주파수 및 크기 측정

일반적으로 OTM 방식은 주로 baseband 회로들을

대상으로 적용되고 있다. 이러한 회로들이 테스트모드에서 동작할 때 아날로그 회로들의 발진주기는 저주파수 영역이 된다. 예를 들면, 본 논문의 실험에 사용된 스테이트 베리어블 필터, 또는 DTMF회로는^[9] 모두 1kHz 근처의 발진 주파수를 가진다. 만약 이러한 저주파수 신호를 직접적으로 측정하려고 하면 테스트에는 상당히 많은 시간이 소요되며, 이는 테스트 원가에 직접적인 영향을 미친다. 이에 따라 기존의 OTM 방식을 더욱 개선하여 효율적이고 간접적으로 발진 주파수와 발진 크기를 측정할 수 있는 기법을 개발해야 한다.

TDM 비교기 기법은 발진 주기와 크기를 시분할 방식에 의해 한 개의 고속 아날로그 비교기와 여러 개의 비교전압을 사용하여 효율적으로 테스트를 수행하게 된다. 비교기에 사용된 디지털 클럭은 아날로그 발진주기에 비해 매우 빠르므로 $\Phi 1$ 과 $\Phi 2$ 로 시분할된 비교기 동작에 의해서도 저주파의 발진 신호를 충분히 비교 동작을 하게 된다. 비교 결과는 디지털 카운터에 저장되어 CUT의 시그니처가 된다.

발진 주파수 f_{osc} 는 TDM 카운터 값으로부터 다음 식에 의해 계산된다.

$$f_{osc} = \frac{f_{TDM} \times N_{cycles}}{osc_counter} \quad (5)$$

N_{cycle} 은 시분할 비교기가 동작하여 측정한 발진 신호의 총 주기이며, $osc_counter$ 는 N_{cycle} 동안의 총 클럭 수이다. f_{TDM} 은 TDM 클럭의 주파수이며, 총 시분할 횟수 N_{TDM} 과 시스템 클럭의 주기 f_s 로서 다음과 같이 나타내 진다.

$$f_{TDM} = \frac{f_s}{N_{TDM}} \quad (6)$$

TDM 비교기로 발진 주파수를 측정하기 위해 별도의 할당된 카운터로서 $osc_counter$ 가 사용된다. $osc_counter$ 의 비교전압은 0 volt, 즉 <그림 5>에서처럼 아날로그 그라운드전압을 나타낸다. TDM 비교기는 발진주기의 시작과 끝을 측정하여 한 주기 동안 동작하게 되며 $osc_counter$ 에는 한 주기 동안의 총 클럭 횟수가 저장된다.

정상적인 회로의 발진 주기에서 벗어난 faulty 회로의 발진주기를 측정하기 위한 최소한의 TDM 클럭 주기는 CUT의 정상 발진주기와 테스트 시 요구되는 측

정 정확도에 의해 결정된다. 예를 들면, <그림 8>의 두 종류 발진 신호의 주파수 차이를 정확히 측정하려면 $osc1$ 발진 신호에는 $osc2$ 보다 최소한 한 번 이상의 비교동작이 더 수행되어야만 한다. 이는 식 (7)과 같이 정리된다.

$$t_{TDM} < t_1 - t_2 \quad (7)$$

여기서 t_{TDM} 은 한 클럭의 시간이고 t_1 과 t_2 는 발진신호 $osc1$ 과 $osc2$ 의 한 주기당 시간이다. 주기는 발진 주파수의 역수이므로 식 (8)은 식 (9)와 같이 나타낼 수 있다.

$$f_{TDM} > \frac{f_1 \times f_2}{f_1 - f_2} \quad (8)$$

만약 1Hz 차이를 측정할 수 있는 측정 정확도가 필요한 경우 $f_2 = f_1 + 1$ 을 식 (8)에 대입하면, 위의 식은 식 (9)와 같이 간단히 표시할 수 있다.

$$f_{TDM} > f_1 \times f_2 \approx f_1^2 \quad (9)$$

식 (9)에 따라, 정상 발진 주파수가 1kHz 인 회로에서 1Hz 단위의 정확도를 원하는 경우 최소 TDM 클럭의 주파수는 1MHz가 필요하다. 총 시분할 횟수가 3회인 경우를 가정하면 시스템 클럭은 3MHz 가 필요하게 된다.

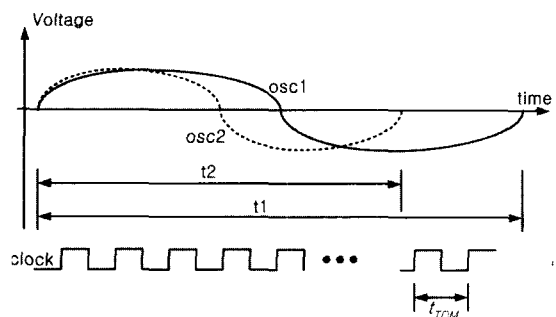


그림 8. 두 종류 발진 신호의 차이 검색
Fig. 8. Detection of the difference of two oscillation signals.

2. 테스트 성능향상을 위한 내부 신호 선택
일반적인 테스트에서는 회로의 primary output (PO)에 나오는 신호를 관찰하여 회로의 성능 및 고장여부

를 판단한다. 그러나 아날로그 회로에서는 PO만으로 판단하기에는 정보가 부정확한 경우가 다수 발생한다. 특히 system-on-a-chip (SOC) 의 intellectual property (IP) 코어로 개발되는 최근 설계 추세에서는 built-in self-test (BIST)를 위해 테스트를 최적화하고 시간을 최소화하기 위해서는 단순히 PO만으로 고장여부를 판단하는 것은 매우 비효율적이다. 이러한 요구 조건을 만족시키기 위해 TDM 비교기는 회로 내부의 신호를 측정하여 테스트 성능향상을 위해 효율적으로 수정될 수 있다. <그림 6>과 <그림 7>에서는 $\phi 2$ 클럭만 3회로 시분할되어 각각의 비교 전압과 멀티플렉싱 되었으며, CUT 의 발진 신호이며 TDM 비교기의 입력신호인 V_{in} 은 CUT의 출력신호에만 연결되었다.

그러나 좀더 효율성을 높이기 위해서 $\phi 1$ 클럭도 3회로 시분할되어 해당 내부 신호를 측정하는데 사용될 수 있다. 각각의 내부 신호는 할당된 시간에 해당되는 비교전압과 비교되어 시그니처를 발생시킨다. 이 경우 단 두개의 스위치만이 추가되며 따라서 하드웨어 부담을 최소화하게 된다.

OTM 에서 발진 신호 크기의 센서터버티 (sensitivity) 는 회로부품에 밀접할수록 커진다. 즉 회로에서 사용된 저항이 고장에 의해 값이 변하게 되면 바로 인접한 내부 신호일수록 발진 크기가 민감하게 변화한다. 이러한 현상은 본 논문의 실험에서 회로 고장을 측정하는데 사용되고, HSPICE 실험으로 검증되었다. 이러한 사실은 본 논문에서 제시하는 테스트 방법의 성능을 향상시키기 위해 내부 신호를 선택하는 것이 매우 중요함을 다시 한번 나타내 준다. 본 논문에서는 내부 신호를 선택하기 위해 다음과 같은 절차를 따른다.

- 식 (5)에 표시된 방법에 따라 TDM 카운터를 사용하여 발진 주파수를 간접적으로 측정.
- 검출되지 못한 파라메트릭 고장을 정리함.
- 내부 신호를 선택하여 검출되지 못한 파라메트릭 고장의 fault coverage를 향상시킴.

IV. 실험 결과

이번 장에서는 두 개의 벤치마크 회로를 대상으로 본 논문에서 제시한 방법을 사용한 성능을 보여준다. 실험을 위해서 [5]에서 사용되었던 스테이트 베리어블 필터와 샬렌-키 필터가 사용되어서, 시분할 멀티플렉싱 기법에 의한 테스트 성능향상을 보여주는데 사용된다.

각 회로의 저항 커패시터 값등도 [5]에서 사용되었던 값이 동일하게 사용되었다.

1. 스테이트 베리어블 (State Variable) 필터

<그림 9>는 본 실험에 사용된 스테이트 베리어블 필터의 회로도도를 보여준다. 회로는 그림에 나와 있는 테스트 모드 (TM) 스위치에 의해 OTM 모드로 선택된다. <그림 10>은 테스트 모드에서 BPO와 노트3의 발진 동작을 보여준다. BPO 신호는 419Hz의 발진 주파수를 가지며 발진 진폭은 op amp 의 최대 출력 전압 진폭에

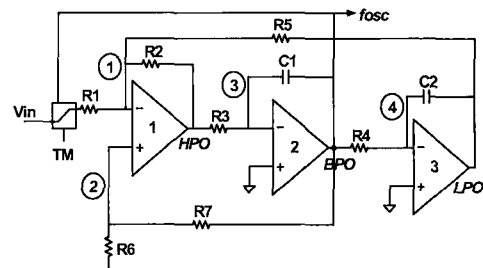


그림 9. 스테이트 베리어블 필터
Fig. 9. State variable filter.

의해 제한된다. 노트3은 op amp의 virtual ground 로서 회로의 정상적인 동작 상태에서는 <그림 10>에서처럼 큰 진폭을 보여서는 안 되고, 항상 소신호 동작을 하여야 한다. 만약 op amp 가 무한대의 출력 전압 진폭을 가진다면, virtual ground 는 항상 이상적인 소신호 동작을 하게 된다.

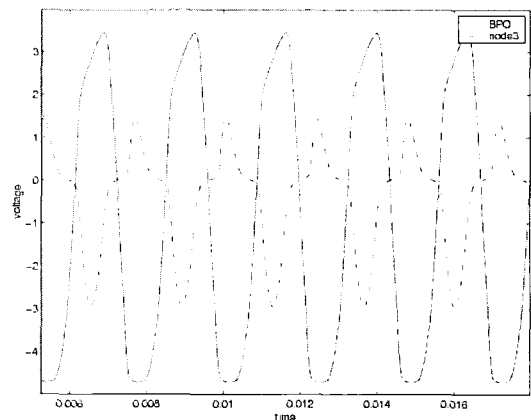


그림 10. 테스트 모드에서의 오실레이션 신호
Fig. 10. Oscillation in test mode.

그러나 실제의 op amp 회로는 <그림 10>의 BPO 신호처럼 항상 공급전원에 의한 최대 출력 전압의 한

계를 가지게 되고, 이에 따라 발진 신호가 최대치를 넘어서게 되면 op amp는 더 이상 이상적인 앰프로 동작하지 못한다. 이때는 op amp가 정상적인 동작을 못하고 입력단의 virtual ground 특성이 파괴되는 virtual ground explosion 상태로 된다. 이러한 현상은 <그림 10>에서 노드3에서도 관찰되었고, 동일한 현상이 다른 op amp의 입력단에서도 역시 관찰된다.

본 논문에서의 실험은 일반적으로 아날로그 테스트 논문에서 사용되는 single-component 고장을 가정한다. 즉, 한 개의 회로구성 부품에 고장이 발생하여 회로의 규격에서 설정된 허용오차의 밖으로 벗어나게 되는 경우를 가정한다. 회로의 허용오차는 본 논문에서는 각 부품 당 정상 값의 $\pm 5\%$ 를 가정하였다. 발진 주파수의 허용오차는 각 부품의 허용오차에 해당하는 발진 주파수를 측정함으로써 결정하였고 TDM 카운터의 허용오차도 각 부품의 허용 오차별로 측정하여 결정하였다. 각 허용 오차는 <표 2>에 정리되었다. <표 1>에 나타난 본 실험에서 사용된 비교전압에 따른 TDM 비교기의 출력 값은 노드1과 노드2의 경우 카운터의 크기를 합리적으로 작게 만들기 위해 비교기 출력 값을 inverter를 다시 통과한 후 카운트하였다. 즉 1이 출력되는 경우와 0이 출력되는 경우에서 노드1과 노드2에서 1이 출력되는 경우가 작게 만들어 줌으로서 카운터가 overflow 되지 않게 하였다.

표 1. 스테이트 베리어블 필터를 위해 사용된 비교전압

Table 1. Reference voltages for the state variable filter.

	voltage level
Vnode1	-1.0v
Vnode2	-1.33v

표 2. 스테이트 베리어블 필터의 허용 오차

Table 2. Tolerance band for the state variable filter.

	Osc. Freq. Hz	osc_counter	Node1	Node2
Nominal	419	2385	216	624
Tolerance	398-438	2281-2514	193-228	556-704

파라메트릭 고장은 각 회로 부품의 $\pm 20\%$ 및 $\pm 50\%$ 를 가정하여 실험을 실시하였다. <표 3>은 $\pm 20\%$ 에 해

당하는 실험결과를 보여주고 있다. 첫 번째 컬럼은 회로 부품을 보여주며 두 번째 컬럼은 고장이 발생한 부품의 값을 보여준다.

세 번째 컬럼은 기존의 발진 주파수 측정방식에 따른 결과를 보여주며 네 번째 컬럼은 발진 주파수를 간접적으로 측정해주는 *osc_counter* 값을 보여준다. *osc_counter*로부터 식 (5)를 사용하여 다섯 번째 컬럼의 발진 주파수를 계산하였다.

<그림 7>에서 보여진 ϕ_1 과 ϕ_2 클럭은 3MHz가 사용되었고, 발진 신호의 측정은 한 주기 동안의 발진 신호에 대해서 이루어졌으며, 한 주기가 419Hz 이므로 2.4ms의 테스트 시간이 된다. 시분할 방식은 세 개의 노드에 적용되었고, *osc_counter* 가 연결된 BPO 및 내부 신호인 노드1과 노드2의 3신호가 선택되었다. 선택된 클럭 주파수는 식 17의 요구사항을 만족 시키도록 선택되었다.

표 3. $\pm 20\%$ 파라메트릭 고장 발생시 기존의 직접 측정법과 제안된 방법의 주파수 측정 성능비교 (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 3. Measurement of oscillation frequency using both direct frequency measurement and indirect measurement. (* denotes undetected faults)

	faulty value	Osc. Freq.	osc_counter	Indirect Frquency
R1	8k Ω	250.13	3997	250.19
	12k Ω	477.78	2092	478.01
R2	8k Ω	* 406.67	* 2458	* 406.83
	12k Ω	* 482.63	* 2333	* 428.63
R3	8k Ω	457.25	2186	457.46
	12k Ω	389.56	2566	389.71
R4	8k Ω	463.39	2157	463.61
	12k Ω	385.36	2594	385.50
R5	8k Ω	4914.88	2033	491.88
	12k Ω	330.25	3027	330.36
R6	8k Ω	* 400.64	* 2496	* 400.64
	12k Ω	* 435.73	* 2294	* 435.92
R7	8k Ω	441.11	2266	441.31
	12k Ω	* 402.09	* 2486	* 402.25
C1	16nF	466.64	2143	466.64
	24nF	384.47	2600	384.62
C2	16nF	471.70	2119	471.92
	24nF	381.24	2622	381.39

기존의 직접적으로 발진 주파수를 측정하는 테스트 방식은 더 긴 테스트 시간을 요구한다. 즉 1Hz의 측정 정확도를 갖기 위해서는 1초의 측정시간이 필요하며, 만약 생산 원가를 줄이기 위해 시간을 단축하여 0.1초 동안 테스트하게 되면 테스트 정확도는 1/10배로 줄어들게 된다. 이러한 테스트 시간은 본 논문에서 사용된 2.4ms에 비해 매우 큰 값으로서 생산 원가에 큰 영향을 주게 된다. TDM 비교기를 위한 $\phi 1$ 과 $\phi 2$ 클럭은 각각 $\phi 1a, \phi 1b, \phi 1c$ 및 $\phi 2a, \phi 2b, \phi 2c$ 로 시분할 되었다.

커패시트로픽 고장에 대한 실험은 기존의 방식과 TDM 비교기 방식 모두 우수한 결과를 보여준다. 두 방식 모두 모든 가능한 오픈고장 (open fault) 과 랜덤하게 선택된 30개의 쇼트고장 (short fault)에 대한 회로의 고장을 100% 검색해 내었다. 오픈고장과 쇼트고장은 각각 10M ohm 과 1 ohm 의 저항으로 모델하였다.

<표 4>와 <표 5>는 파라메트릭 고장에 대한 시그니처들을 보여준다. 이 경우 TDM 비교기 방식은 내부

표 4. 스테이트 베리어블 필터의 ±20% 파라메트릭 고장 검출. (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 4. Parametric fault coverage of state variable filter for ±20% parametric faults. (* denotes undetected faults.)

	faulty value	Osc. Freq.	osc_counter	node1	node2
R1	8kΩ	250	3997	263	1859
	12kΩ	477	2092	160	461
R2	8kΩ	* 406	2458	0	575
	12kΩ	* 428	2333	265	656
R3	8kΩ	457	2186	223	599
	12kΩ	389	2566	178	639
R4	8kΩ	463	2157	156	528
	12kΩ	385	2594	246	710
R5	8kΩ	491	2033	274	468
	12kΩ	330	3027	168	967
R6	0.8kΩ	* 400	2496	214	0
	1.2kΩ	* 435	2294	218	724
R7	9.6kΩ	441	2266	212	725
	14.4kΩ	* 402	2486	217	0
C1	16nF	466	2143	198	605
	24nF	384	2600	208	623
C2	16nF	471	2119	161	496
	24nF	381	2622	242	731

표 5. 스테이트 베리어블 필터의 ±50% 파라메트릭 고장 검출. (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 5. Parametric fault coverage of state variable filter for ±20% parametric faults. (* denotes undetected faults.)

	faulty value	Osc. Freq.	osc_counter	node1	node2
R1	5kΩ	0	0	0	0
	15kΩ	572	1878	0	461
R2	5kΩ	378	2458	0	575
	15kΩ	* 438	2281	325	682
R3	5kΩ	538	1857	234	526
	15kΩ	356	2804	0	629
R4	5kΩ	573	1744	0	327
	15kΩ	347	2875	423	314
R5	5kΩ	593	1683	274	468
	15kΩ	0	0	0	0
R6	0.5kΩ	366	1331	213	0
	1.5kΩ	458	896	218	759
R7	6.0kΩ	491	765	186	724
	18.0kΩ	382	1232	220	0
C1	10nF	580	753	151	531
	30nF	348	1218	142	582
C2	10nF	640	600	0	143
	30nF	339	1302	273	869

표 6. 스테이트 베리어블 필터의 고장 검출 가능 범위

Table 6. Fault coverage for state variable filter.

	Osc. Freq.	Proposed Scheme
R1	-5% - +5%	-5% - +5%
R2	-31% - +52%	-5% - +5%
R3	-11% - +14%	-11% - +14%
R4	-9% - +12%	-9% - +8%
R5	-5% - +6%	-5% - +6%
R6	-22% - +24%	-5% - +13%
R7	-18% - +23%	-13% - +5%
C1	-9% - +11%	-9% - +11%
C2	-8% - +10%	-8% - +10%

노드에서 추출한 추가적인 정보를 바탕으로 고장 검색 성능을 대폭 향상시켰다. 본 실험의 pass/fail 은 첫 단계에서 osc_counter 값을 기준으로 먼저 결정되었다. 이때 검색되지 못한 고장은 노드1과 2의 값으로 추가적으로 검색 가능하였다.

<표 4>에서 두꺼운 글씨체로 표시된 것은 회로의 허용오차 밖으로 벗어난 값들을 보여준다. 발진 주기만으로 검색되지 못한 5개의 고장은 내부 노드1과 2를 통해서 검색된 것을 보여준다. 이러한 방식을 통하여 본 실험에서는 모든 $\pm 20\%$ 와 $\pm 50\%$ 고장을 검색할 수 있었다. 내부 노드를 측정하여 이와 같은 높은 검색결과를 얻기 위한 추가적인 하드웨어는 앞의 2장에서 설명한 바처럼 몇 개의 스위치로서 본 방식의 효율성을 다시 한번 보여준다. <표 6>에서는 노드1과 2를 측정함으로써 검색할 수 있는 최대한의 부품 변화를 보여준다. 기존의 방식과 제안된 방식을 비교해 보면 제안된 방식이 더욱 큰 검색율을 가짐을 쉽게 알 수 있다. 즉 R2를 비교해 보면 기존 방식은 -31% 와 $+52\%$ 보다 큰 부품의 고장만을 측정가능 하고, -5% 와 -31% 사이의 고장과 $+5\%$ 와 $+52\%$ 사이의 고장은 검색이 불가능하다. 그러나 제안된 방식은 R2에 대한 고장을 완전히 검색 가능케 한다. 이는 <그림 9>의 벤치마크 회로에서 R2와 직접 연결된 내부 노드 1을 측정함으로써 R2에 대한 검색기능이 대폭 향상되었기 때문이다. 또한 <표 6>에서 보여주듯이 R2뿐만 아니라 R6와 R7에 대한 검색성능이 대폭 향상되었음을 알 수 있다. 만약 더 높은 성능향상이 요구될 경우 추가적으로 내부 노드를 측정함으로써 가능하다. 이러한 성능향상은 기존의 방식으로는 얻기 어려우며 본 방식의 큰 장점이다.

2. 셸렌-키 (Sallen-Key) 필터

본 실험에서 사용된 두 번째 벤치마크 회로는 <그림 11>의 셸렌-키 필터이다. 셸렌-키 필터 역시 스테이트 베리어블 필터와 함께 가장 많이 사용되는 아날로그 회로중 하나이다. 테스트 모드에서는 TM 스위치로 선택된 피드백에 의해 필터는 발진회로로 변하게 된다^[5]. <표 9>의 결과는 $\pm 20\%$ 파라메트릭 고장을 대상으로 검색 성능을 실험한 것이다. 앞에서의 스테이트 베리어블 필터와 마찬가지로 셸렌-키 필터 역시 매우 높은 고장 검색도를 보여 줌으로서 본 논문에서 제시한 시분할 멀티플렉싱 기법의 높은 성능을 다시 확인 시켜준다.

회로 규격의 허용오차는 앞에서와 마찬가지로 각 부품 당 $\pm 5\%$ 를 기준으로 실험하여 <표 8>과 같이 구하여졌다. 실험 방식은 앞에서와 동일한 방식으로 행하여졌고, $\pm 20\%$ 고장에 대해서 첫 단계에서 다섯 개의 부품 고장이 검색되지 못하였다. 따라서 내부 노드2 와 4를 추가로 측정하여 검색 성능을 100% 까지 향상 시켰다. $\pm 50\%$ 고장의 실험 결과는 <표 11>에 정리되어

표 7. 셸렌-키 필터 테스트를 위해 사용된 비교전압

Table 7. Reference voltages for Sallen-Key filter.

	voltage level
Vnode2	-0.1v
Vnode4	0.6v

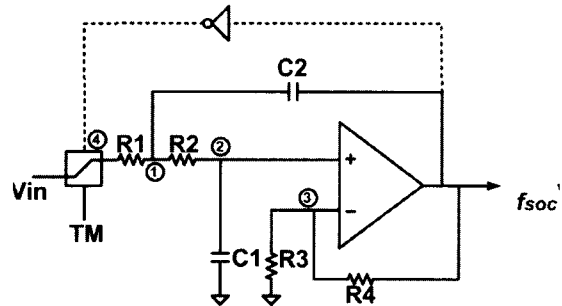


그림 11. 셸렌-키 필터
Fig. 11. Sallen-Key filter.

표 8. 셸렌-키 필터의 허용 오차

Table 8. Tolerance band for Sallen-Key.

	Osc. Freq. Hz	osc_counter	Node2	Node4
Nominal	1028	973	242	112
Tolerance	962-1039	908-1039	229 253	54-162

표 9. 기존의 직접 측정법과 제안된 방법의 주파수 측정 성능비교 (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 9. Measurement of oscillation frequency using both direct frequency measurement and indirect measurement. (* denotes undetected faults)

	faulty value	Osc. Freq.	Indirect osc_counter	Frqecy
R1	2.56k Ω	*1308.4	*963	*1038.4
	3.84k Ω	*1015.2	*985	*1015.2
R2	2.56k Ω	*1067.2	*937	*1067.2
	3.84k Ω	*988.1	*1012	*988.1
R3	3.89k Ω	871.0	1148	871.1
	5.83k Ω	1204.8	830	1024.8
R4	7.07k Ω	1335.1	749	1335.1
	10.61k Ω	878.7	1137	879.5
C1	40nF	*972.7	*1028	*972.8
	60nF	1116.0	896	116.1
C2	40nF	1396.6	716	1396.6
	60nF	818.3	1222	818.3

있다. 기존의 방식에 의해서는 세 개의 검색되지 못한 고장이 발생하였으나, 새로운 기법에 의해서는 역시 100% 검색 되었다.

<표 12>의 고장 검출 가능 범위는 기존의 방식이 고장검색에 있어서 많은 문제점이 있음을 명백히 보여준다. R1의 경우 제안된 방식을 사용하면, -17%이상의 변화를 가진 고장이나 +20%이상을 가진 고장을 모두 검출할 수 있다. 그러나 기존방식으로는 R1의 경우 저항이 쇼트 되더라도 전혀 검색이 되지 않고 있다. 이에 비해서 제안된 방식은 검색 가능범위를 대폭 향상시켜 주고 있다.

표 10. 셸렌-키 필터의 ±20% 파라메트릭 고장 검출. (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 10. Parametric fault coverage of Sallen-Key for ±20% parametric faults. (* denotes undetected faults.)

	faulty value	Osc. Freq.	osc_counter	node2	node4
R1	2.56kΩ	*1038	963	235	45
	3.84kΩ	*1015	985	249	163
R2	2.56kΩ	*1067	937	224	122
	3.84kΩ	*988	1012	258	106
R3	3.89kΩ	871	1148	253	28
	5.83kΩ	1024	830	233	0
R4	7.07kΩ	1335	749	222	0
	10.61kΩ	878	1137	254	263
C1	40nF	*972	1028	240	196
	60nF	1116	896	237	0
C2	40nF	1396	716	189	0
	60nF	818	1222	288	220

V. 결 론

본 논문에서는 오실레이션 테스트의 파라메트릭 고장 검색성능을 크게 향상시킬 수 있는 기법을 제안하였다. 회로의 고장에 민감한 내부 노드를 선택하여 측정함으로써 파라메트릭 고장의 검색을 용이하게 할 수 있었다. 시분할 멀티플렉싱 기법을 사용한 TDM 비교기는 발진 주파수뿐 아니라 발진 크기까지 간접적으로 측정한다. 일반적으로 op amp 회로의 최대 진폭의 제한에 의해서, 발진시에는 op amp 의 virtual ground 가 파괴되는 현상이 발생한다. 본 논문에서는 이를 측정함

으로서 추가적인 정보를 추출하여 고장의 검색성능을 향상시킨다. 벤치마크 회로로서 사용된 스테잇 베리어 블 필터와 셸렌-키 필터를 대상으로 ±20% 및 ±50%의 부품고장을 100% 검색할 수 있음을 보여주었다.

실제 반도체 회로에서 발생하는 고장은 대부분 커패시트로픽 고장이며 이것만을 대상으로 한 테스트 방식들도 많이 개발되고 있다. 그러나 본 논문에서는 테스트 품질을 극대화하기 위해서 파라메트릭 고장에 대해 중점적으로 연구하였다.

표 11. 셸렌-키 필터의 ±50% 파라메트릭 고장 검출. (* 표시된 것은 검출되지 못한 고장을 뜻함.)

Table 11. Parametric fault coverage of Sallen-Key for ±50% parametric faults. (* denotes undetected faults.)

	faulty value	Osc. Freq.	osc_counter	node2	node4
R1	1.6kΩ	*1046	956	227	0
	4.8kΩ	*990	1010	262	222
R2	1.6kΩ	1152	838	195	128
	4.8kΩ	936	1068	280	103
R3	2.43kΩ	726	1377	274	451
	7.29kΩ	1709	584	163	0
R4	4.42kΩ	0	0	0	0
	13.26kΩ	775	1288	268	395
C1	25nF	*982	1028	222	242
	75nF	1529	1017	88	0
C2	25nF	0	0	0	0
	75nF	649	1540	348	328

표 12. 셸렌-키 필터의 고장 검출 가능 범위
Table 12. Fault coverage for Sallen-Key.

	Osc. Freq.	Proposed Scheme
R1	short +61%	-17% +20%
R2	-35% +32%	15% +9%
R3	-6% +8%	-6% +8%
R4	-7% +7%	-7% +7%
C1	-70% +18%	-10% +9%
C2	-6% +5%	6% +5%

참 고 문 헌

[1] K. Arabi and B. Kaminska, "Testing analog

- and mixed-signal integrated circuits using oscillation-test method", IEEE Trans. on Computer-Aided Design, Vol. 16, No. 7, pp. 745~753, July 1997.
- [2] K. Arabi, and B. Kaminska, "Parametric and catastrophic fault coverage of analog circuits in oscillation-test methodology", Proc. IEEE VLSI Test Symposium, pp. 166~171.
- [3] K. Arabi, and B. Kaminska, "Oscillation built-in self-test (OBIST) scheme for functional and structural testing of analog and mixed-signal integrated circuits", IEEE Proc. IEEE Int. Test Conf., pp. 786~795, 1997.
- [4] K. Arabi, and B. Kaminska, "Design for testability of embedded integrated operational amplifiers", IEEE J. of Solid-State Circuits, Vol. 33, No. 4, pp. 573~581, April 1998.
- [5] K. Arabi, and B. Kaminska, "Oscillation-test methodology for low-cost testing of active analog filters", IEEE Trans. Instrumentation and Measurement, Vol. 48, No. 4, pp. 798~806, August 1999.
- [6] D. Vazquez, A. Rueda, J. L. Huertas, and E. Peralias, "A high-Q bandpass fully differential SC filter with enhanced testability", IEEE J. of Solid-State Circuits, Vol. 33, No. 7, pp. 976~986, July 1998.
- [7] G. Huertas, D. Vazquez, A. Rueda, and J. L. Huertas, "Effective oscillation-based test for application to a DTMF filter bank", Proc. IEEE Int. Test Conf., pp. 549~555, 1999.
- [8] M. S. Zarnik, F. Novak, and S. Macek, "Design of oscillation-based test structures for active RC filters", IEE Proceedings-Circuits Devices and Systems, Vol. 147, pp. 297~302, October 2000.
- [9] M. W.-T. Wong, "On the issues of oscillation test methodology", IEEE Trans. Instrumentation and Measurement, Vol. 49, pp. 240~245, April 2000.
- [10] N. Nagi, A. Chatterjee, H. Yoon and J. A. Abraham, "Signature analysis for analog and mixed-signal circuit test response compaction", IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems, Vol. 17, No. 6, pp. 540~546, June 1998.
- [11] J. Roh and J. A. Abraham, "Subband Filtering scheme for analog and mixed-signal circuit testing", Proc. Int. Test Conf., pp. 221~229, 1999.
- [12] J. Roh and J. A. Abraham, "A comprehensive TDM comparator scheme for effective analysis of oscillation-based test", IEEE Proc. VLSI Test Symposium, pp. 143~148, 2000.
- [13] A. G. F. Dingwall, "Monolithic expandable 6bit 20MHz CMOS/SOS A/D converter", IEEE J. of Solid-State Circuits, Vol. SC-14, No. 6, pp. 926~932, December 1979.
- [14] K. K. Clarke and D. T. Hess, Communication Circuits: analysis and design, Addison-Wesley, 1978.

 저자 소개



盧正眞(正會員)

1990년 2월 한양대학교 전기공학 학사, 2001년 5월 The university of Texas at Austin 컴퓨터공학 박사. 1989년 12월 - 1996년 6월 삼성전자 근무, 2000년 3월- 2001년 8월 Intel, USA 통신회로팀 Senior design engineer 근무, 2001년 9월-현재 한양대학교 전자컴퓨터공학부 교수. <주관심분야 : 델타-시그마 데이터 변환기 설계, 휴대전자제품용 DC-DC 변환기 설계, 혼성신호회로의 시뮬레이션 및 테스트>