

論文2003-40SD-2-6

MC-CDMA 시스템용 PN 부호 동기획득 구조의 구현 (Architecture Design of PN Code Acquisition for MC-CDMA Systems)

盧 貞 敏 * , 李 聲 柱 ** , 金 在 錫 **

(Jungmin Ro, Seongjoo Lee, and Jaeseok Kim)

요 약

본 논문에서는 저전력 및 고속의 특성을 갖는 MC-CDMA 시스템용의 동기획득 구조를 제안한다. 이를 위해 탐색핑거라는 새로운 구조를 설계하였다. 제안한 탐색핑거는 기존의 핑거를 수정한 구조로써, 원래의 핑거 기능 이외에 탐색기의 기능을 갖고 있다. 초기 동기획득시 탐색핑거는 탐색기와 함께 탐색기의 기능을 수행함으로써 초기 동기획득 시간을 단축시킨다. 그리고 초기 동기획득이 끝난 후에 본래의 핑거로 동작한다. 제안한 구조를 5MHz MC-CDMA 시스템에 적용할 경우, 동기획득을 수행하는 블록에서 게이트카운트를 비교하였을 때, 약 63%의 하드웨어 복잡도 감소와 동시에 동기획득 시간을 5배 단축할 수 있었다. 또한, 20MHz MC-CDMA에서는, 약 75%의 하드웨어 복잡도를 감소시키면서 평균 동기획득 시간을 최대 19배 단축할 수 있었다.

Abstract

In this paper, we propose a new code acquisition architecture having the features of low complexity and high speed for the MC-CDMA systems. The newly designed searching finger has functions of the searcher as well as the finger. The searching finger tests the PN code phases as the searcher during the initial acquisition, and as the finger after the initial acquisition. The proposed system has reduced the average acquisition time of the PN codes to $T_{acq}/19$ in the 20MHz MC-CDMA system with 75% reduction of H/W complexity.

Keywords : MC CDMA, code acquisition, searching finger, low complexity, high speed

I. 서 론

현재 디지털 이동 통신에서 상용화된 협대역 CDMA 시스템에서 PN 부호 동기획득(code acquisition)은 레

* 正會員, 三星電子 通信研究所 標準研究팀
(Global Standards and Strategy, Telecommunication R&D Center, Samsung Electronics Co., Ltd.)

** 正會員, 延世大學校 電氣·電子工學部
(School of Electric and Electronic Eng., Yonsei University)

接受日字:2001年2月5日, 수정완료일:2003年2月6日

이크수신기 구조를 통해서 이루어진다^[1]. 이 구조는 크게 한 개의 탐색기(searcher)와 세 개 혹은 네 개의 핑거(finger)로 구성되어 있다. 탐색기는 자기상관 특성(auto-correlation)을 이용하여, 파일럿 채널(pilot channel)을 통해 수신된 PN 부호와 자체 발생시키는 PN 부호와의 상관 에너지를 구하고, 1/2 PN 칩(chip) 이내로 동기획득을 한다. 핑거는 탐색기가 초기동기획득 과정을 수행할 때 휴지상태(idle)에 있다. 탐색기가 초기 동기획득과정을 완료하면, 핑거는 탐색기에서 동기획득된 위상을 할당받아 1/8 PN 칩 이내로 동기추적(code tracking) 과정을 수행한다. 또한 수신된 데이터를 복조하고, 주파수 오차를 계산하는 기능을 갖는다^[2].

IS-95를 기반으로 한 레이크수신기의 블록도는 <그림 1>과 같다.

<그림 1>의 레이크수신기 구조를 이용하여 IS-95 기반의 협대역 CDMA 시스템은 동기획득을 수행한다. 그러나, 이 동기획득은 PN 부호의 전체 주기인 32768 PN 칩을 탐색해야 하므로 시간이 오래 걸리고, 전력 소모 또한 크다.

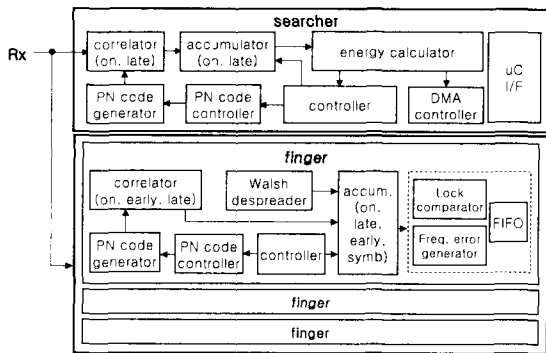


그림 1. CDMA 시스템용 레이크수신기의 블록도
Fig. 1. Block Diagram of the Rake Receiver for the CDMA Systems.

MC-CDMA 방식은 현재 사용중인 협대역 CDMA 방식과 호환성을 제공할 뿐만 아니라 주파수 다이버시티(frequency diversity) 특성을 지녀 우수한 성능을 제공하고, IMT-2000 시스템의 다중접속 방식중의 하나로 채택되어 현재 그 연구가 활발히 진행 중에 있다^[3-5]. MC-CDMA 동기식 IMT-2000 시스템의 경우, 여러 종류의 데이터(음성, 패킷 데이터, 정지영상, 동영상 등)를 여러 대역폭(5, 10, 15, 20MHz)을 통하여 소비자에게 제공하도록 요구되고 있기 때문에^[6-8], 레이크수신기 구조가 한층 더 복잡해진다. 그리고 이 시스템은 저전력 중심을 통한 설계를 바탕으로 더욱 긴 대기시간과 향상된 성능을 제공해야 하므로, 고속의 동기획득이 필수적으로 요구되고 있다. 즉, MC-CDMA 방식을 사용하는 IMT-2000 시스템의 동기획득 구조는 기존의 동기획득 구조보다 더 간단한 하드웨어 구조를 제공하여 전력 감소를 피하여야 하며, 더욱 발전된 탐색 방식을 통해 고속의 동기획득을 이루어야 한다. 이와 같은 이유로 저전력 및 고속의 특징을 갖는 동기획득 구조가 제안되었다.

MC-CDMA 시스템에 응용할 수 있는 동기획득 구조를 검토한 결과, 다음의 2가지 방식을 고려할 수 있었

다. 일반적인 MC-CDMA용 동기획득 구조는 탐색기의 수를 증가하는 방식을 사용하고 있다. 이 방식은 반송파의 수가 늘어남에 따라 탐색기의 수를 증가시켜 고속의 동기획득을 수행하는 것이다. 탐색기를 증가한다는 것은 상관기의 수를 늘려 탐색기당 탐색영역(uncertainty region)을 줄임으로써 고속의 동기획득을 실현하는 것이다. 그러나 상관기의 수가 증가함에 따라 동기획득 시스템의 구조가 복잡해져 성능 저하를 야기한다. 또 다른 방식으로는, 앞서 제시한 방식에서 추가적으로 상관기의 수를 늘리는 것과 달리, 초기 동기획득시 휴지상태(idle state)인 핑거에 탐색기 기능을 더하여 동기획득 과정에 참여하도록 하는 방식이 있다^[9].

본 논문에서는, 앞서 언급한 방식 중 두 번째 제안된 방식을 기본으로 하여 탐색핑거라는 새로운 구조를 제안한다. 두 번째 방식은 협대역 CDMA용으로 제안된 방식으로서, MC-CDMA 시스템에 적용할 경우, 반송파의 수가 늘어나도 탐색기의 수를 늘리지 않아도 된다. 탐색기는 한 개만 사용하고 추가되는 핑거를 탐색핑거로 사용함으로써, 하드웨어 복잡도를 낮추면서 동기획득을 수행할 수 있게 하였다. 탐색핑거는 탐색기와 핑거의 하드웨어 구조의 유사성에 초점을 두어 설계된 것이다. 즉, 핑거에 탐색기의 기능을 첨가함으로써, 초기 동기획득시 탐색기와 탐색핑거가 함께 동기획득을 하게 하여 고속의 동기획득을 가능하게 한 것이다. 그리고 초기 동기획득이 완료된 후에는 탐색핑거는 기존의 핑거로서 동작하게 한다.

본 논문은 다음과 같이 구성되어 있다. 제 II장에서는 제안한 탐색 방식에 대한 분석을 논하여, 탐색기와 핑거의 동작에 대한 개념을 이해하고자 한다. 제 III장에서는 제안한 탐색 방식의 구현에 대하여 각 모듈별로 설명하며, 특히 탐색핑거의 구조에 대한 설명이 자세히 언급된다. 제 IV장에서는 제안한 구조를 VHDL로 설계하였을 때 이의 시뮬레이션 결과 및 합성 결과를 보이고, 여러 대역폭의 MC-CDMA 시스템에 적용하였을 때 하드웨어 복잡도 및 성능을 분석하였다.

II. 탐색핑거를 이용한 새로운 탐색 방식

<그림 2>는 3개의 반송파를 사용한 5MHz MC-CDMA 수신부의 탐색 방식이다. 이 탐색 방식은 수신된 신호를 복조하기 위해 반송파당 각각 독립적인 3개

의 레이크수신기 구조를 사용한다. 각 레이크수신기가 3개 혹은 4개의 핑거로 구성되었을 경우, 9개 혹은 12개의 핑거가 사용된다. <그림 2>에서는 3개의 핑거로 구성된 레이크수신기를 나타내며, 전체 9개의 핑거로 구성된다. 20MHz 대역폭을 갖는 MC-CDMA 시스템의 경우에는 12개의 반송파를 통하여 수신되는 신호의 복조를 위해 36개 혹은 48개의 핑거가 사용되므로, 하드웨어 복잡도가 선형적으로 증가하게 된다. 또한, 동기획득 시간은 수신기에서 발생시키는 PN 코드와 수신되는 PN 코드의 위상이 1/2 PN 칩 이내로 동기가 맞을 때까지 걸리는 평균시간을 말하는데, 이 구조에서는 초기 동기획득 시간의 단축이 없기 때문에 이동국 단말기의 전력 소모가 크다.

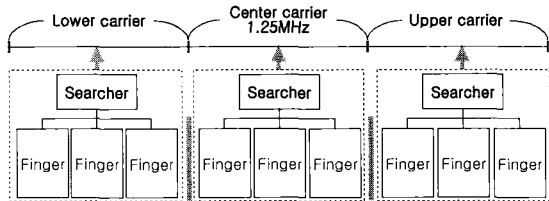


그림 2. 5MHz MC-CDMA 수신부의 탐색 방식
Fig. 2. Searching Scheme of the 5MHz MC-CDMA Receiver.

본 논문에서 제안된 탐색 방식은 탐색기와 핑거의 구조의 유사성과 핑거가 초기 동기획득시 휴지상태임에 그 초점을 두었다. 구조면과 동작면에서 살펴본 탐색 방식은 다음과 같다. 구조면에서 볼 때, 하나의 상관기로 구성된 핑거의 에너지 검파기(energy detector) 블록이 탐색기의 상관기와 비슷하다. 그러므로 핑거를 탐색기로도 동작할 수 있게 수정할 수 있다. 또한, 동작면에서, 핑거는 초기 동기획득시 휴지상태이기 때문에, 탐색기처럼 동작할 수 있게 구현된 핑거를 탐색기와 함께 동기획득 과정에 참여시킬 수 있다. 이러한 기능을 수행하는 핑거를 탐색핑거라 하고, 본 탐색 방식은 이 탐색핑거를 사용한 방식이다.

탐색기는 온타임(on-time) 및 레이트타임(late-time) 2개의 상관기를 사용하여 1/2 PN 칩 이내로 동기획득을 수행한다. 그러므로 2개의 탐색핑거를 온타임 및 레이트타임 상관기로 사용하여 1개의 탐색기의 효과를 가져올 수 있다. 2개의 탐색핑거를 쓰는 또 다른 이유는 PN 부호의 이동(slewing)을 짝수 배로 원활하게 하기 위함이다.

제안한 방식을 분류한다면 직렬탐색 방식이라 볼 수 있다. 직렬 탐색은 여러 개의 직렬로 연결된 상관기를 사용하여 상관과정을 수행하는 방식이다. <그림 3(a)>의 초기 동기획득시 그림을 보면, 탐색기와 탐색 핑거들이 중심반송파를 통해 수신되는 신호에 대한 동기획득을 수행하는 것을 알 수 있다. 이 그림에서 탐색 핑거 4쌍과 탐색기 1개는 직렬탐색 방식의 동기획득을 수행한다. 즉, 3개의 탐색기가 직렬탐색 방식으로 동작한다.

<그림 3>에서는 본 논문에서 제안한 탐색 방식을 보인다. 각 반송파당 3개의 핑거가 할당되었다고 하면, 5MHz 대역폭을 갖는 MC-CDMA 시스템의 경우 9개의 핑거가 사용되므로 최대 8개의 탐색핑거를 사용할 수 있다.

<그림 3(a)>는 초기 동기획득시 탐색기와 4개의 탐색핑거 쌍이 탐색을 수행하는 모습을 보여준다. 즉, 5개의 탐색기로 초기 동기획득 과정을 수행하는 효과를 갖기 때문에, 1개로 탐색할 경우와 비교하여 5배 빠른 동기획득을 이룰 수 있음을 보인다. 이 때, 탐색기와 모든 탐색핑거가 중심반송파에 대한 대역탐 탐색하도록 한다. 왜냐하면, 상위, 하위 및 중심반송파를 통해 수신되는 신호들은 서로 동기가 맞추어져 들어오기 때문이다¹⁰⁾.

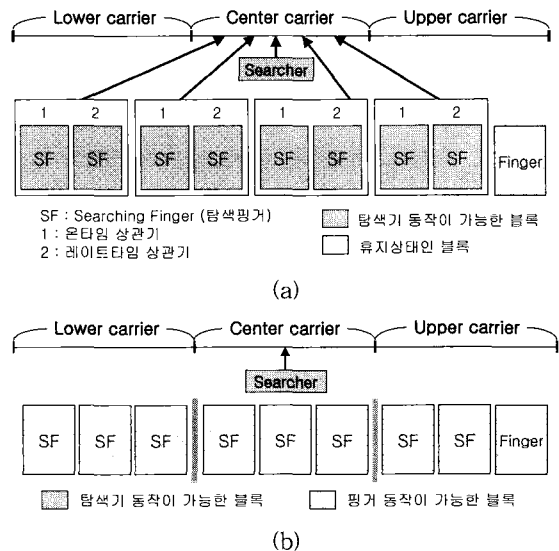


그림 3. 탐색핑거를 사용한 초기 동기획득의 탐색 방식
(a) 초기 동기획득시 (b) 초기 동기획득 이후
Fig. 3. Searching Scheme of the Initial PN Code Acquisition Using the SF(searching finger) (a) during the Initial Acquisition (b) after the Initial Acquisition.

핑거 고유의 기능으로서 사용될 때는(share_mode=0) 이득이 고려되지 않으므로, 핑거가 탐색기로 사용될 때의 비트 수를 맞추기 위하여 하위 1비트(무조건 0)를 붙여준다.

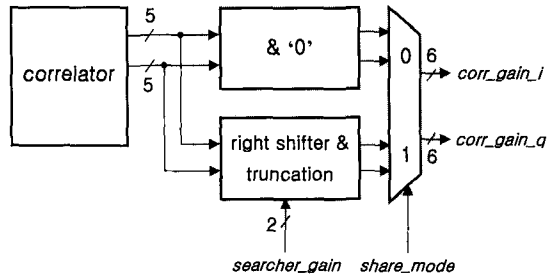


그림 5. 탐색핑거의 상관기의 블록도
Fig. 5. Block Diagram of the Searching Finger's Correlator.

탐색핑거의 파일럿 필터는 탐색기의 적분기와 유사한 기능을 수행한다. 본 논문에서는 이중적분 직렬 동기 획득 방식(double-dwell serial search algorithm)을 이용한 동기획득 시스템에 기반을 두고있기 때문에^[11,12], 파일럿 필터 역시 이중적분 직렬 동기획득을 수행할 수 있도록, 즉 얼리덤프(early-dump) 및 전체 적분(full integration) 과정을 수행할 수 있도록 수정 설계한다. 그리하여, 탐색기의 적분제어기에서 발생하는 제어 신호들을 탐색핑거가 탐색기로 동작할 때 입력시키도록 한다. 또한, 이 제어 신호들을 파일럿 필터의 클럭을 제어하는데 이용한다. 왜냐하면, 원래의 핑거로서 동작할 경우에 파일럿 필터는 CHIPX8 클럭으로 동작하였으나 탐색기의 적분기는 CHIPX1 클럭으로 동작하기 때문에, 파일럿 필터가 탐색기의 적분기와 같은 클럭으로 동작하기 위해서 제어 신호가 필요하다.

세 번째로, 에너지 필터는 탐색기의 상관 에너지 계산기와 같은 기능을 하도록 수정 설계되었다. <그림 6>은 탐색핑거용의 에너지 필터를 보여주고 있다. 에너지 필터는 핑거로 동작할 경우(share_mode=0), 파일럿 에너지의 평균을 구하기 위해 에너지를 반으로 나누어 누적한다. 탐색기로 동작하기 위해서는(share_mode=1), 상관기처럼 에너지 필터에 이득을 제어하는 부분을 첨가하여야 한다. 또한, 탐색핑거에서 계산된 에너지도 최대 에너지를 갖는 위상을 결정하는데 사용하여야 하므로, 탐색핑거의 에너지는 탐색기의 DMA(Direct Memory Access) 블록을 통과하여 마이크로컨트롤러로 전송된다.

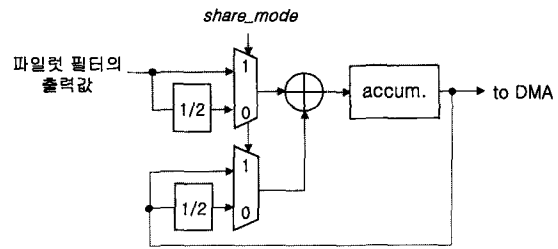


그림 6. 탐색핑거의 에너지 필터의 블록도
Fig. 6. Block Diagram of the Searching Finger's Energy Filter.

<그림 4>의 마이크로컨트롤러 인터페이스와 DMA 블록이 필요한 이유는 다음과 같다. 단지 탐색기와 핑거는 하드웨어 면에서 상관 에너지를 계산하는 기능만 하고, 마이크로컨트롤러는 소프트웨어 면에서 동기획득이 완료되었는지 여부를 결정하기 때문에, 마이크로컨트롤러의 명령을 받을 인터페이스와 마이크로컨트롤러로 에너지를 보낼 DMA 블록이 필요하다.

2. 탐색기의 설계

5MHz 대역폭을 가진 MC-CDMA 시스템은 최대 8개의 탐색핑거를 가질 수 있다. 제안된 시스템은 5MHz의 MC-CDMA 시스템에 적용하면, 초기 동기획득시 탐색기와 8개의 탐색핑거가 같이 PN 부호의 위상을 탐색한다. 동기획득 이후에는, 탐색핑거가 핑거로써 다중 경로 신호에 대하여 동기추적 및 복조 과정을 수행하는 동안, 탐색기는 계속적으로 가능성 있는 다른 경로들을 탐색하고 핸드오프(hand-off)를 대비한다.

제안된 탐색기의 블록도는 <그림 7>과 같다. 이 그림에서, 탐색 핑거를 사용하면서 변경된 탐색기의 변경된 기능 블록들은 어두운 색으로 표시해두었다. 탐색기는 초기 동기획득시 탐색핑거와 합동 탐색을 위해 수정 설계되었다. 우선 PN 부호 발생기와 PN 부호 제어기는 탐색기뿐만 아니라 탐색핑거에서도 사용될 PN 부호와 PN 부호 발생에 필요한 제어 신호를 발생시킨다. 이는 PN 부호의 위상 이동을 쉽게 하기 위해서인데, 예를 들어, 하나의 탐색기와 두 개의 탐색핑거가 있는 시스템이 있고, 이 시스템에서 두 개의 탐색핑거는 탐색기가 탐색하는 위상의 바로 다음 위상을 뒤따라 탐색을 한다고 하자. 물론 탐색핑거도 PN 부호 발생기(PN code generator)와 PN 부호 제어기(PN code controller)가 있지만, 전체 탐색 과정을 탐색기가 관장하기 때문에 탐색기에서 PN 부호를 발생시키고 PN 부

호의 위상 이동을 제어하는 것이 탐색핑거가 하는 것보다 더 쉽다.

제안된 동기획득 구조는 이중적분 직렬 동기획득 알고리즘을 기본으로 하여 동기획득을 수행한다. 이 경우, 탐색핑거에서 계산된 에너지도 얼리덤프(early-dump) 및 최대 에너지를 판정하는데 사용되어야 한다. 이에 따라, <그림 7>의 적분 제어기가 탐색기의 에너지 계산기 출력뿐만 아니라 탐색핑거의 에너지도 입력으로 받아들이고, 이의 결과를 PN 부호 제어기에 보내어 PN 부호의 위상 이동을 제어한다. 또한 최대 에너지 판정기도 최대 에너지를 갖는 위상을 판정할 때, 탐색핑거에서 전달된 에너지를 포함하도록 설계되었다.

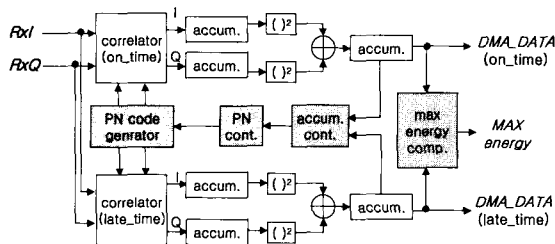


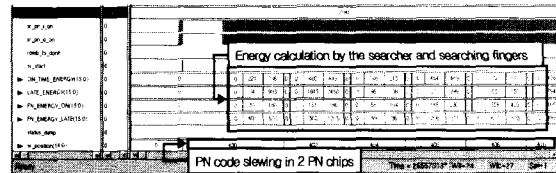
그림 7. 제안된 탐색기의 블록도
Fig. 7. Block Diagram of the Proposed Searcher.

IV. 검증 결과

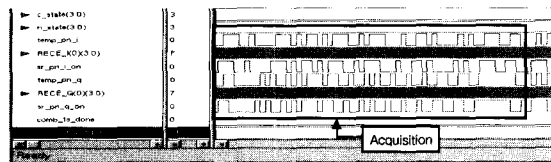
본 논문에서 제안된 구조는 VHDL로 설계되었고, 이를 검증하기 위해 Synopsys의 툴을 이용하여 게이트 수준으로 합성을 수행하였다. 사용된 Synopsys 버전은 2000.05버전이며, 제안된 모듈에 대한 VHDL 검증은 Synopsys에서 제공하는 VHDL 시뮬레이터인 VCS툴을 이용하여 이루어졌다. 검증은 5MHz 대역폭의 MC-CDMA 시스템을 기본으로 수행하여, 다른 대역폭을 갖는 시스템으로 개념을 확대하였다. 반송파당 세 개의 핑거가 할당되었다고 가정하고, 제안된 전체 레이크수신기 외에도 IMT-2000 다중경로 페이딩 채널 모델, 기지국, 그리고 마이크로컨트롤러를 VHDL로 설계하여 검증을 수행하였다. 그리고 나서, 제안된 구조를 게이트 수준의 회로로 합성을 하고, 5MHz 대역폭뿐만 아니라 다른 대역폭에 적용하였을 경우 하드웨어 복잡도와 고속의 동기획득 여부를 분석하였다.

초기 동기획득 과정의 VHDL 시뮬레이션 결과는 <그림 8>과 같다. 본 시뮬레이션 결과는 2개의 탐색핑거를 사용하였을 경우이다. <그림 8(a)>에서는 초기 동기

획득시, 탐색기의 온타임 및 레이트타임 상관기와 2개의 탐색핑거가 탐색을 수행하여 상관 에너지가 계산됨을 보인다. 1개의 상관기당 PN 부호의 탐색 단위가 1/2 PN 칩이고, 탐색기와 2개의 탐색핑거가 같이 탐색 과정을 수행하므로, 결국 4개의 상관기가 동작하는 것이다. 그래서 PN 부호의 이동이 2 PN 칩씩 이루어짐을 확인할 수 있다. 이 그림은 동기획득 시간의 감소를 보이는 것이 아니라, 제안된 구조로 동기획득 과정이 가능함을 보이는 것이다. Heuristic approach 관점에서, 탐색기 1개를 이용할 때 동기획득 시간이 Tacq라면, 탐색기 5개를 직렬로 사용할 때 동기획득 시간이 Tacq/5라고 말할 수 있다. <그림 8(b)>는 초기 동기획득이 이루어진 이후의 동작을 보여준다. 여기서 동기획득이 완료되었음을 확인할 수 있다.



(a)



(b)

그림 8. 초기 동기획득 과정의 VHDL 시뮬레이션 결과
(a) 초기 동기획득시 (b) 초기 동기획득 이후
Fig. 8. VHDL Simulation Results of the Initial Acquisition.
(a) during the Initial Acquisition (b) after the Initial Acquisition

<그림 9>는 제안된 동기획득 구조와 기존 구조와의 하드웨어 복잡도 비교를 나타낸 것으로서, 동일한 동기 획득 시간을 얻기 위해 필요한 두 시스템의 게이트 수를 나타내었다. 비교 대상으로 삼은 기존 동기획득 구조는 전형적인 다수개의 레이크수신기 구조로써, 동기 획득 시간의 감소를 위해 추가적으로 탐색기의 수를 증가시키는 구조이다. 탐색기의 게이트가 7.5k이고^[13] 한 개의 탐색기로 동기획득을 수행할 때 걸리는 평균 동기획득 시간을 Tacq라 하자. <그림 9>에서 보이는 것처럼 동기획득 시간을 Tacq/10로 줄이기 위해 본 논

문에서 제안한 시스템은 21.9k(=7.5k+14.4k)의 게이트가 필요하고, 기존 구조는 75k가 필요하다. 이 때 21.9k는 탐색기의 상관기 게이트(7.5k)와 핑거가 탐색핑거로 동작하기 위해 증가한 게이트(14.4k)의 합이며, 기존 구조의 75k는 탐색기의 상관기 게이트(7.5k)에 탐색기의 수(10개)를 곱한 것이다. 이 때, 제안된 시스템은 63%의 하드웨어 감소 효과를 얻을 수 있었다. $T_{acq}/19$ 로 동기 획득 시간을 낮추는 경우, 기존 구조의 하드웨어 구조(142.5k)는 제안한 동기획득 구조(36.3k)보다 약 4배나 복잡함을 알 수 있다.

유는 제안된 구조 역시 탐색기 한 개로 구성되어 있어 성능 분석이 쉽기 때문이다. 먼저 반송파당 세 개의 핑거가 할당된다고 가정하였을 때, 5, 10, 15, 20MHz MC-CDMA 시스템이 각각 3, 6, 9, 12개의 반송파를 가지므로^[3], <표 1>에서 기존 구조의 핑거 수가 유도되었다. 또한, 이 사실과 식 (1)에서 최대 탐색핑거의 수를 구할 수 있다.

$$SF_{MAX} = \lfloor \frac{C \times F}{2} \rfloor \times 2 \quad (1)$$

식 (1)에서 SF_{MAX} 는 최대 탐색핑거의 수를 나타내고, C 는 대역폭에 따른 반송파의 수, F 는 반송파당 할당된 핑거의 수를 의미한다. 10MHz 대역폭을 갖는 MC-CDMA 시스템의 경우, 식 1을 통하여 최대 탐색핑거가 18개임을 알 수 있다. 그리고 두 개의 탐색핑거가 하나의 탐색기로서 동작할 수 있으므로, 초기 동기 획득시 $T_{acq}/10$ 으로 탐색을 수행할 수 있음을 알 수 있다. 여기서, 제안된 시스템의 21.9k 게이트는 탐색기 한 개의 게이트(7.5k)와 탐색핑거를 사용하면서 증가한 게이트(14.4k)의 합이다. 이를 앞서 보인 <그림 9>와 함께 분석하여 보면, 탐색기 한 개를 사용하는 기존 구조보다 제안된 구조의 하드웨어가 14.4k가 늘었지만 동기 획득 시간이 $T_{acq}/10$ 가 되었고, 실제 다수개의 레이크수신기를 쓸 경우 기존 구조는 75k가 필요하므로, 제안된 구조는 약 71%의 하드웨어 감소가 있게 된다. 또한 20MHz 대역폭을 가지는 MC-CDMA 시스템을 위와 같이 분석하면, 실제 다수개의 레이크수신기를 사용할 경우보다 약 75%의 하드웨어 감소가 있으면서 최대 19배 빠른 초기 동기획득을 수행할 수 있다.

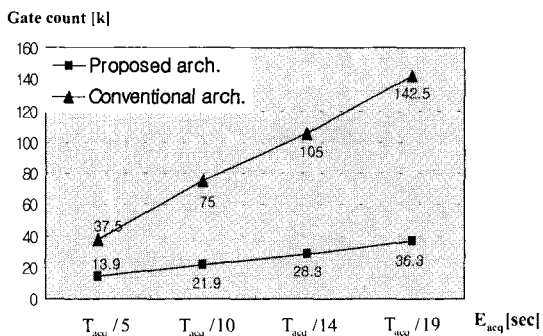


그림 9. 제안된 시스템과 기존 시스템과의 하드웨어 복잡도 비교

Fig. 9. H/W Complexity Comparison between our Proposed and the Conventional System.

<표 1>은 제안된 시스템을 여러 대역폭을 갖는 MC-CDMA 시스템에 적용한 합성 및 성능 분석 결과이다. 이 때 기존 구조는 앞에서 언급한 레이크수신기 구조로써 한 개의 탐색기를 사용한다. 한 개의 탐색기로 구성된 레이크수신기 구조를 비교 대상으로 한 이

표 1. 여러 대역폭의 MC-CDMA 시스템에 적용하였을 경우 합성 결과
Table 1. Synthesis Results in MC-CDMA Systems with Several Bandwidths.

대역폭	기존 구조				제안된 구조				
	탐색기 수	핑거수	동기획득에 필요한 게이트[k]	E_{acq}	탐색기 수	핑거수	최대 탐색 핑거수	동기획득에 필요한 게이트[k]	E_{acq}
5MHz	1	9	7.5	T_{acq}	1	1	8	13.9=7.5+6.4	$T_{acq}/5$
10MHz	1	18	7.5	T_{acq}	1	0	18	21.9=7.5+14.4	$T_{acq}/10$
15MHz	1	27	7.5	T_{acq}	1	1	26	28.3=7.5+20.8	$T_{acq}/14$
20MHz	1	36	7.5	T_{acq}	1	0	36	36.3=7.5+28.8	$T_{acq}/19$

V. 결 론

본 논문에서는 MC-CDMA 시스템용으로 저전력 및 고속 동기획득을 실현할 수 있는 동기획득 구조를 제안하였다. 이를 위해 탐색핑거라는 새로운 구조를 설계하였다. 탐색핑거는 기존의 핑거에 탐색기 기능을 추가하여, 탐색기로도 동작할 수 있게 설계된 블록이다. 고속의 동기획득을 위해 추가의 탐색기를 사용하지 않고, 기본적으로 할당된 핑거를 변형하여 사용함으로써 하드웨어의 복잡도를 감소시키는 효과를 얻음과 동시에 빠른 동기획득을 실현할 수 있었다.

탐색핑거의 에너지 계산기는 핑거뿐만 아니라 탐색기의 상관 에너지 계산 기능도 수행할 수 있도록 설계되었다. 그리고, 탐색기는 탐색핑거와의 합동 탐색을 고려하여 PN 부호 발생기 등이 수정 설계되었고, 마이크로컨트롤러 인터페이스는 탐색핑거의 상관에너지도 동기획득 여부를 판별하는데 사용하도록 설계되었다.

제안된 탐색핑거를 5MHz MC-CDMA 방식에 적용하였을 때, 동기획득 시간은 $T_{acq}/5$, 게이트 수는 63% 감소하였다. 20MHz MC-CDMA 시스템에 적용하였을 경우, 하드웨어 복잡도를 75% 감소시키면서 최대 19배 빠른 동기획득을 할 수 있었다.

참 고 문 헌

- [1] Seongjoo Lee, Sangyun Hwang and Jaeseok Kim, "VLSI architecture of CDMA rake receiver with low hardware complexity for PCS," *ICCE'98*, pp. 160~161, May 1998.
- [2] A. J. Viterbi, "CDMA principles of spread spectrum communication," Addison-Wesley : New York, 1995.
- [3] Hara S. and Prasad R, "Overview of Multicarrier CDMA," *IEEE Commun. Mag.*, Vol. 35, No. 12, pp. 126~133, Dec. 1997.
- [4] Block F. J. and Baum C. W, "Parallel Acquisition of Multicarrier Direct-Sequence Spread-Spectrum Signals," *IEEE VTC'99*, Vol. 1, pp. 97~102, 1999.
- [5] Popovic B. M., "Spreading sequences for Multicarrier CDMA systems," *IEEE Transactions on Commun.* Vol. 47, No. 6, pp. 918~926, June 1999.
- [6] Y. S. Rao and Anil Kripalani, "cdma2000 Mobile Radio Access for IMT 2000," *ICPWC'99*, pp. 6~15, 1999.
- [7] Matsuya Y., Izumiya S. and Murata, J, "Summary of IMT-2000 Experiments," *IEEE VTC'2000*, Vol. 1, pp. 123~127, 2000.
- [8] Nagata K, "IMT-2000 terminal and its requirements for device technologies," *VLSI Circuits'2000*, pp. 2~5, 2000.
- [9] Jungmin Ro, Seongjoo Lee, Jaeseok Kim, Iksoo Eo, and Kyungsoo Kim, "A Novel Architecture of Rake Receiver for Fast Acquisition," *IEEE AP-ASIC'2000*, pp. 251~254, Aug. 2000.
- [10] Dongwook Lee, Laurence B. Milstein, and Hun Lee, "Analysis of a Multicarrier DS-SS Code-Acquisition System," *IEEE Transactions on Commun.*, Vol. 47, No. 8, pp. 1233~1244, Aug. 1999.
- [11] Lie-Lang Yang, and Hanzo L., "Serial Acquisition Techniques for DS-SS Signals in Frequency-Selective Multi-user Mobile Channels," *IEEE VTC'1999*, Vol. 3, pp. 2398~2402. 1999.
- [12] 이성주, 김재석, "탐색창을 갖는 이중드웰 직렬 동기획득 방식에 대한 수학적 모델링 및 성능 분석," 전자공학회 논문지, 제 36권, 5편, 9호, pp. 9-17, 1999. 9
- [13] C.-L. I, C. A. Webb III, H. C. Huang, S. Ten Brink, S. Nanda, and R. D. Gitlin, "IS-95 Enhancements for Multimedia Services," *Bell Labs Technical Journal*, Vol. 1, No. 2, pp. 60~87, Autumn 1996.

저 자 소 개



盧貞敏(正會員)

1977년 1월 8일생. 1999년 2월 : 중앙대학교 전자공학과(학사). 2001년 2월 : 연세대학교 전기컴퓨터공학과(석사). 2001년 2월~현재 : 삼성전자 통신연구소 표준연구팀 연구원.
<주관심분야 : OFDM 동기 시스템,

4세대 통신시스템 설계 및 표준화>



李馨柱(正會員)

1970년 2월 13일생. 1993년 2월: 연세대학교 전자공학과(학사). 1998년 8월: 연세대학교 전자공학과(석사). 2002년 2월: 연세대학교 전기전자공학과(박사). 2002년 3월~현재 : 연세대학교 IT SOC설계기술 연구센터

전문연구원. <주관심분야 : PN 코드동기알고리즘, 이동통신용 모델의 VLSI 및 SOC 설계>



金在錫(正會員)

1955년 10월 1일생. 1977년 2월 : 연세대학교 전자공학과(학사). 1979년 2월 : 한국과학원 전기 및 전자공학과(석사). 1988년 8월 : Rensselaer Polytechnic Institute 전자공학과(박사). 1979년 2월~1984

년 4월 : 전자기술연구소 선임연구원. 1988년 8월~1993년 5월 : AT&T Bell Lab. Member of Technical Staff. 1993년 5월~1996년 2월 : 한국전자통신연구소 VLSI 구조 연구실장. 1996년 2월~현재 : 연세대학교 전기전자공학과 교수. <주관심분야 : 이동 및 유선 통신시스템의 SOC 설계, 디지털통신 및 영상압축용 ASIC 설계, 고속 DSP 설계, VLSI 설계 및 CAD>