

論文2003-40SD-2-3

Magnetic Tunnel Junction의 SPICE Macro-Model

(SPICE Macro-Model for Magnetic Tunnel Junction)

洪承均*, 宋尙憲*, 金壽遠**

(Seung Kyun Hong, Sang-Hun Song, and Soo Won Kim)

요 약

본 논문에서는 Magnetic Tunnel Junction (MTJ)의 새로운 SPICE Macro-Model에 대해서 제안하였다. 제안된 Macro-Model은 다섯 개의 터미널을 가지고 있으며 MTJ의 MR 특성인 hysteresis 성질을 그대로 구현하고 있으며, 시간에 따라 변하는 입력 신호에 대해서도 정확하게 동작하도록 구성되어 있다. 또한 MTJ의 MR 특성을 파라미터 변수값으로 입력을 받을 수 있도록 하여 MTJ의 특성변화에 대해서도 용이하게 적용될 수 있도록 하였다.

Abstract

This paper proposes new SPICE Macro-Model of Magnetic Tunnel Junction (MTJ). This Macro-Model has five I/O terminals, reproduces MTJ MR characteristics including hysteresis and behaves correctly to time varying input signals. Furthermore, this Model can be easily modified to various MTJs with different characteristics by simply varying internal parameters.

Keywords : SPICE Macro-Model, MTJ, MRAM

I. 서 론

MRAM (Magnetic Random Access Memory)은 비휘발성, 적은 전력소모, 빠른 응답속도, 높은 집적도 등의 장점을 가지고 있다. 이러한 장점을 바탕으로 하여 최근에는 차세대 메모리로서 많은 관심을 가지고 있는 소자이다. 현재 IBM이나 모토로라 같은 외국 기업들

은 MRAM의 시제품을 출시하기 위한 연구와 개발에 많은 투자를 아끼지 않고 있으며 국내 기업에서도 연구가 진행 중에 있다. 이러한 결과로서 GMR (Giant Magnetic Resistance), SDT(Spin Dependent Tunneling)등 많은 MRAM 소자들이 개발되었으며 현재는 MTJ (Magnetic Tunnel Junction)을 이용한 MRAM이 가장 주목을 받고 있다^[1].

MRAM에 사용되는 MTJ의 구조는 <그림 1>에서 보는 바와 같이 두 magnetic layer가 하나의 얇은 절연체로 분리되어 있다^[2]. 한쪽의 magnetic layer는 anti-ferromagnetic 물질로서 고정된 방향으로 자화되어 있고, 다른 한 쪽은 외부 자계에 의해서 자화 방향이 바뀔 수 있다. 이 magnetic layer의 자화 방향에 따라서 정보를 저장할 수가 있는 것이다.

<그림 1>의 MTJ hysteresis loop는 두 magnetic layer의 자화방향이 parallel일 때는 낮은 저항값을 anti-parallel일 때는 높은 저항값을 가지고 있음을 보

* 正會員, 中央大學校 電子電氣工學部
(School of Electrical and Electronic Engineering, ChungAng University)

** 正會員, 高麗大學校 電子工學科
(Dept. of Electronic Engineering, Korea University)
※ 이 논문은 2001학년도 중앙대학교 학술연구비와 한국과학재단 목적기초연구사업(R01-2001-00533)의 지원을 받아 이루어졌습니다.

接受日: 2002년 9월 10일, 수정완료일: 2003년 1월 29일

여주고 있다. "1"인 상태를 기억시키기 위해서는 free magnetic layer 의 자화방향을 fixed magnetic layer 의 자화방향과 반대 방향으로 향하게 하면 되고 "0"인 상태를 저장하기 위해서는 같은 방향으로 향하게 하면 된다.

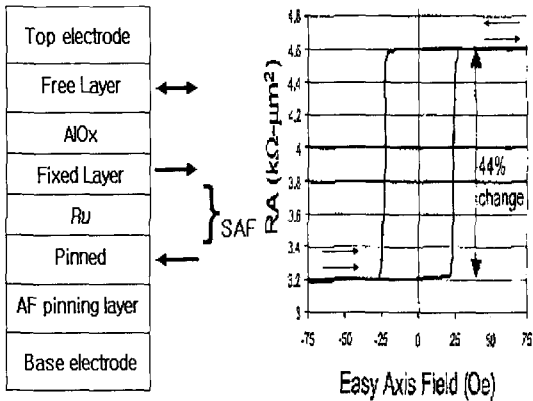


그림 1. MTJ 구조와 Hysteresis loop^[3]
Fig. 1. MTJ material stack and Hysteresis loop^[3].

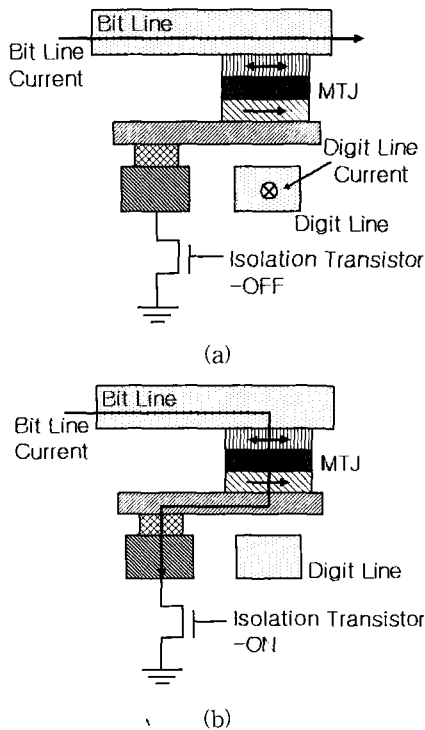


그림 2. MTJ MRAM cell의 구조 및 작동 : (a) write 작업 (b) read 작업
Fig. 2. MTJ MRAM cell structure and operation : (a) write operation (b) read operation.

이러한 MTJ를 이용한 회로 설계 시에 시뮬레이션이 필요로 하게 되는데 현재로서는 MTJ에 대한 효과적인 SPICE Model이 개발되어 있지 않다. 따라서 본 논문에서는 MTJ에 대한 SPICE Macro-Model을 제시하고 시뮬레이션 하였다. 또한 시뮬레이션 시 변수를 조정함으로써 MTJ의 특성과 시뮬레이션 결과가 일치함을 볼 수 있었으며, 이는 MTJ를 이용한 회로설계에 많은 도움을 줄 것으로 기대된다.

II. MTJ MRAM의 특성

<그림 2>에서 보듯이 MTJ MRAM cell은 한 개의 트랜지스터와 한 개의 MTJ로 이루어져 있다^[1]. Word line (WL)과 Digit line은 같은 방향으로 향해 있고 Bit line은 이에 수직으로 놓여있어서 read, write 작업을 수행할 때, 한 개의 cell만을 선택하여 작업이 이루어질 수 있도록 해준다.

<그림 2(a)>를 보면 MRAM cell에 데이터를 저장할 때는 Isolation transistor는 OFF 되어있고 MTJ를 통해서 전류가 흐르지 않는다. 이 상태에서 Digit line 과 Bit line에 전류를 가하게 되면, Bit line current의 방향에 따라 MTJ의 free magnetic layer의 자화방향이 변하게 되어 다른 저항값을 가지게 된다. 데이터를 읽기 위해서는 <그림 2(b)>와 같이 Word line에 전압이 걸려서 isolation transistor를 ON 시킨 후에 Bit line으로 전류를 가해 준다. Bit line은 MTJ의 자화 상태에 따라서 다른 전압을 나타나게 된다.

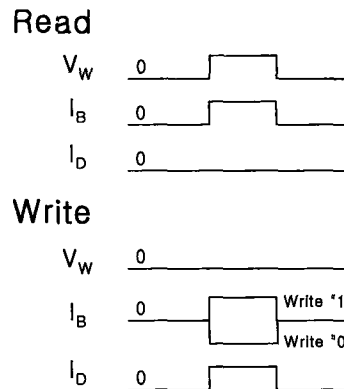


그림 3. Read, Write 시의 입력파형
Fig. 3. Input signal at read and write operation.

이를 정리하여 MTJ MRAM cell의 Read, Write 시

입력을 도시하면 <그림 3>과 같다. 앞에서 설명했던 것과 같이 write 시에는 Bit line 과 Digit line에 흐르는 전류에 의해서만 MTJ내의 free magnetic layer의 자화 상태를 바꾸게 되고, read 시에는 Word line 전압이 isolation transistor를 ON 시킨 상태에서 Bit line 전류가 MTJ에 흐르면서 나타난 전압으로서 저장된 정보를 나타나게 된다.

III. Macro-Model

MTJ MRAM cell은 <그림 4>에서 보듯이 두개의 입력과 두 개의 출력, 그리고 isolation transistor에 연결되는 WL로 이루어져 있다. 여러 개의 cell이 array로 연결이 되어 있는 경우에 I_{BI} 와 I_{IX} 그리고 I_{DI} 와 I_{IX} 값이 같지 않으면 여러 cell에 대해서 정확한 입력신호가 들어가지 않게 되므로 I_{BI} , I_{IX} 그리고 I_{DI} , I_{IX} 에 흐르는 전류의 크기는 같아야 한다. 또한, Read 시에 Bit line의 전압의 변화가 여러 cell들의 I_{BI} , I_{IX} 단자에도 동시에 나타나야 한다.

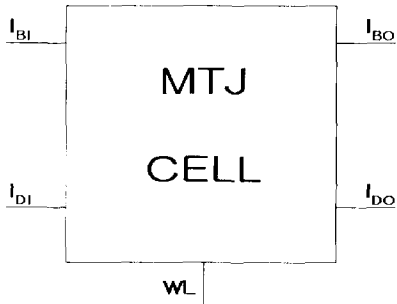


그림 4. MTJ cell Model의 Block Diagram
Fig. 4. Block Diagram of MTJ MRAM cell Model.

MTJ의 SPICE Macro-Model은 <그림 5>와 같다. 가장 기본적인 회로의 구성은 Bit Line과 WL 사이에 있는 VCR2(Voltage Controlled Resistor)과 Bit line과 Digit line전류를 이용하여 Hysteresis loop를 만드는 VCS (Voltage Controlled Switch)이다. VCR2의 저항값은 MTJ의 MR 특성과 같게 나타나도록 구성하였다.

<그림 3>의 입력 신호에서 보듯이 Write 시에는 Bit line 과 Digit line 전류가 동시에 흐를 경우에 MTJ의 저항값이 변하게 된다. 이를 위해서 Digit line 에는 VCR1 (Voltage Controlled Resistor)를 Bit line 에는

CCCS (Current Controlled Current Source)를 연결하였다. 이 두 소자를 연결하면 Bit line 과Digit line전류가 동시에 흘렀을 때만 V_C 에 전압이 발생하게 된다.

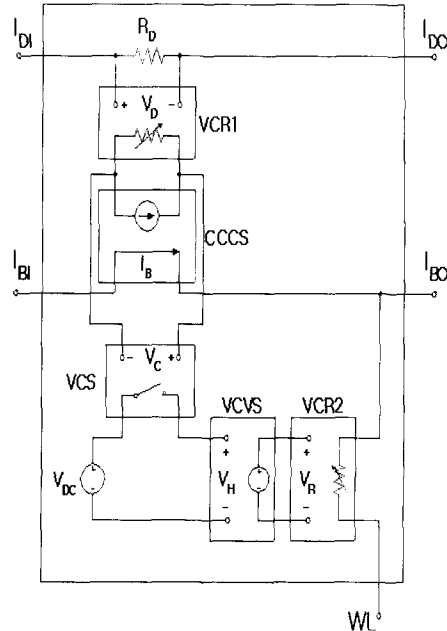


그림 5. MTJ Cell 의 Macro-Model
Fig. 5. MTJ cell Macro-Model

이 전압은 VCS의 제어 신호로 사용된다. 즉 Bit line 과 Digit line에 동시에 전류가 흐르게 되면 Digit line 전류에 따라서 VCR1에 저항값이 생기게 되고, Bit line의 전류 방향에 따라서 저항으로 흐르는 전류의 방향도 결정되게 된다. 그러면 V_C 전압은 크기는 같지만 Bit line전류에 따라서 (-)전압이 될 수도 (+) 전압이 될 수도 있다. 이 신호가 VCS를 제어하는 것이다.

여기에 사용된VCS의 동작 특성은 제어 전압(V_C)이 기준 전압에 hysteresis 전압을 더한 값보다 컸을 경우에 ON되고, 뺀 값보다 작았을 경우에는 OFF 된다. 그러므로 저항 양단의 전압(V_H)은 V_C 에 따라서 hysteresis loop를 나타내게 된다. 또한, V_C 가 switch의 상태를 변화시킬 만큼 변하지 않으면 전의 상태를 계속 유지하게 되므로 별도의 기억소자가 필요 없다. 여기서 기준전압과 hysteresis 전압을 MTJ의 MR hysteresis loop에서 상태가 바뀌는 두 지점의 값에 의해서 조절하면 우리가 원하는 모양의 hysteresis loop를 얻을 수 있다. 이러한 값들은 파라미터값으로 처리하여 다른 MR값을 갖는 MTJ에서도 이 모델을 이용할 수 있도록

하였다.

이렇게 얻은 hysteresis 값을 우리가 원하는 저항값으로 바꾸기 위한 회로가 가장 아래에 있는 VCVS (Voltage Controlled Voltage Source)와 VCR2이다. VCS를 이용해서 얻는 hysteresis loop는 0-VDC 사이에서 상태변화를 할 뿐 정확하게 MTJ의 MR 특성을 나타내지는 않으므로 이 값을 조절해줄 필요가 있다. 여기에 VCR2만을 사용하는 것으로도 어느 정도의 근사화는 할 수 있지만, VCR은 입력 전압에 대한 비율에 의해서만 저항값을 나타낼 수 있기 때문에 정확한 MTJ 특성을 나타내기가 힘들다. 그렇기 때문에 좀 더 정확한 MTJ의 MR 특성을 나타내기 위해서는 VCVS를 이용하여 원하는 저항값과 일치하는 크기의 전압을 만들어 내고, 그 전압으로서 VCR2의 저항값을 바꿀 수 있도록 구성하였다.

Read 시에는 특별한 회로가 필요하지는 않다. 앞에서 설명한 입출력 관계에 의해서 우선 WL으로 Bit line 전류가 흐를 수 있도록 해주고 Bit line에 전류를 흘려주면, 이미 저장되었던 저항값에 따라서 I_{FO} , I_{BI} 양단에 전압이 나타나게 된다.

IV. 시뮬레이션 결과

Silvaco 사의 SmartSpice 를 사용한 Macro-Modeling 의 DC시뮬레이션 결과는 <그림 6>과 같다. 이것은 Digit line에 일정한 전류를 가한후 Bit line 전류의 값을 (-)에서 (+)로, (+)에서 (-)로 변화시켰을 때 VCR의 저항값을 나타낸 것이다. <그림 1>에서의 같이 MTJ MRAM cell의 MR 특성을 재현함을 확인할 수 있다.

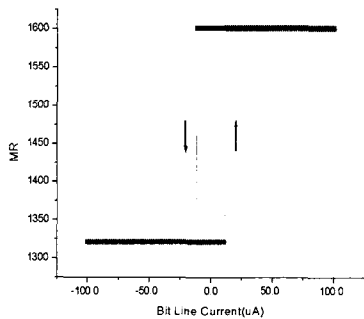
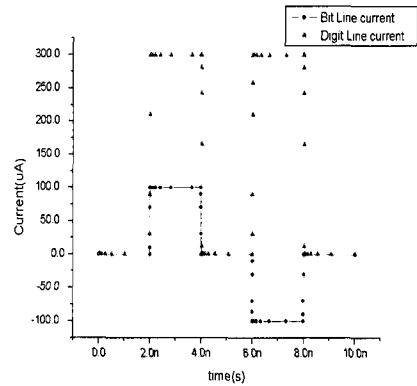


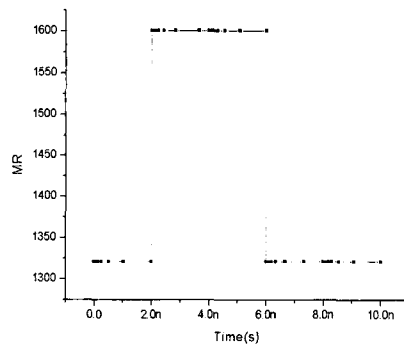
그림 6. MTJ MRAM cell Macro-Model의 hysteresis loop

Fig. 6. Hysteresis loop of MTJ MRAM cell Macro-Model.

<그림 7>은 Write시 저항값이 제대로 변하는 가를 시뮬레이션 해 본 것이다. 시간에 따라서 Digit line과 Bit line에 "1"과 "0"을 쓰도록 신호를 주었을 때 저항값이 제대로 변화하고 유지되고 있음을 확인할 수 있다.



(a)



(b)

그림 7. MTJ Macro-Model의 Write시 저항값 변화 : (a) Bit line 과 Digit line 입력 (b) MTJ의 저항값

Fig. 7. MTJ Macro-Model resistance variation at write operation : (a) Input current of Bit and Digit line (b) Resistance of MTJ cell.

<그림 8>은 시간에 따라서 read와 write 작업을 제대로 수행할 수 있는가를 보여준다. "1"을 쓰고 읽은 후 다시 "0"을 쓰고 읽는 과정이다. Read시에는 WL를 통하여 전류가 흐를 수 있도록 시뮬레이션한 것이다. 그림에서 보듯이 쓰는 과정에서는 Bit line에 전압이 나타나지 않으나, read 시에는 MTJ Macro-Model 의 저항값에 따라서 다른 전압을 나타내고 있음을 확인할 수 있다.

<그림 8(c)>는 IBO, IDO 단에서의 전류값을 보여주고 있다. <그림 8(a)>와 비교해 보면 Digit line의 전류는 같은 크기로 흐르고 있지만, Bit line의 전류는 입력

과 출력이 다르다는 것을 볼 수 있다. 이는 앞에서 설명했던 것과 같이 read시에 전류가 bit line을 따라서 흐르는 것이 아니라 isolation transistor가 켜진 곳으로 흘러 나가기 때문에 발생하는 것이다. 하지만 IBO, IDO 단에서 전압을 측정해보면 같은 값을 가지고 있다. 이는 array로 연결되어 있는 경우 read 시에 Bit line과 Word line에 의해 선택된 하나의 MTJ 셀로 전류가 흐르더라도 전체 Bit line 에는 같은 전압이 나타나게 됨을 보여준다. Write 시에는 같은 크기의 전류가 IBO단을 통해 흐르는 것을 확인할 수 있다.

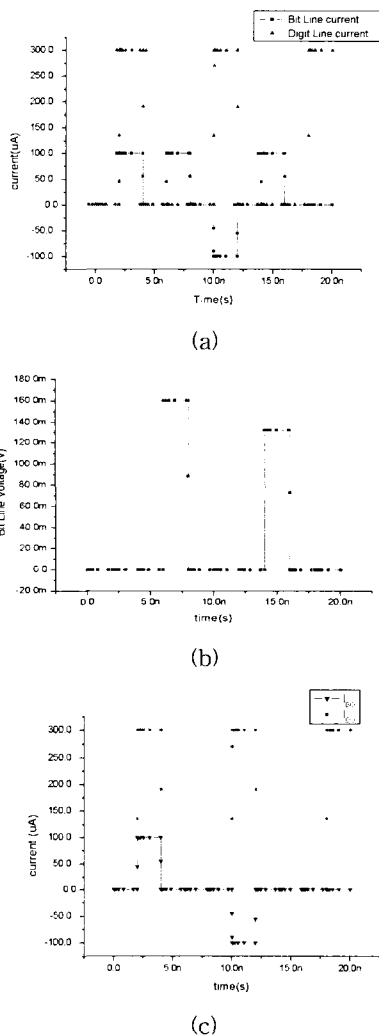


그림 8. MTJ Macro-Model을 이용한 시뮬레이션 결과 : (a) Bit line 과 Digit line 입력 (b) Bit Line 전압 (c) IBO, IDO 전류

Fig. 8. Simulation result of MTJ Macro-Model : (a) Input of Bit and Digit line (b) Bit line voltage (c) output current of IBO, IDO.

V. 결 론

본 논문에서는 SPICE를 이용한 MTJ Macro-Model을 제시하였다. 시뮬레이션 결과에서 MTJ MRAM cell의 입력과 출력, 그리고 MTJ의 MR hysteresis loop가 구현됨을 볼 수 있었다.

우리가 제시한 Model에 사용된 소자들이 모두 과도 응답을 가지지 않는 소자이기 때문에 실제 소자가 가지는 과도응답에 대한 모델은 이루어지지 않았다. 실제로 MTJ의 응답 속도가 주변 회로들의 응답 속도에 비하여 훨씬 빠르기 때문에 회로 시뮬레이션 상에서는 MTJ의 과도응답 특성은 영향을 미치지 않을 것으로 판단된다. 즉 제안된 Model을 사용한 시뮬레이션 특성은 그대로 MRAM 제작에 적용이 가능하다고 본다.

참 고 문 헌

- [1] S. S. P. Parkin, K. P. Roche, M.G. Samant, P. M. Rice, R. B. Beyers, and R. E. Scheuerlein, "Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory," *J. Appl. Phys.*, Vol. 85, pp. 5828~5833, 1999.
- [2] S. Tehrani, B. Engel, J. M. Slaughter, E. Chan, M. DeHerrera, M. Durlam, P. Naji, R. Whig, J. Janesky, and J. Calder, "Recent Development in Magnetic Tunnel Junction MRAM", *IEEE Trans. Magn.*, Vol. 36, pp. 2752~2757, Sep. 2000.
- [3] M. Durlam, P. Naji, M. Deherrera, J. Calder, J. M. Slaughter, B. Engrl, N. Rizzo, G. Grynkewich, B. Butcher, C. Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, S. Tehrani, "A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", *VLSI Circuits Digest of Technical Papers, 2002 Symposium on*, pp. 158~161, 2002.
- [4] M. Durlam, P. Naji, M. Deherrera, S. Tehrani, G. Kerszykowski, K. kyler, "Nonvolatile RAM based on Magnetic Tunnel junction Elements",

ISSCC Digest of Technical Paper, pp. 130~131, Feb. 2000.

저 자 소 개



洪 承 均(正會員)

1976년 10월 6일생, 2002년 2월 중앙대학교 전자전기공학부 졸업, 2002년 3월~현재 중앙대학교 전자전기공학부 석사과정

金 壽 遠(正會員) 第39卷 SD編 第 7號 參照

현재 : 고려대학교 전기전자전파공학부 정교수



宋 尚 憲(正會員)

1986년: 서울대학교 전자공학과(공학사). 1988년: 미국 Princeton University (M.A.) 1997년: 미국 Princeton University (Ph.D.) 1997년~1999년 : (주)LG반도체 책임연구원보 1999년~2000년 : 서울시립대학교, 양자정보처리연구단 연구위원 2000년~2001년 : 고려대학교 BK21 정보처리연구단 계약교수 2001년~현재 : 중앙대학교 전자전기공학부 조교수. <주관심분야 : 반도체 소자 및 시스템, 양자전자공학>