

◆특집◆ Nano Manufacturing I

# 나노임프린트 리소그래피 기술 동향

정준호\*, 신영재\*, 이응숙\*, 황경현\*\*

## Trend of Nanoimprint Lithography Technology

Jun-ho Jeong\*, Young-Jae Shin\*, Eung-Sug Lee\* and Kyung-Hyun Whang\*\*

**Key Words:** Nanoimprint lithography(나노임프린트 리소그래피), Nanofabrication(나노제작), Nanostructure(나노 구조물), Nanomanufacturing (나노생산)

### 1. 서론

나노임프린트 리소그래피(Nanoimprint lithography) 기술은 경제적이고도 효과적으로 나노구조물을 제작할 수 기술로, 나노 구조물(nanostructure)이 각인된 스탬프(stamp)를 기판(substrate) 위에 스피코팅(spin-coating)된 고분자 소재의 레지스트(resist) 표면에 눌러 나노구조물을 반복적으로 전사하는 기술이다. 이 나노임프린트기술을 구현하기 위해서는 나노스케일에서의 물리현상을 고려한 재료기술, 스탬프제작기술, 접촉방지막기술, 예칭기술, 측정 분석기술 등이 필요하며, 나노미터급 정밀제어 기술은 기본이 된다.

현재 10nm 급 나노구조물이 제작이 가능하다고 보고되고 있는데, 이는 현재까지 꾸준히 발전해 온 반도체의 공정기술 즉 광리소그래피(Optical lithography) 기술이 100nm 선폭의 구조물을 만드는 수준에 머물러 있다는 점을 감안할 때 매우 혁신적이라 할 수 있다. 특히, 광리소그래피 공정은 빛의 회절한계에 의해 100nm 이하 구조물제작에는

상당한 어려움이 따르고 있다. 물론, 최근 MIT 대학 링컨 연구소에서는 광리소그래피를 이용해서 25nm 크기의 게이트 구현에 성공했으나, 향후 이 기술이 상용화된다고 해도 현재의 광리소그래피 공정비용을 훨씬 뛰어넘는 고제작비용을 요구하게 될 것으로 보인다. 따라서, 축소 렌즈를 사용하지 않는 나노임프린트기술은 이러한 기술적 경제적 문제들을 극복할 수 있다는 점에서 관심이 집중되고 있는 것이다.

그림 1은 1996년 프린스턴대학의 Chou 교수<sup>1</sup>가 최초로 개발한 나노임프린트 공정을 개략적으로

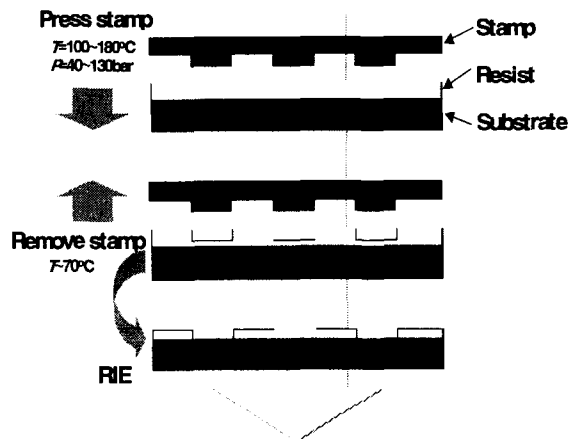


Fig. 1 Schematic of nanoimprint lithography<sup>1</sup>

\* 한국기계연구원 지능형정밀기계연구부

\*\* 한국기계연구원

Tel. 042-868-7604, Fax. 042-868-7721

Email jhjeong@kimm.re.kr

나노메카트로닉스 및 나노생산 특히, 나노임프린트, 나노가공 분야에 관심을 두고 연구활동을 하고 있다.

나타낸 그림이다. 나노크기의 패턴이 부조(요철)형태로 형성된 스탬프로 polymethylmethacrylate(PMMA) 재질의 레지스트가 코팅되어 있는 기판 표면을 고온조건에서 누른 후 냉각과정을 거쳐 분리하게 된다. 이에 따라 레지스트에는 스탬프의 나노 패턴이 정반대 형태로 전사되고, 이방성 에칭 작업을 거쳐 레지스트 표면에서 눌러진 부분에 남아 있는 레지스트 재료를 완전히 제거하게 된다. 그림 2(a)는 10 나노미터 크기 지름, 60nm 높이의 기둥이 규칙적으로 배열되어 있는 SiO<sub>2</sub> 스탬프를 보여주고 있다. 이 스탬프는 전자빔 리소그래피(electron-beam lithography) 공정으로 제작되었으며, 손상없이 수십 번을 사용할 수 있었다고 보고했다. 이 전자빔 리소그래피기술은 나노크기 패턴이 있는 포토 마스크 제작에 폭넓게 활용되고 있는 기술로 현재 10nm 이하의 구조물제작도 가능한 기술이다. 그림 2(b)는 실리콘(Si) 기판위에 80nm 두께로 코팅된 PMMA 에 고온 상태에서 스탬프로 눌러 원형 홈을 성형한 그림이다. 그림 2(c)는 반응이온에칭(Reactive ion etching) 과정을 거치고 Ti/Au 를 PMMA 위에 고르게 증착(deposition)한 후 Lift-off 공정을 통해 PMMA 와 Ti/Au 를 제거하여 만든 10nm 지름의 원형 금속 점들의 배열을 보여 주고 있다.

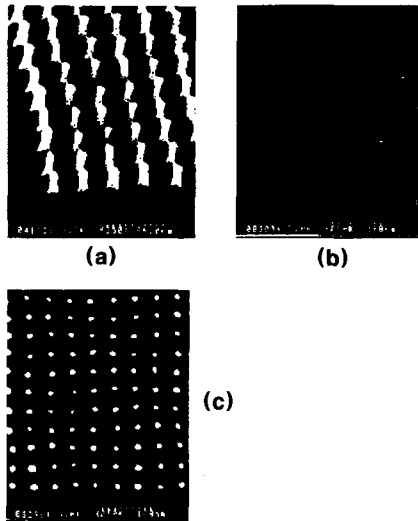


Fig. 2 (a) Imprint mold with 10nm diameter pillar (b) 10nm diameter holes imprinted in PMMA (c) 10nm diameter metal dots fabricated by NIL<sup>1</sup>

본 공정기술의 적용분야는 초고속 나노급 Metal-Oxide-Semiconductor Field-Effect Transistors (MOSFETs)와 Metal-Semiconductor Field-Effect Transistors(MESFETs), 고밀도 자기저장장치, 고밀도 Compact Disk(CD), 나노급 Metal-Semiconductor-Metal photodetectors(MSM PDs), 초고속, Single-electron transistor memory 등 가까운 시기에 우리에게 다가올 전기/전자, 광통신분야의 첨단 제품 및 핵심부품의 제작에 적용될 수 있을 것으로 전망된다. 본문에서는 국내외 나노임프린트기술 동향을 살펴보고자 하겠다.

## 2. 본론

Chou 교수팀은 1996 년 나노임프린트기술을 제안한 이후 나노임프린트기술의 적용분야를 넓히고 실제 제품에 적용 가능하다는 것을 입증하기 위해 노력하고 있으며,<sup>2,4</sup> 2001 년에는 새로운 개념의 나노임프린트기법인 Laser-Assisted Direct Imprint (LADI)을 개발하였다<sup>5</sup> (그림 3). 이 기법은 308nm 파장의 Single 20ns excimer laser 를 사용하여 실리콘(silicon) 웨이퍼(wafer) 또는 웨이퍼 위에 코팅된 레지스트를 순간적으로 녹여 임프린트하는 방법이다. 실리콘과 폴리실리콘(polysilicon)을 임프린트한 경우는 10nm 이하 선폭 구현이 가능했으며 임

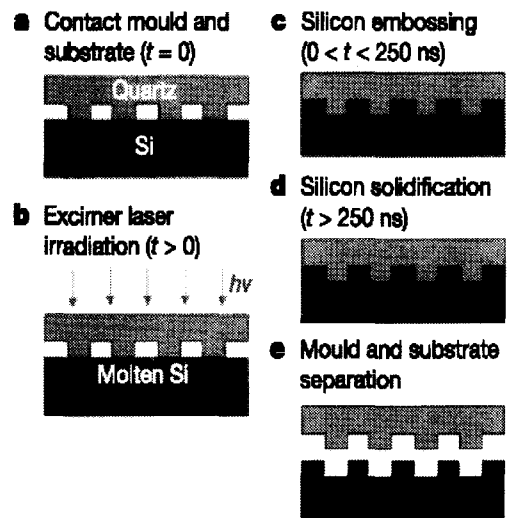


Fig. 3 Schematic of laser-assisted direct imprint (LADI) of nanostructures in silicon<sup>5</sup>

프린트에 소요되는 시간은 250nm 였다. 또한, 유사한 방식으로 고분자에 적용한 Nanosecond laser-assisted nano-imprint lithography(LA-NIL)에서는 고분자 레지스트에 100nm 선폭과 90nm 깊이의 나노구조물을 임프린트했다고 보고했다.<sup>6</sup> 이 공정 기술들은 단층 나노구조물 제작에는 매우 유용할 것으로 예상되나 다층구조물제작에도 활용될 수 있을지는 좀더 지켜봐야 할 것으로 보인다. 최근 Nanonex 라는 나노임프린트 벤처회사를 창업하고 연구와 소량 제작용 8 인치 웨이퍼작업까지 가능한 나노임프린트 장비를 판매하고 있다.

Chou 교수가 개발한 나노임프린트기술은 열을 가하는 형태를 취하고 있다. 이는 다층화작업이 필수적인 반도체 디바이스개발에 있어, 열변형에 의해 다층 정렬이 어렵다는 단점을 갖고 있다. 그리고, 접도가 큰 레지스트를 임프린트하기 위해서는 고압(30bar 정도)이 필요하기 때문에 이 또한, 이미 제작된 구조물의 파손을 일으킬 소지가 있고, 불투명한 스탬프는 다층화 정렬작업에 불리하게 작용한다. 이러한 문제들을 해결하기 위해 텍사스 오스틴 대학의 Sreenivasan 교수등은 1999 년에 Step & Flash Imprint Lithography(SFIL) 공정기술을 제안한다.<sup>7</sup> 이 공정기술은 UV 경화소재를 사용하여 상온 저압으로 나노구조물을 제작할 수 있는 기법으로, 자외선이 투과할 수 있는 재질(Quartz, Pyrex glass 등)을 사용한다는 점이 특징이다(그림 4).

이 UV 경화형식의 나노임프린트는 1996 년 Philips 연구팀인 Haisma 등<sup>8</sup>에 의해 이미 발표된 바가 있으나 반도체공정에 적용하기 위한 체계적

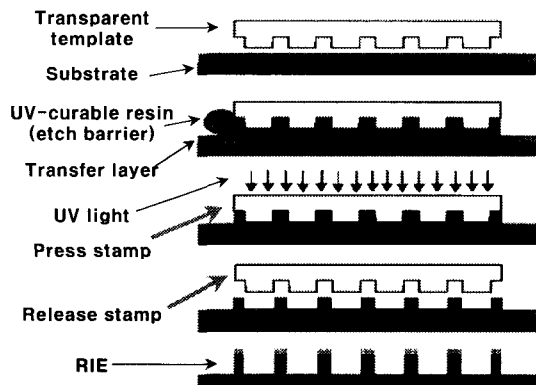


Fig. 4 Step and flash lithography process sequence<sup>7</sup>

인 연구는 Sreenivasan 교수팀에 의해 이루어 졌다고 할 수 있다. SFIL 공정에서는 먼저 전달층 (transfer layer)이 실리콘 기판 위에 스펀코팅 된다. 이어 UV 투과성 스탬프가 전달층과 일정간격이 유지된 상태에서 저 점성 UV 경화수지를 표면장력에 의하여 안으로 충전되도록 한다. 충전이 완료된 시점에서 스탬프를 전달층과 접촉 시키고, UV 를 조사하여 UV 경화수지를 경화 시킨 후, 스탬프를 분리하고 에칭과정과 lift-off 과정을 거쳐 나노구조물이 기판 위에 각인되도록 하는 것이다. 현재는 전달층과 스탬프사이의 UV 경화수지 액적을 떨어뜨린 후 스탬프로 가압하는 방식으로 연구가 진행되고 있다. SFIL 의 또 다른 특징은 step & repeat 방식으로 전체 웨이퍼는 한번에 임프린트하는 것이 아니라 소단위크기의 스탬프를 사용하고 여러 번 반복하여 임프린트하는 방식을 채택하고 있다는 점이다. 이는 기존의 STEPPER 방식과 유사하다 할 수 있다. 2002 년 초 Molecular Imprint Inc. 로 스펀오프(Spin-off)하여 현재 웨이퍼의 장착등에 있어 수작업이 필요한 장비를 시판하고 있으며, 그림 5 에 나타난 바와 같이 20-30nm 선폭을 임프린트한 결과를 발표한 바가 있다.<sup>9</sup> 또한, 나노임프린트된 구조물의 치수정밀도는 나노스탬프의 치수정밀도에 직접 비례하기 때문에 현재 Motorola Lab. 과 Sub 100nm 스탬프의 정밀도 향상관련 연구도 활발하게 진행하고 있다.<sup>10</sup>

미국 내 타 연구팀의 최근연구로서, MIT Media lab 의 Jacobson 교수 등은 2001 년 liquid embossing 기법을 제안하였다.<sup>11</sup> 이 공정기법에서는 실리콘

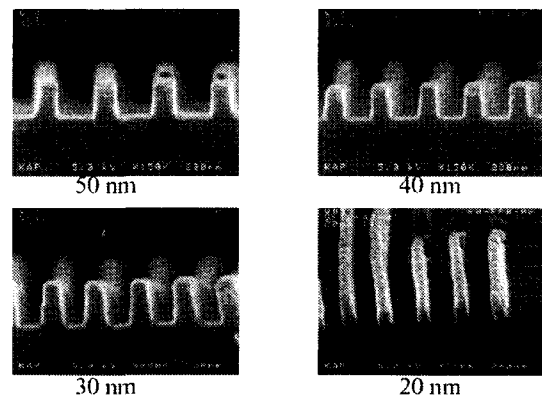


Fig. 5 Cross-section SEM images for (left to right) 50, 40, 30 and 20nm semi-dense lines<sup>9</sup>

탄성중합체(silicone elastomer)와 같은 탄성재료의 스탬프를 사용하고, 엠보싱(embossing)과정 즉 스탬프의 가압과 분리과정을 거치는 동안 기판위에 코팅된 소재는 액체상태를 유지하게 되며, 이 액체상태의 소재는 엠보싱과정이 끝난 후에 열이나 자외선에 의해 최종적으로 경화된다(그림 6). 이 기법은 다층구조로 되어 있는 반도체 소자의 제작에 유리하고, 에칭작업이 필요 없고, 다양한 재료에 대해 적용이 가능한 것으로 보고 되었다. 그러나 이 공정기법이 100nm 이하의 나노구조물 제작에도 적용될 수 있음을 증명하는 연구결과는 아직 없는 상태이다.

이어서, 유럽에서의 관련 연구동향을 살펴볼수록 하겠다. 앞에서 언급한 바와 같이 UV 나노임프린트관련 연구는 1996 년 네덜란드 Philips 연구소에서 최초로 발표된 바가 있고,<sup>8</sup> 1998 년에도 Wuppertal 대학의 Scheer 등이 2cm×2cm 면적의 스탬프를 사용한 가열방식 나노임프린트에 대한 연구결과를 발표했다.<sup>12</sup> 그리고, 2000 년부터 스웨덴의 Lund 대학, 스위스의 PSI, 독일의 Wuppertal 대학등에서 다양한 연구결과들이 발표되기 시작한다. Lund 대학의 Heidari 등<sup>13</sup> 은 가열방식의 나노임프린트기법을 사용하여 6 in 웨이퍼에 대한 100nm 선폭의 나노임프린트를 수행한 적이 있으며, PSI 의 Heydermann 등과 Wuppertal 대학의 Schulz 등은 가열방식의 나노임프린트공정에서 고분자 레지스트의 흐름거동과 결합분석을 실험적으로 연구하여 발표한 바 있다.<sup>14</sup> Otto 등은 UV 경화방식 나노임프

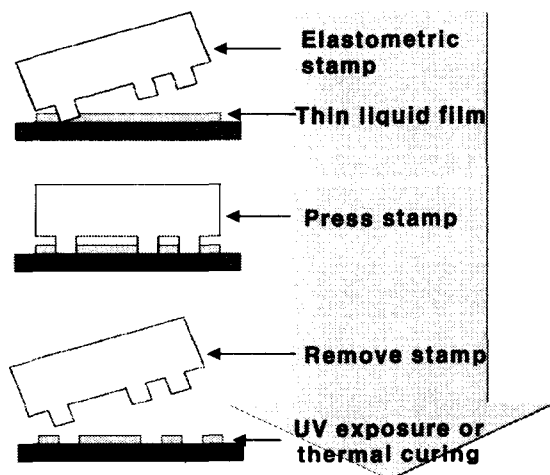


Fig. 6 Schematic of the liquid embossing process<sup>11</sup>

린트에서 가압력과 레지스트의 두께 관계를 모사한 단순모델을 제안했으며,<sup>15</sup> Wuppertal 대학의 Schulz 등은 나노임프린트공정과 Scanning Force Lithography(SFL)의 결합을 통한 다단계 리소그래피를 구현한 바가 있다.<sup>16</sup> Micro Resist Technology 의 Pfeiffer 등<sup>17</sup> 은 나노임프린트공정과 기존의 UV 리소그래피기술을 혼합한 공정인 NIL-UV 공정기법을 제안했는데, UV 민감도가 크게 변하지 않는 온도까지 가열한 상태에서 나노구조물이 필요한 위치에 나노임프린트 수행한 후, UV 를 조사하여 마이크로 크기의 구조물을 제작하게 된다(그림 7).

Wuppertal 대학과 Micro Resist Technology, EVGroup 은 공동으로 EVGroup 의 hot embossing system 인 EV520HE 를 사용한 4 인치 웨이퍼에 대한 나노임프린트 연구 결과를 EIPBN 2001 과 SPIE'S Microlithography 2001 에서 발표했다.<sup>18-19</sup> 실험에 사용된 EV520HE 는 Wafer bonder 를 나노임프린트용으로 일부 수정 보완한 장비이다. 프랑스 CNRS Lebib 등<sup>20</sup> 은 기존의 가열방식의 나노임프린트가 고온(100~150°C), 고압(40-130bar)조건이 필요한 PMMA 등과 같은 레지스트를 사용하는데 반하여, 상대적으로 저압(5bar 정도), 저온(50°C 정도) 상태에서 임프린트할 수 있는 HS2550 를 개발하고 200nm 직경의 점 배열과 200nm 선폭을 구현하였다.

기존의 가열방식의 나노임프린트용 스탬프는 일반적으로 Si wafer 에 Cr 증착(deposition), 전자빔 리소그래피, 반응이온에칭, lift-off 과정을 거쳐 제작하게 된다. Pfeiffer 등<sup>21</sup> 은 웨이퍼 위에 코팅된 폴리머를 전자빔리소그래피로 나노구조물을 각인하여 직접 나노스탬프로 사용하는 연구를 수행했으며, casting-moulding 과정을 거쳐 전체가 폴리머인

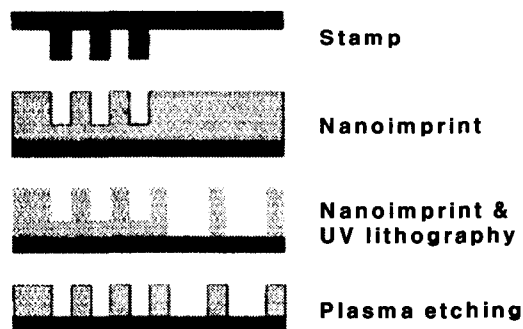


Fig. 7 Schematic of a combined NIL-UV process<sup>17</sup>

나노스탬프를 제작하기도 하였다. Haatainen 등은 가열방식 나노임프린트에 의한 step & repeat 를 수행했다. 스탬프와 스탬프 근처의 레지스트만 가열하는 방식으로 가열과 냉각이 반복되는 step & repeat 를 수행함으로써 20nm 이하의 점을 구현하였다.<sup>22</sup>

유럽에서 UV 나노임프린트에 대한 연구는 주로 Bender 와 Otto<sup>23-24</sup> 등에 의하여 이루어졌다. 2000년에는 80nm 점 배열을 제작하여 발표했으며, 2002년에는 4인치 웨이퍼에 대한 step & repeat 방식을 사용해서 폭 80nm 깊이 200nm 채널을 제작했다. 이 연구에서는 1x1cm<sup>2</sup> 스탬프를 사용했으며 4인치 웨이퍼에 대해 25번의 임프린트를 수행했다.

오스트리아의 EVGroup사와 스웨덴의 Obducat사는 1-2년전부터 가압 및 UV 방식 나노임프린트가 가능한 one step 임프린트방식의 장치를 개발하여 판매하고 있으며, 주로 소량 제작 및 연구 목적으로 활용되고 있다.

다음으로는 일본의 연구동향을 살펴보도록 하겠다. 일본에서는 2000년부터 연구결과가 발표되기 시작했으며, 미국과 유럽과는 다른 독특한 연구결과들을 발표하고 있다. 일본 동경과학대학의 Taniguchi 등<sup>25-26</sup>은 다이아몬드 나노임프린트 리소그래피를 제안하였다. 이 기법의 특징은 기존의 가열방식의 나노임프린트에서 Si 스탬프 대신 다이아몬드 스탬프를 사용함으로써 스탬프의 내구성을 크게 향상시킨 점이다. 이 스탬프를 사용해서 PMMA를 임프린트했을 뿐만 아니라 Al과 Cu층을 상온에서 직접 임프린트하여 1 $\mu$ m 폭의 선을 성형하였다. Taniguchi<sup>27</sup>는 또한, UV 경화소재인 TSR820과 PAK01에 대한 점착력을 포함한 물성특성에 대한 결과를 보였으며 스탬프 제거시 결함없이 1x2 $\mu$ m 직사각형 구조물을 제작할 수 있다고 밝혔다. Hirai 등<sup>28</sup>은 나노구조물이 각인된 Si wafer를 마스터로써 사용하고 electroforming 과정을 거쳐 Ni 스탬프를 복제한 후 나노임프린트를 수행했다. 복제된 Ni 스탬프의 표면거칠기는 약 2배정도 상승한 것으로 나타났으며 250nm 선을 임프린트한 결과를 보였다. Igaku 등<sup>29</sup>은 2002년 hydrogen silsequioxane(HSQ)을 레지스트로 사용한 상온 임프린트기법을 제안하였다. 이 방법에서는 HSQ를 스핀코팅한 후 50-100 $^{\circ}$ C로 prebaking한 후 상온에서 1-40Mpa로 가압하여 임프린트할 수 있는 방법

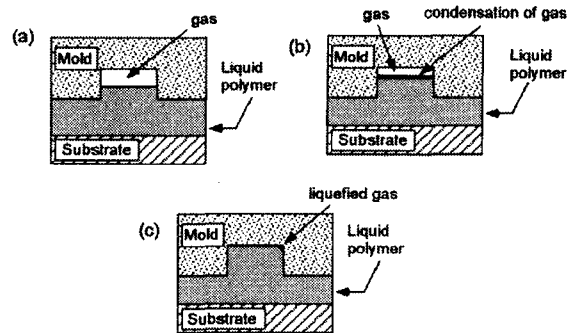


Fig. 8 Schematic nanoimprint utilizing condensation of ambient gas<sup>31</sup>

을 개발했다. 이 기법으로 90nm 직경, 400nm 높이의 구조물과 50nm 폭의 선을 임프린트했으며 step & repeat 임프린트에도 적용 가능함으로 보였다. Komuro 등<sup>30</sup>은 UV 임프린트에서 주로 사용되는 Quartz 대신 강도면에서 우수한 Sapphire를 사용하여 임프린트를 수행했다. Sapphire는 Quartz에 비하여 표면에너지가 작고 점착방지 특성면에서 장점을 갖고 있는 것으로 나타났다.

2002년 Hiroshima 등은 UV 임프린트공정과 같은 저압에서 발생하기 쉬운 기포들을 감소시키기 위해 저 증기압(0.1056Mpa at 23 $^{\circ}$ C) 기체를 레지스트와 스탬프사이에 붙여 넣는 방법을 사용했다.<sup>31</sup> 이렇게 스탬프와 레지스트 사이에 채워진 저증기압 기체는 스탬프의 가압력에 의해 쉽게 액체상태로 바뀌면서 부피가 1/200로 줄어들어 기포발생에 의한 결함을 최소화하게 된다(그림 8).

국내의 관련 연구팀으로서는 서울대 이흥희교수팀을 들 수 있다. 2000년에 solvent vapor 처리를 통하여 상온에서 임프린트 할 수 기법을 제안하였다.<sup>32</sup> 이 solvent vapor 처리는 스핀 코팅된 고분자의 점도를 낮춤으로써 상온에서의 성형이 가능하도록 하는 역할을 하며 250nm 선폭과 200nm 직경의 점을 제작하였다. 또한 Capillary force lithography 기법을 제안하였다.<sup>33</sup> 이 기법에서는 탄성 재질인 polydimethylsiloxane(PDMS) 스탬프를 제작하여 polystyrene(PS)와 같은 고분자를 스핀 코팅한 후 서로 접촉시키고, 유리 전이 온도 Tg 이상으로 올려 30분에서 24시간을 유지하게 되면 미세구조물이 성형된다. 이 기법의 특징은 중력이 외의 가압력이 전혀 요구되지 않는다는 점이다.

그리고 2001 년 Room-Temperature Imprint lithography<sup>34</sup> 를 제안한다(그림 9). 이 기법에서는 고분자의 free volume contraction 과 소성변형만을 이용하여 상온에서 임프린트하는 기법이다. Si 스탬프를 사용했으며 스핀코팅과 baking 과정을 거친 polystyrene(PS)를 상온에서 30-150Mpa 로 가압하여 80nm 선폭의 나노구조물을 제작한 바가 있다. 이외에도 soft molding 기법을 이용하여 3 차원 나노 구조물을 제작한 결과를 발표했다.<sup>35</sup>

현재 테라급나노소자개발사업단과 나노메카트로닉스기술개발사업단에서는 나노임프린트관련 연구를 활발하게 수행 중으로 국내에서도 가까운 시일 내에 흥미로운 다양한 결과들이 발표되리라 생각된다.

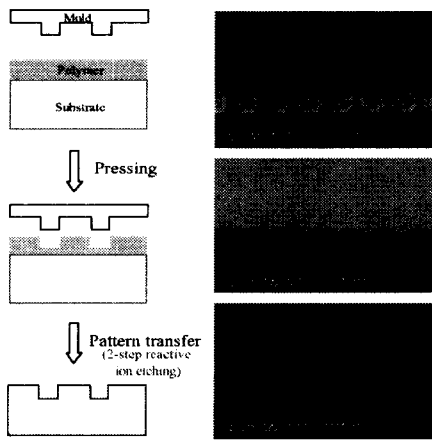


Fig. 9 Schematic of the room temperature imprint lithography<sup>33</sup>

### 3. 결론

나노임프린트기술이 당면한 문제는 throughput 의 향상과 reliability 의 확보라고 할 수 있다. Throughput 의 향상을 위한 가장 확실한 방법은 대면적화며 이를 위해 one step 방식을 위한 스탬프의 대면적화와 소단위 스탬프를 사용한 step & repeat 방법이 연구되고 있다. Reliability 의 확보를 위해서는 접촉방식의 나노임프린트공정에서 불가피하게 발생하는 오염, 기공, 부분 파괴, 미 충전 등의 결함 최소화 방안, 초정밀 장비기술의 개발, 나노급 스탬프 및 웨이퍼 가공기술의 확보가 필수

적이다 하겠다. 또한 레지스트 및 점착방지막 재료의 개발과 나노급 다층정렬기술등은 앞으로 많은 연구가 진행되어야 할 부분으로 보인다. 현재 국내외적으로 나노임프린트관련 연구가 활발하게 진행되고 있어 근시일 내에 상당한 기술적 발전을 이루어 다양한 분야에 적용될 것으로 전망된다.

### 참고문헌

1. Chou, S. Y., Krauss, P. R. and Renstrom, P. J., "Nanoimprint lithography," J. Vac. Sci. Technol. B, Vol. 14(6), pp. 4129-4133, 1996.
2. Krauss, P. R. and Chou, S. Y., "Nano-compact disks with 400Gbit/in<sup>2</sup> storage density fabricated using nanoimprint lithography and read with proximal probe," Appl. Phys. Lett., Vol. 71(21), pp. 3174-3176, 1997.
3. Yu, Z., Schablitsky, S. J. and Chou, S. Y., "Nanoscale GaAs metal-semiconductor-metal photodetectors fabricated using nanoimprint lithography," Appl. Phys. Lett., Vol. 74(16), pp. 2381-2383, 1999.
4. Cao, H., Yu, Z., Wang, J., Tegenfeldt, J. O., Austin, R. H., Chen, E., Wu, W. and Chou, S. Y., "Fabrication of 10nm enclosed nanofluidic channels," Appl. Phys. Lett., Vol. 81(1), pp. 174-176, 2002.
5. Chou, S. Y., Keimel, C. and Gu, J., "Ultrafast and direct imprint of nanostructures in silicon," Nature, Vol. 417, pp. 835-837, 2002.
6. Xia, Q., Keimel, C., Ge, H., Yu, Z., Wu, W. and Chou, S. Y., "Nanosecond patterning of nanostructures in polymers using laser-assisted nanoimprint lithography (LA-NIL)," in the First Conference on Nanoimprint and Nanoprint Technology, San Francisco, CA, December 11-13, 2002.
7. Colburn, M., Johnson, S., Stewart, M., Damle, S., Bailey, T., Choi, B., Wedlake, M., Michaelson, T., Sreenivasan, S. V., Ekerdt, J. and Wilson, C. G., "Step and flash imprint lithography: a new approach to high-resolution patterning," in SPIE's 24<sup>th</sup> International Symposium on Microlithography: Emerging Lithographic Technologies III, Santa Clara, CA, Vol. 3676(I), pp. 379-389, 1999.
8. Haisma, J., Verheijen, M. and Heuvel, K., "Mold-assisted nanolithography: A process for reliable

- pattern replication," *J. Vac. Sci. Technol. B*, Vol. 14(6), pp. 4124-4128, 1996.
9. Sreenivasan, S. V., "Nanoimprint lithography using UV curable liquids," in *ASME International Conference on Integrated Nanosystems*, Berkeley, CA, September 18-20, 2002.
  10. Bailey, T. C., Resnick, D. J., Mancini, D., Nordquist, K. J., Dauksher, W. J., Ainley, E., Talin, A., Gehoski, K., Baker, J. H., Choi, B. J., Johnson, S., Colburn, M., Meissl, M., Sreenivasan, S. V., Ekerdt, J. G. and Willson, C. G., "Template fabrication schemes for step and flash imprint lithography," *Microelectronics Eng.*, Vol. 61-62, pp. 461-467, 2002.
  11. Bulthaupt, C. A., Wilhelm, E. J., Hubert, B. N., Ridley, B. A. and Jacobson, J. M., "All-additive fabrication of inorganic logic elements by liquid embossing," *Appl. Phys. Lett.*, Vol. 79(10), pp. 1525-1527, 2001.
  12. Scheer, H. C., Schulz, H., Hoffmann, T. and Torres, C. M. S. "Problems of the nanoimprinting technique for nanometer scale pattern definition," *J. Vac. Sci. Technol. B*, Vol. 16(6), pp. 3917-3921, 1998.
  13. Heidari, B., Maximov, I. and Montelius, L., "Nanoimprint lithography at the 6 in. wafer scale," *J. Vac. Sci. Technol. B*, Vol. 18(6), pp. 3557-3560, 2000.
  14. Heydermann, L. J., Schiff, H., David, C., Gobrecht, J. and Schweizer, T., "Flow behavior of thin polymer films used for hot embossing lithography," *Microelectronics Eng.*, Vol. 54, pp. 229-245, 2000.
  15. Otto, M., Bender, M., Hadam, B., Spangenberg, B. and Kurz, H., "Characterization and application of a UV-based imprint technique," *Microelectronics Eng.*, Vol. 57-58, pp. 361-366, 2001.
  16. Schulz, H., Korbes, A. S., Scheer, H. C. and Balk, L. J., "Combination of nanoimprint and scanning force lithography for local tailoring of sidewalls of nanometer devices," *Microelectronics Eng.*, Vol. 53, pp. 221-224, 2000.
  17. Pfeiffer, K., Fink, M., Gruetzner, G., Bleidiessl, G., Schulz, H. and Sheer, H., "Multistep profiles by mix and match of nanoimprint and UV lithography," *Microelectronics Eng.*, Vol. 57-58, pp. 381-387, 2001.
  18. Schulz, H., Roos, N., Bendfeldt, L., Pfeiffer, K., Glinsner, T. and Scheer, H. C., "Multi-stack 4 inch wafer-scale imprint lithography with a commercial wafer bonder," in *45<sup>th</sup> International Conference on Electron, Ion & Photon Beam Technology and Nanofabrication*, 2001.
  19. Roos, N., Luxbacher, T., Glinsner, T., Pfeiffer, K., Schulz, H. and Scheer, H. C., "Nanoimprint lithography with a commercial 4 inch bond system for hot embossing," *SPIE'S Microlithography*, Santa Clara, CA, February 27-28, 2001.
  20. Lebib, A., Chen, Y., Cambriel, E., Youinou, P., Studer, V., Natali, M., Pepin, A., Janssen, H. M. and Sijbesma, R. P., "Room-temperature and low-pressure nanoimprint lithography," *Microelectronics Eng.*, Vol. 61-62, pp. 371-377, 2002.
  21. Pfeiffer, K., Fink, M., Ahrens, G., Gruetzner, G., Reuther, F., Seekamp, J., Zankovych, S., Torres, C. M. S., Maximov, I., Beck, M., Graczyk, M., Montelius, L., Schulz, H., Scheer, H. C. and Steingrueber, F., "Polymer stamp for nanoimprint," *Microelectronics Eng.*, Vol. 61-62, pp. 393-398, 2002.
  22. Haatainen, T. and Ahopelto, J., "Step & stamp imprint lithography: A versatile method for nanoimprint," in the *First Conference on Nanoimprint and Nanoprint Technology*, San Francisco, CA, December 11-13, 2002.
  23. Bender, M., Otto, M., Hadam, B., Vratzov, B., Spangenberg, B. and Kurz, H., "Fabrication of Nanostructures using a UV-based imprint technique," *Microelectronics Eng.*, Vol. 53, pp. 233-236, 2000.
  24. Bender, M., Otto, M., Hadam, B., Spangenberg, B. and Kurz H., "Multiple imprinting in UV-based nanoimprint lithography related material issues," *Microelectronics Eng.*, Vol. 61-62, pp. 407-413, 2002.
  25. Taniguchi, J., Tokano, Y., Miyamoto, I., Komuro, M., Hiroshima, H., Kobayashi, K., Miyazaki, T. and Ohyi, H., "Preparation of diamond mold using electron beam lithography for application to nanoimprint lithography," *Jpn. J. Appl. Phys.*, Vol. 39, pp. 7070-7074, 2000.
  26. Taniguchi, J., Tokano, Y., Miyamoto, I., Komuro, M. and Hiroshima, H., "Diamond nanoimprint lithography," *Nanotechnology*, Vol. 13, pp. 592-596, 2002.
  27. Taniguchi, J., Kawasaki, T., Tokano, Y., Kogo, Y., Miyamoto, I., Komuro, M., Hiroshima, H., Sakai, N.

- and Tada, K., "Measurement of adhesive force between mold and photocurable resin in imprint technology," *Jpn. J. Appl. Phys.*, Vol. 41, pp. 4194-4197, 2002.
28. Hirai, Y., Harada, S., Isaka, S., Kobayashi, M. and Tanaka, Y., "Nano-imprint lithography using replicated mold by Ni electroforming," *Jpn. J. Appl. Phys.*, Vol. 41, pp. 4186-4189, 2002.
29. Igaku, Y., Matsui, S., Ishigaki, H., Fujita, J. Ishida, M., Ochiai, Y., Namatsu, H., Komuro, M. and Hiroshima, H., "Room temperature nanoimprint technology using Hydrogen Silsequioxane(HSQ)," *Jpn. J. Appl. Phys.*, Vol. 41, pp. 4198-4202, 2002.
30. Komuro, M., Tokano, Y., Taniguchi, J., Kawasaki, T., Miyamoto, I. and Hiroshima, H., "Improvement of imprinted pattern uniformity using sapphire mold," *Jpn. J. Appl. Phys.*, Vol. 41, pp. 4182-4185, 2002.
31. Hiroshima, H., Komuro, M., Kasahara, N., Kurashima, Y., Taniguchi, J. and Miyamoto, I., "Elimination of bubble defects during nanoimprint in atmospheric ambient," in the First Conference on Nanoimprint and Nanoprint Technology, San Francisco, CA, December 11-13, 2002.
32. Khang, D. Y. and Lee, H. H., "Room-temperature imprint lithography by solvent vapor treatment," *Appl. Phys. Lett.*, Vol. 76(7), pp. 870-872, 2000.
33. Suh, K. Y., Kim, Y. S. and Lee, H. H., "Capillary force lithography," *Adv. Mater.*, Vol. 13(18), pp. 1386-1389, 2001.
34. Khang, D. Y., Yoon, H. and Lee, H. H., "Room-temperature imprint lithography," *Adv. Mater.*, Vol. 13(10), pp. 749-752, 2001.
35. Kim, Y. S., Suh, K. Y. and Lee, H. H., "Fabrication of three-dimensional microstructures by soft molding," *Appl. Phys. Lett.*, Vol. 79(14), pp. 2285-2287, 2001.