

## A New Inverter Topology for High Voltage and High Power Applications

金 兌 勳\* · 崔 世 琬\*\* · 朴 基 遠\*\*\* · 李 汪 夏§  
 (Tae-Hoon Kim · Se-Wan Choi · Ki-Won Park · Wang-Ha Lee)

**Abstract** - In this paper, a new three-phase voltage-source inverter topology for high voltage and high power applications is proposed to improve the quality of output voltage waveform. A chain converter which is used as an auxiliary circuit generates a ripple voltage and injects it to the conventional 12-step inverter. Thus, the injection of the ripple voltage results in 36-step operation with a link and 60-step operation with two links. The proposed inverter is compared to the conventional multilevel inverter in the viewpoint of ratings of phase-shifting transformers, switching devices and capacitors employed. The proposed scheme is simple to control capacitor voltages compared to the conventional schemes and is cost effective for high voltage and high power application over several tens of MVA. The proposed approach is validated through simulation, and the experimental results are provided from a 2KVA laboratory prototype.

**Key Words** : 멀티스텝 인버터, 이중접속방식, Chain 컨버터, DCMLI, HB-cascade

### 1. 서 론

정지형 무효전력 보상장치(STATCOM), 무정전 전원장치(UPS) 및 교류전동기의 가변속 구동 장치 등에 사용되고 있는 전압원 인버터에 대하여 출력 파형의 개선을 위한 다양한 방식이 제안되고 있다. 고주파 동작이 가능한 IGBT를 이용하는 PWM방식은 중·소용량의 교류전동기의 구동이나 UPS등에 적용되고 있다. 그러나 동작주파수가 수백Hz 정도인 GTO를 사용하는 고전압 대용량 급에서는 이러한 PWM 방식의 사용에 한계가 있다. 따라서 여러 대의 인버터를 직렬 또는 병렬 연결하여 전압 및 전류 용량을 늘리고 위상변압기로 출력을 결합하여 고조파를 저감하는 다중화 방식이 사용되고 있다. 이러한 다중화방식은 PWM방식과 달리 저차 고조파를 제거하여도 고차고조파가 증대되지 않을 뿐 아니라 여러 대의 인버터를 이용하기 때문에 이중 일부가 고장 시에도 분리하면 계속운전이 가능하므로 신뢰성이 높다 [1]. 하지만 다중화 방식은 고조파의 저감을 위하여 출력 파형의 스텝수를 더욱 증가시키려면 이에 따라 위상변압기와 인버터 브리지의 수를 늘려야 한다. 예를 들어 36-스텝의 인버터를 구현하기 위해서는 6대의 인버터(즉 36개의 스위칭소자)와 6대의 위상변압기를 사용하여야 하는데 단지 출력 파형의 개선을 위하여 6대의 인버터를 다중화 시키는 것

은 비용이나 설치면적 등에서 비경제적이다. 따라서 이를 개선한 전원분할방식의 이중접속 전압원 인버터가 제안되었다 [1-4]. 이러한 이중접속방식은 2대의 3상인버터로 구성되는 기존의 12-스텝 인버터에 보조회로를 연결하여 리플전압을 주입함으로써 출력전압의 파형을 개선하는 방식이다. 문헌[2]는 보조회로로서 상간 리액터와 4개의 스위칭소자를 사용하여 주입전압을 발생시키는 방식으로 36-스텝의 출력 파형을 얻을 수 있으나 그이상의 파형 개선을 위한 회로확장이 어렵다. 더욱이 보조회로에 스위칭동작의 불균형으로 인하여 변압기가 포화되면 오동작을 일으킬 우려가 있다. 또한 보조회로로서 DCMLI (Diode clamped multilevel inverter)방식을 사용하여 주입전압을 발생시키고 출력 측에 커플링 리액터를 사용하여 60-스텝의 출력 파형으로 6상 유도전동기에 적합한 방식이 제안되었다 [4].

본 논문에서는 보조회로로서 Chain컨버터를 이용하여 주입하고자 하는 리플전압을 발생시키는 새로운 이중접속방식의 출력 파형 개선기술을 제안한다. 제안하는 방식은 리액터소자를 사용하지 않으므로 포화에 의한 오동작의 우려가 없으며 보조회로로서 DCMLI 방식을 사용하는 방식 [4]과 비교하면 커패시터 균등제어의 부담이 없고, 같은 출력 파형을 내기 위하여 클램핑 다이오드를 사용할 필요가 없다. 또한 Chain 컨버터에서 하나의 단상브리지 인버터로 구성되는 링크(Link)의 수를 증가시키에 따라 36-스텝, 60스텝 등으로 동작을 확장할 수 있다.

### 2. 제안하는 인버터 시스템

그림 1은 제안하는 인버터 시스템을 나타낸다. 두 대의 3상 인버터 INVp와 INVq는 위상변압기에 의해 결합되어 기

\* 準 會 員 : 서울産業大學 制御計測學科 碩士課程  
 \*\* 正 會 員 : 서울産業大學 制御計測學科 助教授  
 \*\*\* 正 會 員 : 포스콘 技術研究所 선임연구원  
 § 正 會 員 : 浦港産業科學研究院 선임연구원  
 接受日字 : 2002年 10月 28日  
 最終完了 : 2002年 12月 17日

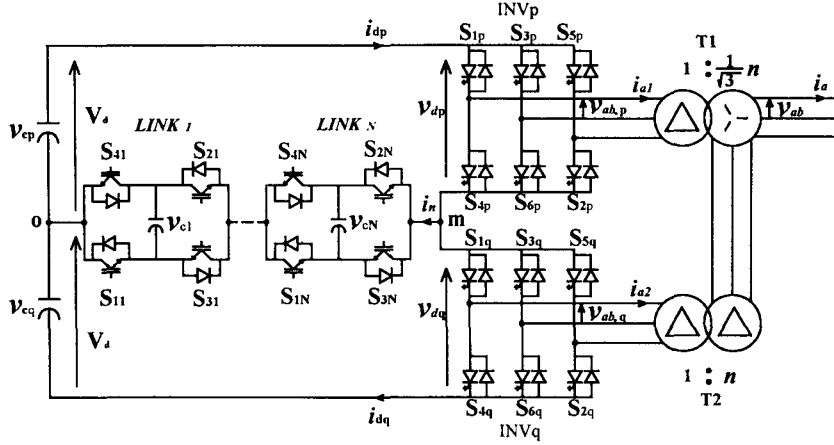


그림 1 제안하는 멀티스텝 인버터  
Fig. 1 Proposed Multistep Inverter

본적으로 12-스텝 인버터의 구성을 이룬다. 3상 인버터 NVp와 INVq는 180° 도통방식으로 구동되며 서로 30°의 위상차를 갖도록 한다. N대의 링크가 직렬 연결된 Chain 컨버터는 전위 'm' 과 전위 'o' 사이에 연결되어 주입전압을 발생시킨다. N대의 링크를 갖는 Chain 컨버터는 'm' 과 'o' 사이에 (2N+1)개의 전압레벨을 발생시키므로 제안하는 인버터 시스템의 출력전압이 12(2N+1) 스텝으로 동작하는 효과를 갖는다. 여기에 이용되는 3상 인버터의 스위치 S<sub>1p</sub>와 S<sub>1q</sub>의 게이트 신호 g<sub>1p</sub>, g<sub>1q</sub>와(이때 i(i=1~6)는 스위치 번호를 표시함), Chain 컨버터의 스위치 S<sub>1N</sub>의 게이트 신호 g<sub>1N</sub>(이때 i(i=1~4)는 스위치 번호, N(N=1,2,...)는 링크의 번호를 표시함) 및 이에 따른 36-스텝(N=1인 경우) 동작시의 각부 회로를 그림 2에 나타낸다. 수MVA급 이상에서 주 인버터는 그림1과 같이 GTO소자를 사용하고 Chain 컨버터에는 GBT를 사용할 수 있다. 그리고 Chain 컨버터는 3상 인버터의 6배의 주파수로 동작한다[4]. 먼저 해석을 용이하게 하기 위하여 모든 스위칭 소자와 위상 변압기는 이상적이라고 가정한다. 각 인버터의 INVp, INVq의 입력전압은

$$v_{cp} = v_{cq} = V_d \quad (1)$$

이고, 링크의 직류전압은

$$v_{cl} = k V_d \quad (2)$$

이다. 이때 k는 주 인버터의 입력 전압에 대한 각 링크의 직류 전압의 비이다. 제안한 방식이 대용량 인버터에 적용될 경우에는 각 링크의 직류전압을 확보하기 위하여 변압기나 다이오드 브릿지 회로를 이용한 정류기 시스템이 필요하다. 제안한 방식이 STATCOM에 적용될 경우 Chain 컨버터의 게이트 신호의 위상제어에 의해 직류전압을 확보할 수 있다. Chain 컨버터의 출력전압 v<sub>mo</sub>는 입력전압과 게이트 번호에 의하여 다음과 같이 나타낼 수 있다.

$$v_{mo} = (g_{11} - g_{31}) v_{cl} \quad (3)$$

3상 인버터의 입력전압은

$$v_{dp} = v_{cp} - v_{mo} \quad (4)$$

$$v_{dq} = v_{cp} + v_{mo} \quad (5)$$

이고, INVp의 출력전압은 다음과 같다.

$$v_{ab,p} = (g_{1p} - g_{3p}) v_{dp} \quad (6)$$

$$v_{bc,p} = (g_{3p} - g_{5p}) v_{dp} \quad (7)$$

$$v_{ca,p} = (g_{5p} - g_{1p}) v_{dp} \quad (8)$$

INVq의 전압도 같은 방법으로 구할 수 있다. 또한 위상 변압기의 입출력 전압 관계에 따라 인버터의 최종 출력전압 v<sub>ab</sub>는

$$v_{ab} = v_{ab,q} + \frac{1}{\sqrt{3}}(v_{ab,p} - v_{bc,p}) \quad (9)$$

가 되고, 식 (1)~(9)에 의해 제안한 인버터의 출력전압은

$$v_{ab} = \frac{V_d}{\sqrt{3}} [\sqrt{3}(g_{1q} - g_{3q})(1 + k(g_{11} - g_{31})) + (g_{1p} - 2g_{3p} - g_{5p})(1 - k(g_{11} - g_{31}))] \quad (10)$$

로 된다. 이때 인버터의 출력전압은 전압비 k와 각 인버터의 게이트 신호에 의해 결정되며 k=0.654일 때 출력 전압의 왜곡률 DF는 3.99%로 최소가 된다. 여기서 DF(Distortion Factor)는 다음과 같이 정의된다.

$$DF = \frac{\sqrt{\sum_{n=2}^{\infty} V_{ab,n}^2}}{V_{ab,1}} \times 100 \quad (11)$$

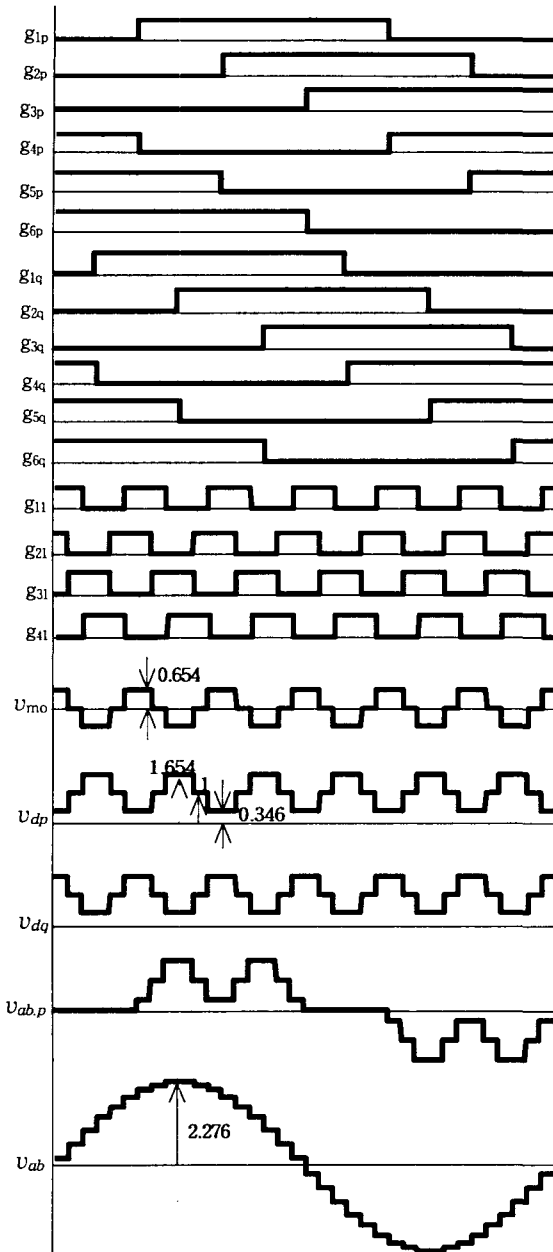


그림 2. 제안한 36-스텝 인버터의 주요파형 (N=1, n=1, V<sub>d</sub> = 1, k = 0.654 일 때)

Fig. 2 Waveforms of the Proposed 36-step inverter (When N=1, n=1, V<sub>d</sub> = 1, k = 0.654)

이때 출력전압의 파형은 그림 2에서 보듯이 36-스텝으로 거의 정현파에 가깝게 된다. Chain 컨버터의 각 링크는 그림 1에서 보듯이 하나의 단상브리지 전압원 컨버터로 구성된다. N대의 링크를 가지는 Chain 컨버터의 출력전압은 각 링크의 출력전압의 합과 같기 때문에 링크의 교류측을 직렬로 연결 함으로써 레벨 수를 늘릴 수 있다. 즉 N대의 링크를 가지는 Chain 컨버터는 'm' 과 'o' 사이에 (2N+1)개의 전압 레벨을 가지므로 링크가 1대 일 때는 3레벨, 링크가 2대 일 때는 5레벨을 갖게 되어 주 인버터의 출력전압은 각각 36-

스텝과 60-스텝으로 동작한다. 특히 본 방식은 DCMLI 방식에서와 같은 클램핑 다이오드가 필요치 않고, 커패시터를 직렬로 연결하지 않기 때문에 다수의 커패시터에 대한 제약이 필요 없다.

### 3. 기존의 멀티레벨 인버터와의 정격비교

본 절에서는 제안한 방식의 인버터와 기존의 DCMLI (Diode-clamped multilevel inverter) 방식[6] 및 HB-cascade (Half-Bridge cascade) 방식[7]의 멀티레벨 인버터와 각 소자의 용량을 비교한다. 이론적으로 DCMLI 방식과 HB-cascade 방식의 멀티레벨 인버터는 개개의 소자의 전압 정격을 증대시키지 않고 레벨의 수를 증대시켜 출력전압을 증대시키는 동시에 출력전압의 고조파를 저감시켜 동시에 위상변압기 없이 고전압의 교류측에 직접 연결하여 사용할 수 있는 장점이 있으나, 현실적으로 9레벨로 한다[8]. 세 가지 방식의 비교를 위하여 다음을 가정한다.

- 인버터 출력용량 : 10MVA
  - 인버터 출력 선간 전압 :  $V_{ab} = 22.9KV = 1p.u$
  - 인버터 출력전류 :  $I_a = \frac{10MVA}{\sqrt{3} \cdot 22.9KV} = 252A = 1p.u$
  - 직류 링크 전압  $2V_d = 5,000V$  일 때 출력 선간전압 22.9KV를 얻기 위해 각 인버터에서 사용하는 위상 변압기의 권수비  $n = \frac{N_{High}}{N_{Low}}$  는 다음과 같다.
- 36-step : n = 5.7  
 DCMLI : n = 7.3  
 HB-cascade : n = 3.65

#### 3-1) 위상 변압기의 정격

변압기의 전압 정격을 계산할 때 정현파의 경우 실효값을 사용하나 비 정현파의 경우 등가 실효전압 (Equivalent effective voltage)을 사용한다[3].

표 1 위상변압기의 정격비교

Table 1 Comparison of Phase Shift Transformer

|   |              | 제안한 36-스텝     |                | DCMLI 및 HB-cascade 방식 |                |
|---|--------------|---------------|----------------|-----------------------|----------------|
|   |              | $V_{eq}(p.u)$ | $I_{rms}(p.u)$ | $V_{eq}(p.u)$         | $I_{rms}(p.u)$ |
| T1  | P(Low side)  | 0.464/n       | 0.577n         | 1/n                   | 0.577n         |
|   | S(High side) | 0.268         | 1              | 1                     | 0.577          |
| T2  | P(Low side)  | 0.464/n       | 0.577n         | -                     | -              |
|   | S(High side) | 0.464         | 0.577          | -                     | -              |
| 등가용량<br>$= \frac{\sum V_{eq} I_{rms}}{2VA_{out}} (p.u)$ |              | 0.463         |                | 0.999                 |                |
|   |              | 0.463         |                |                       |                |

표 2 스위칭 소자의 정격 비교  
Table 2 Comparison of Switching Device Voltage Stresses

|                      | 이용소자        | 이용소자의 수 | 전압정격<br>$V_{pk}(p.u)$                             | 전류정격<br>$I_{pk}(p.u)$ | $MVA(p.u)$ |
|----------------------|-------------|---------|---|-----------------------|------------|
| 36-스텝(제안방식)          | GTO(주 인버터)  | 12      | $\frac{1.11}{n}$                                  | $1.43n$               | 19.05      |
|                      | IGBT(보조인버터) | 4       | $\frac{0.41}{n}$                                  | $0.74n$               | 1.20       |
| DCMLI (9-레벨)         | GTO         | 48      | $\frac{0.2}{n}$                                   | $1.41n$               | 13.51      |
|                      | 클램핑 다이오드    | 42      | $\frac{0.2}{n}$ 에서 $\frac{1.39}{n}$ 까지<br>(각 6개씩) | $1.41n$               | 47.26      |
| HB-cascade<br>(9-레벨) | GTO         | 48      | $\frac{0.2}{n}$                                   | $1.41n$               | 13.51      |

표 3 커패시터소자의 MVA용량 비교  
Table 3 Comparison of Capacitor MVA Requirements

|                      | 이용소자    | 이용소자의 수 | $V_d(p.u)$        | $I_{rms}(p.u)$ | $MVA(p.u)$ |
|----------------------|---------|---------|-------------------|----------------|------------|
| 36-스텝(제안방식)          | 주 커패시터  | 2       | $\frac{0.623}{n}$ | $1.37n$        | 1.70       |
|                      | 보조 커패시터 | 1       | $\frac{0.40}{n}$  | $0.109n$       | 0.04       |
| DCMLI (9-레벨)         | 커패시터    | 8       | $\frac{0.2}{n}$   | $0.69n$        | 1.1        |
| HB-cascade<br>(9-레벨) | 커패시터    | 12      | $\frac{0.2}{n}$   | $1.03n$        | 2.44       |

$$V_{eq} = \frac{1}{2\sqrt{2}} \int_0^\pi v_w d\theta \quad (12)$$

또한 인버터의 출력  $VA_{out}$  은 다음과 같다.

$$VA_{out} = \sqrt{3} V_{ab} I_a = 1.73(p.u) \quad (13)$$

표 2에 제안한 36-스텝 인버터와 기존의 9레벨 DCMLI 및 HB방식의 인버터에 대한 위상변압기의 용량을 비교 하였다. 제안한 방식은 2 대의 변압기(T1과 T2)가 필요하고 변압기의 용량을 계산하기 위하여 각 권선의 등가 실효 전압  $V_{eq}$  와 권선 전류  $I_{rms}$  를 구하고 부하용량 대비 변압기의 등가용량을 구하였다. 각 방식 모두 거의 비슷하였지만 제안한 방식의 용량이 다소 작은 것을 알 수 있다.

### 3-2) 스위칭 소자의 정격

각 방식의 인버터에 사용되는 스위칭 소자들의 전압 정격과 ( $V_{peak}$ ), 전류정격을 ( $I_{peak}$ ) 구하고 사용된 소자의 수를 고려하여 다음과 같은 스위치의 총 MVA정격을 표 2에 나타낸다.

$$\text{총 스위치 } MVA\text{정격}(p.u) = \text{전압 정격}(p.u) \times \text{전류정격}(p.u) \times \text{소자수} \quad (14)$$

주 인버터와 보조 인버터 총 스위치 MVA 정격이 제안한 36-스텝 인버터는 약 20.2정도인데 반하여 DCMLI방식의

티레벨 인버터는 60.8로 매우 큰데, 그 이유는 많은 수의 클램핑 다이오드가 요구되어지기 때문이며 이러한 클램핑 다이오드는 가격의 상승뿐 아니라 패키징과 기생 인덕턴스에 의한 문제점을 안고 있다. HB-cascade방식은 DCMLI방식과 같은 클램핑 다이오드가 필요치 않아 총 스위치 MVA 정격이 13.5로 가장 낮다.

3-3) 커패시터 소자의 MVA용량

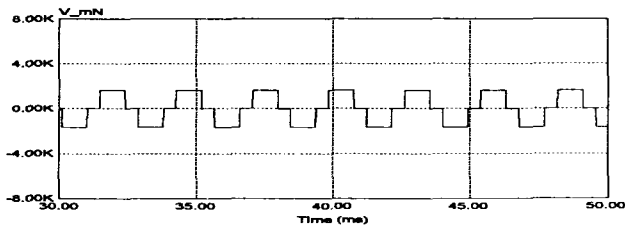
각 방식에 요구되는 커패시터의 가격과 크기를 비교하기 위하여 다음과 같이 정의된 커패시터의 직류 MVA용량을 사용한다.

$$V_d(p.u) \times I_{rms}(p.u) \times \text{소자수} \quad (15)$$

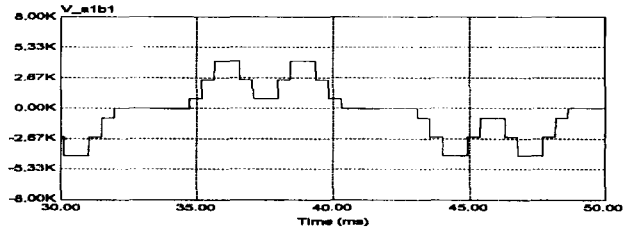
여기서,  $V_d$  는 커패시터의 직류 Peak 전압,  $I_{rms}$  는 커패시터 전류의 실효값을 나타낸다. 이때 커패시터로 흐르는 전류는 각 인버터의 스위칭 함수에 따라 달라질 수 있으므로 각 인버터의 출력전압을 내기 위한 최적의 스위칭 상태를 고려하여 커패시터에 흐르는 전류의 값을 이용하였다. 예를 들어 HB-cascade방식의 경우 각 커패시터의 균등제어를 고려하여 회전스위칭 기법을 이용하였을 경우에 커패시터로 흐르는 전류를 고려하여 계산되었다. 또한 커패시터에 흐르는 전류는 출력전압과 출력전류의 위상차에 의해서도 영향을 받기 때문에 커패시터에 흐를 수 있는 최악의 경우를 고려하여 계산하였으며 그 결과를 표3에 나타내었다. 표3에서 알 수 있듯이 제안한 방식에서 요구되어지는 커패시터의 총 용량은 1.74(p.u)이다. DCMLI방식의 경우 요구되는 커패시터의 총 용량은 1.1(p.u)정도로 가장 작으나 8개의 커패시터 소자가 직렬로 연결되어 있어 커패시터 균등제어의 부담을 가지게 된다. 또한 HB-cascade방식은 제안하는 방식과 DCMLI방식에서 dc링크를 3상에서 공유하는 반면 하나의 단상 인버터마다 각각 dc링크를 설치해야 하기 때문에 커패시터 총 용량이 2.44로 가장 크고 커패시터의 수가 많아지는 단점이 있다.

4. 시뮬레이션

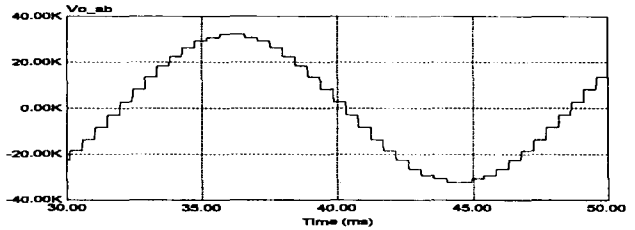
두 대의 링크를 가지는 Chain 컨버터를 사용하여 36-스텝 인버터를 구현한 제안한 방식의 모의실험을 행하였으며 시뮬레이션에 사용된 파라미터는 다음과 같다.



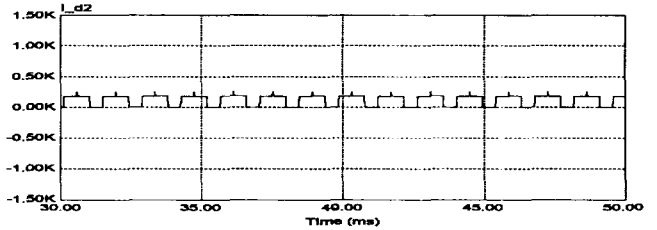
(a)  $v_{m0}$



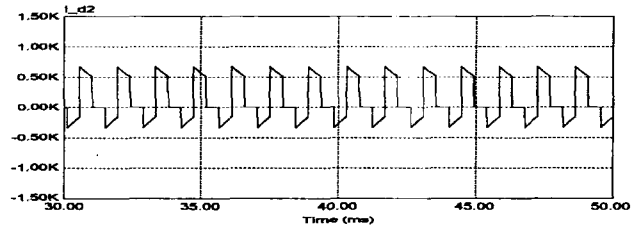
(b)  $v_{ab,p}$



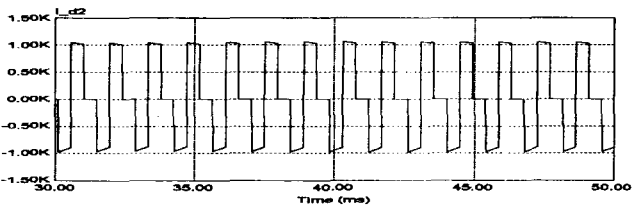
(c)  $v_{ab}$



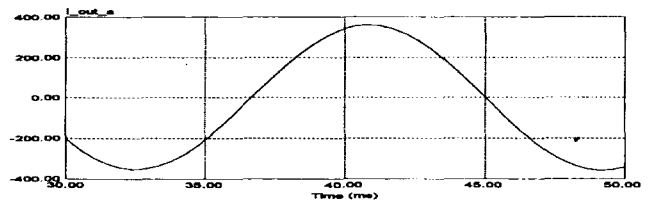
(d) 부하각  $0^\circ$  일 때,  $I_{rpk} = 184A$



(e) 부하각  $22.46^\circ$  일 때,  $I_{rpk} = 677A$



(f) 부하각  $70^\circ$  일 때,  $I_{rpk} = 1062A$



(g) 부하각  $70^\circ$  일 때, 출력전류  $i_a$

그림 3 제안하는 36-스텝 인버터의 시뮬레이션 파형  
Fig. 3 Simulation Waveform of the Proposed 36-Step

- 정격 출력용량 : 10MVA
- 정격 출력전압 : 22.9KV
- 변압기 권선비 :  $n = 5$
- 주 회로 직류전압 :  $V_d = 2.5KV$
- 각 링크 직류전압 :  $kV_d = 1.635KV$

그림 3(a)의 주입 전압  $v_{mo}$  는 한 대의 링크를 사용하였으므로 3레벨의 전압 파형을 갖고 주파수는 360Hz이다. 이와 같은 전압의 주입에 대하여 인버터 INVp의 출력전압은 그림 3(b)와 같이 되며 위상변압기를 거친후 최종 출력전압은 그림 3(c)와 같이 36-스텝을 갖는 정현파에 가까운 전압이 된다. 또한 그림 3의 (d),(e),(f)에서는 동일한 크기의 부하전류  $i_a$ (실효값은 257A)에 대하여 부하각의 증가에 따른  $i_n$ 의 변화를 보여준다. (d)는 부하각이  $0^\circ$  일 때, (e)는 부하각이  $22.46^\circ$  일 때, (f)는 부하각이  $70^\circ$  일 때 각각  $i_n$ 의 전류를 보여주고 있다. 그림 3의 (d),(e), (f)에서 알 수 있듯이 부하각이 증가함에 따라  $I_{npk}$ 도 커지는 것을 알 수 있다. 그러므로 부하각이 클 경우 보조회로의 스위칭 소자의 전류정격도 커지게 된다. 그림 3의 (g)에서는 부하각이  $70^\circ$  일때의 출력전류  $i_a$ 를 보여주고 있다.

5. 실험결과

한 대의 링크를 가지는 Chain 컨버터를 사용하여 36-스텝 인버터를 구현한 제안한 방식의 실험을 행하였으며 실험에 사용된 파라미터는 다음과 같다.

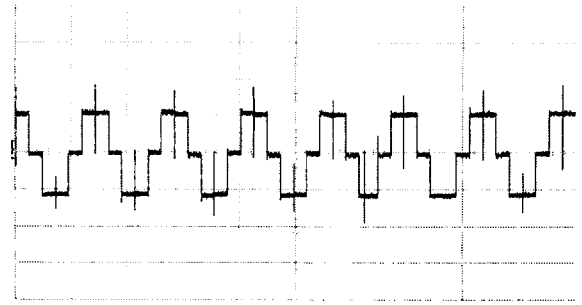
- 정격용량 : 2KVA
- 정격전압 : 240V
- 변압기 권선비 :  $n = 1$
- 주 회로 직류전압 :  $V_d = 150V$
- 각 링크 직류전압 :  $kV_d = 100V$

시뮬레이션에서와 마찬가지로 그림 4(a)는 3-레벨의 주입 전압  $v_{mo}$  를 나타내었고 그림 4(b)는 INVp의 출력전압, 그리고 그림 4(c)에서 최종 출력전압  $v_{ab}$ 를 보여준다. 측정결과 출력전압의 DF=3.9% 이다. 각 파형에 나타난 전압 스파이크는 스너버를 사용하지 않았기 때문이다.

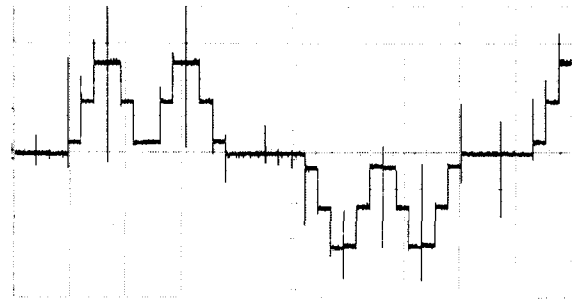
6. 결 론

본 논문에서는 Chain 컨버터를 보조회로로 하는 이중접속방식의 멀티스텝 인버터를 제안하였다. 본 방식은 다음과 같은 특징을 갖는다.

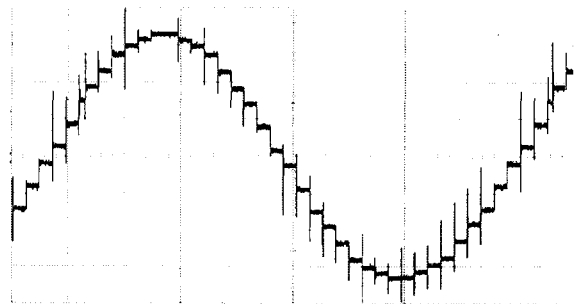
- N대의 링크를 사용할 경우 보조회로는 2N+1개의 레벨을 가지며 출력전압은 12(2N+1) 스텝으로 동작한다.
- 주 인버터는 GTO를 사용하고 60Hz로, 보조 회로는 IGBT를 사용하고 360Hz로 낮은 주파수의 스위칭 동



(a)  $v_{mo}$   
작으로 거의 정현파에 가까운 출력전압을 만들 수 있



(b)  $v_{ab,p}$  , 100/div



(c)  $v_{ab}$  , 100/div

그림 4 제안하는 36-스텝 인버터의 실험결과  
(종축: 100V/Div. , 횡축: 2ms/Div.)

Fig. 4 Experimental Results for the Proposed 36-Step inverter  
(Vertical: 100V/Div. , Horizontal: 2ms/Div.)

다.

- Chain 컨버터를 구성하는 각 링크의 고장에 대비하여 링크를 추가적으로 설치하여 동작시키는 방법으로 신뢰성을 높일 수 있다.
- 제안한 방식의 총 스위칭소자 정격은 DCMLI방식 보다 매우 작고 HB-cascade보다는 다소 크지만 필요 스위칭 소자수는 가장 작다.
- 제안한 방식의 총 커패시터 용량은 DCMLI방식 보다는 크고 HB-cascade방식보다는 작지만 커패시터 소

자의 수가 가장 적어 전압제어 등이 용이하다. 제안한 방식은 PWM방식을 사용하지 않는 중·대용량급 인버터의 파형 개선에 적용할 수 있다. 또한 본 방식의 축소 모델로서 실험한 결과를 제시하였으며 향후의 과제로서 본 방식의 멀티스텝 인버터를 대용량 STATCOM에 적용하는 연구가 필요하다.

**참 고 문 헌**

- [1] 양승욱, 최세완, 문건우, 조정구, "SVC 적용을 위한 새로운 이중접속방식의 멀티 스텝 인버터", 전력전자 학회 논문지, 제4권, 제6호, pp.547-553. 1999.
- [2] Masukawa, S.Iida, "A Method for Reducing Harmonics in Output Voltage of a Double-Connected Inverter", IEEE Trans. on Power Electronics, vol. 9, pp. 543-550, Sep. 1994.
- [3] 최세완, 양승욱, "단상 인버터 동작에 의한 이중접속 3상 전압원 인버터의 출력 파형 개선" 전력전자 학회논문지, 제6권, 제1호, pp21-26. 2001.
- [4] K. Oguchi, A. Kawaguchi, T. Kubota, N. Hoshi, "A Novel Six Phase Inverter System With 60- Step Output Voltages for High-Power Motor Drives", IEEE Trans. on Industry Applications, vol. 35, pp 1141-1149, September/ October 1999.
- [5] Ainsworth J.D, Davies M, Fitz P.J, Owen K.E, TrainerD.R, "Static Var Compensator (STATCOM) based on single-phase chain circuit converter", IEE Proc-Gener. Transm.Distrib. vol. 145, pp 381~386, July 1998
- [6] Nam S. Choi, Jung G. Cho and Gyu H. Cho "A general circuit topology of multilevel inverter" IEEE/PESC, pp 96-103, 1991
- [7] Fang Zheng Peng, Jih-Sheng Lai, John W.McKeever, James VanCoeverying "A Multilevel Voltage-source Inverter with Separate DC Sources for Static Var Generation" IEEE Trans. on Industry Applications, vol 32, pp 1130 -1138 ,September/October 1996
- [8] Clark Hochgraf, Robert Lasseter, Deepak Divan, T.A.Lipo "Comparison of Multilevel Inverter For Static Var Compensation" in Conference. record. IEEE/IAS Annual Meeting, 1994, pp. 90-94

**저 자 소 개**



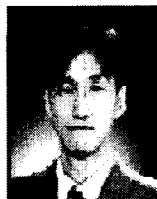
**김 테 훈 (金 兌 勳)**

1973년 10월 23일생. 2000년 호서대학교 전기공학과 졸업(학사). 2001년~현재 서울산업대 제어계측공학과 대학원 재학.  
Tel : 02-970-6538  
E-mail : gagongjisun@hanmail.net



**최 세 완 (崔 世 琬)**

1963년 3월 3일생. 1985년 인하대학교 전자공학과 졸업(학사). 1992년 미국 Texas A&M Univ. 전기공학과 졸업(석사). 1995년 동 대학원 졸업(박사). 1985년~1990년 대우중공업 중앙연구소 주임연구원. 1996년~1997년 삼성전기 종합연구소 수석연구원. 1997년~현재 서울산업대 제어계측공학과 조교수. 당 학회 편집위원.  
Tel : 02-970-6542, E-mail : schoi@snut.ac.kr



**박 기 원 (朴 基 遠)**

1967년 6월 4일생. 1992년 광운대학교 전기공학과 졸업(학사). 1994년 동 대학원 졸업(석사). 1996년 동 대학원 수료(박사). 1994년~현재 (주)포스콘 기술연구소 선임 연구원.  
Tel : 02-3290-4471  
E-mail : kwpark@poscon.co.kr



**이 왕 하 (李 汪 夏)**

1964년 3월 24일생. 1987년 경북대 전자공학과 졸업. 1991년 동 대학원 전자공학과 졸업(석사). 1991년~현재 동 포항산업과학연구원 선임연구원  
Tel : 054-279-6737  
E-mail : wangha@rist.re.kr