기·획·시·리·즈 ·❸

FRAM 기술 동향

Trends of FRAM technology

김경태, 김동표, 김창일 / 중앙대학교 전자전기공학부

서 론

강유전성이란 재료에 전장을 가하여 분극을 유발시킨 후 가해준 전장을 제거 하여도 분극이 완전히 사라지지 않고 남아 있으며, 남아 있는 분극에 처음과 반대 방향의 전장을 가함으로써 분극 방향을 역전 시킬 수 있는 재료의 성질을 의미한다. 강유전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극 (remanent polarization) 상태를 갖고 있어 이를 박막화 하여 DRAM (Dynamic Random Access Memory) 및 비휘발성 (nonvolatile) 메모리 소자로서의 응용이 가능하다.

강유전체 박막을 이용한 불휘발성 메모리 (FRAM; ferroelectric Random Access Memory)는, 저전압 동작, 고내구성, 저 소비 전력등의 특징을 나타내고 있어, 이상적인 메모리이다. 이러한 이유 때문에 세계 각국에서 개발에 진행되고 있다. 메모리에 적용하기 위한 연구는 80년 말 미국의 Ramntron Corp. 중심으로 시작이 되어 90년경에 FRAM 개발에 성공되어 일부 회사에서 상품을 출시하였으며, 고집적 메모리의 기술개발이 진행되고 있는 상태이다. 여러 종류의 강유전 물질이 제안 되어 연구 되어 왔으며, 최근에는 lead 계열의 PZT ($Pb(Zr,Ti)O_3$)와 Bismuth 계열의 SBT ($SrBi_2Ta_2O_9$) 등의 물질을 중심으로 전 세계적으로 활발하게 진행되고 있다. 이러한 물질들이 가지고 있는 한계를 극복하기 위해 새로운 물질들의 연구가 활발히 진행되고 있으며, 최근 서울대에서 발표한 피로 특성이 없고, 열처리 온도가 낮은 bismuth 계열의 BLT ($(Bi,La)Ti_3O_{12}$) 물질을 개발하여 주목을 받고 있다. 또한 이러한 bismuth 계열에 란타계열(La, Sm, Gd 등)을 첨가하여 피로특성이 없고 잔류분극값이 큰 새로운 물질에 대한 연구가 활발히 진행되고 있다.

본 논문에서는 강유전체 메모리의 구조 및 동작원리, 개발 road-map, 제품 개발 현황 및 계획, 기술적 과제에 대해 설명하고자 한다.

본 론

메모리의 종류와 특징

반도체 메모리의 종류를 살펴보면, RAM (Random Access Memory)은 각 비트에 순서에 관계없이 임의 번지로 접근 할 수 있는 메모리이다. DRAM은 트랜지스터와 커패시터로 이루어져 있으며, RAM 으로 가장 많이 사용되고 있으나, 일정한 주기로 기억재생을 시키지 않으면 기억이 소실되어 버리며, 집적도를 올리려면 제작 공정이 복잡하게 되는 등의 결정이 있다. 이러한 결점을 보완한 것으로 항상 고정 전류를 흘려 기억을 보존하는 SRAM (Static RAM)이 있으며 비휘발성 메모리로 EPROM (erasable programmable read-only memory), EEPROM (electrically erasable programmable read-only

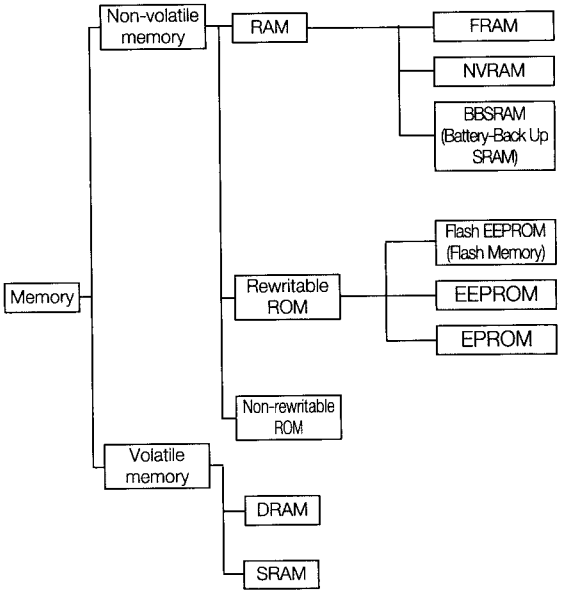
표 1. FRAM과 다른 메모리의 비교

		FRAM	EEPROM	Flash Memory	EPROM	DRAM	SRAM
Data retention		Non-volatile	Non-volatile	Non-volatile	Non-volatile	volatile	volatile
Period data retained		10 years	10 years	10 years	10 years	-	1 year (battery operation)
셀 structure		2T/2C 1T/1C	2T	1T	1T	1T/1C	6T 4T + 2R
Read time		180 ns	200 ns	〈 120 ns	〈 150 ns	to 70 ns	70 to 85 ns
Write voltage		2 V to 5 V	14 V	9 V	12 V	3.3 V	3.3V
Data rewriting	Rewrite method	Overwrite	Erase or write	Combination of write and erase	Ultraviolet light erase + write	Overwrite	Overwrite
	Rewrite cycle	180 ns	10 ns (by byte)	1 s(by sector)	0.5 ms(by byte)	70 ns	70 to 85 ns
Data erasure		Unnecessary	Necessary (byte erase)	Necessary (sector erase)	Necessary (ultraviolet erase)	Unnecessary	Unnecessary
Number of write cycles		PZT: 10^9 to 10^{12} SBT:) 10^{12}	10^5	10^5	100	Unlimited	Unlimited
Current to retain data		Unnecessary	Unnecessary	Unnecessary	Unnecessary	Unnecessary	Unnecessary
Standby current		20μA	20μA	5μA	100μA	1000μA	7μA
Read-time Current (Max)		15 mA	5 mA	12 mA	40 mA	80 mA	40 mA
Write-time Current (Max)		15 mA	8 mA	35 mA	40 mA	80 mA	40 mA

memory), 플래쉬 메모리등이 그 특징에 맞게 사용되고 있다. 현재 반도체 기술개발의 견인차이자 메모리 시장에서 가장 큰 시장을 형성하고 있는 DRAM의 구조처럼 메모리 array에서 각각의 셀에 random-access가 가능하다. 읽어내는 기능에서도 각각의 셀로부터 저장된 각각의 데이터를 개별적으로 읽어낼 수 있는 장점 또한 갖고 있다. EPROM은 전기적으로 쓰기를 하고 자외선으로 소거를 하는 것으로 애벌란치 항복 (Avalanche breakdown) 현상으로 고 에너지 전자를 발생시켜 이를 부동 게이트 (Floating Gate)에 주입하여 기억시키고 소거는 자외선을 조사하여 전자의 에너지를 상승시켜 기판에 돌려보냄으로 이루어진다. 따라서 EPROM은 package에 광을 조사하기 위한 창을 필요로 하는 등 복잡하게 된다. 자외선을 대신하여 전기적으로 소거하는 것을 EEPROM이라 부른다. 아울러 플래시 메모리에서는 EEPROM에서의 전기적 소거를 1블록 단위로 일괄적으로 행한다. 이러한 메모리는 읽기에 비해 쓰기 속도가 늦고 쓰기 횟수에도 제한이 있는 등의 결점을 가진다(〈표 1〉 참조).[1]

이러한 메모리의 특징과 장래성을 고려해 볼 때 ① 쓰기, 소거가 고속으로 행해지고, ② 기억이 비휘발성으로, ③ 쓰기 횟수의 제한이 없고, ④ 고밀도의 집적이 가능하며, ⑤ 소비전력이 적은 메모리가 이상적인 메모리가 된다. 〈표 1〉은 각 메모리의 특징을 나타내고 있는데 이중 FRAM은 ① 쓰기전압이 낮고, ② 고속쓰기가 가능하고, ③ 쓰기 횟수가 크고, ④ 비트 쓰기 가능하며, ⑤ 저소비전력, ⑥ random 액세스가 가능한, ⑦ DRAM과 호환성이 높은 이상적인 메모리임을 알 수 있다. 이렇듯 메모리로서 이상적인 특성을 갖고 있어 꿈의 메모리라 일컬어지고 각국에서 개발에 박차를 가하고 있는 것이다. FRAM 개발로 인해 현재 팽창하고 있는 통신기기에 적용될 큰 장점을 갖고 있고, 향후 경량화, 저전력화, 고기능을 요하는 멀티미디어 기기에 응용이 가능하다. 표 2는 반도체 메모리의 분류를 나타내었다.[2]

표 2. 반도체 메모리의 분류



FRAM의 구조와 동작원리

강유전체 재료를 사용한 비휘발성 메모리에 관하여 기술하고자 한다. 강유전체 메모리는, 강유전체 재료를 커패시터의 절연막으로서 사용한 1T/1C 형 메모리 셀 (DRAM과 유사 구조)과 강유전체 재료를 MISFET (Metal Insulator Semiconductor Field Effect Transistor)의 게이트 절연막으로서 이용한 MFSFET (Metal Ferroelectric Semiconductor Field Effect Transistor)형 메모리 셀이 있다.

1T/1C형 강유전체 메모리의 동작 원리

일반적인 강유전체 1T/1C형 메모리 셀을 가지고 데이터의 쓰기 방법을 설명하고자 한다. 이 셀 구조는 그림 1에 나타낸 바와 같이 전술한 DRAM 셀과의 차이는 커패시터가 강유전체 박막을 갖는 커패시터인 점과, 강유전체 커패시터의 한 전극이 접지 전위 또는 1/2 전원전압 등의 고정전위가 아니라, 셀 마다 전압 인가가 가능한 플레이트 선구조로 되어 있는 것이다.

강유전체의 이력 특성을 이용하여, 어떻게 비휘발성 메모리 동작을 실현하는가를 아래에 설명하기로 한다. 그림 2는 이력 특성의 모식도이다.

여기서, 편의상 플러스 전압은 비트 선의 전위가 플레이트 선의 전위보다 높은 경우로 정하고, 잔류분극 a점, c점을 각각 기억정보 "0", "1"로 한다.

기억정보 "1"을 쓸 때, 트랜지스터를 켜고 비트 선의 전위에 대하여 플레이트 선에 플러스 전위를 인가하면 강유전체 커패시터에 인가하는 전압은 플러스로 되고 이력특성곡선에서 d점을 통과하게 된다. 이후 커패시터에 마이너스 방향으로 인가된 전압을 없애면, 분극치가 잔류분극 a점으로 되고, 기억정보 "0"이 써진다. 한편, 기억정보 "1"을 써넣을 때는, 강유전체 축적용량에 인가하는 전압을 플러스로 하여, b점을 통과시킨 후 인가전압을 영으로 되돌리면 분극량은 잔류분극 c점으로 되어, 기억정보 "1"이 써진다.

기억정보의 읽어내기는 전압을 강유전체 커패시터에 인가 한 순간에 비트 선상으로 흘러나가는 전

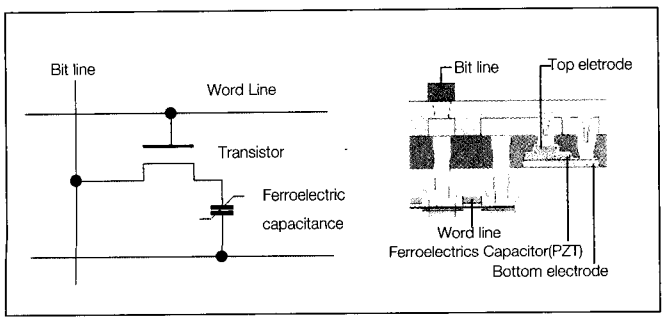


그림 1 강유전체 1T/1C 형 메모리 셀 및 구조

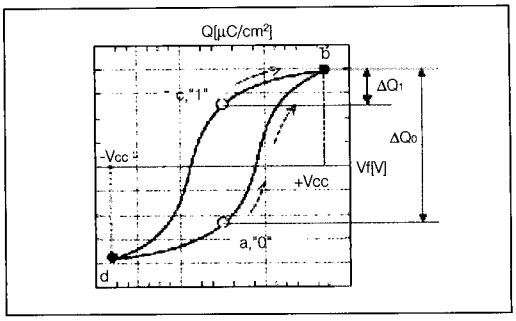


그림 2 이력 특성

하량을 검출하는 것으로 이루어진다. 구체적으는, 플러스 전압을 커패시터에 인가하면, 기억정보가 "0"일 때, 전하량 ΔQ_0가 흘러나간다. 즉, 비트 선상으로 흘러나가는 전하량의 크기가 축적용량에 기억된 정보에 의하여 차이가 난다. ΔQ_1, ΔQ_0의 검출 방법을 아래에서 설명하고자 한다.

강유전체 커패시터로부터 비트 선으로 흘러나가는 전하는, 비트 선의 전위를 변동시킨다. 비트 선에는 비트 선의 존재에 의하여 생기는 기생 비트선 용량 C_b가 존재한다. 트랜지스터가 켜져서 읽어낼 메모리가 선택되면, ΔQ_1, ΔQ_0의 전하가 출력된다. 이 전하를 비트 선과 셀의 캐패시턴스값의 합인C_b+C_c으로 나눈 값이 비트 선의 전위가 된다.

구체적으로는,

$$V_1=\Delta Q_1/(C_b+C_\zeta) \quad (1)$$

$$V_2=\Delta Q_0/(C_b+C_\zeta) \quad (2)$$

이다. 여기서, 강유전체 캐패시턴스를 C_s로 한다.

2개 정보간의 전위차는,

$$V_1-V_2=(\Delta Q_1-\Delta Q_0)/(C_b+C_s)=2Q_r/(C_b+C_s) \quad (3)$$

이 된다. 2개의 기억정보에 기인한 전하량의 차이 ΔQ_1,ΔQ_0, 즉 $2Q_r$은 잔류분극치 $2P_r$과 등가가 되며 이 값이 클 수록 읽어내기 마진이 커진다.

데이터의 인식(판정)방법은 식(4)에 의하여, 기억정보 "1","0"의 차이에 의하여 비트 선에 나타나는 전위가 다른 것을 이용한다. 워드 선에 전위를 인가하여 트랜지스터가 켜지면, 비트 선 전위가 V_1 또는 V_0로 변화한다. 비트 선이 인가 V_1 또는 V_0 인가를 판정하기 위해서는 V_1과 V_0 사이값의 기준 전위와 V_1 또는 V_0 전위와의 크기 관계를 비교하면 된다. 이 비교용 전위를 기준전위 V_{REF}라고 부른다. 기준전위는 이상적으로, V_1과 V_0의 중간전위를 설정하는 것이 바람직하며, 그 값은 다음 식과 같다.

$$V_{REF} \quad V_{REF}=(V_1+V_0)/2 \quad (4)$$

의 발생 방법으로서, 1T/1C형 메모리에서는 메모리 셀과 동일한 메모리 셀 구조를 이용하여 V_{REF}를 발생시키는 [dummy 셀 방식]이 널리 이용되고 있다. 그 한 예를 그림 3 에 나타내었다. 이 예에서는, 메모리 셀과 동일한 메모리 셀을 2개 준비하고, 각각에 기억정보 "1","0"을 써넣는다. 기준전압이 필요한 때 각각의 셀로부터 데이터를 비트 선 BL_0, BL_1에 읽어내고, 동시에 그런 비트 선을 단락시켜 놓으면, V_{REF}를 발생할 수 있다. BL_0, BL_1과 동일한 구조로서, 비트 선의 단락에 의하여 비트 선 용량 C_b는 2배가 된다. 그림 3은 셀에서의 쓰기와 읽기를 도시화 한 것이다.[3][4]

$$\Delta Q_1/2(C_b+C_S)+\Delta Q_0/(C_b+C_S)$$
$$=(\Delta Q_1-\Delta Q_0)/2(C_b+C_S) \quad (5)$$
$$=(V_1+V_0)/\rightarrow V_{REF}$$

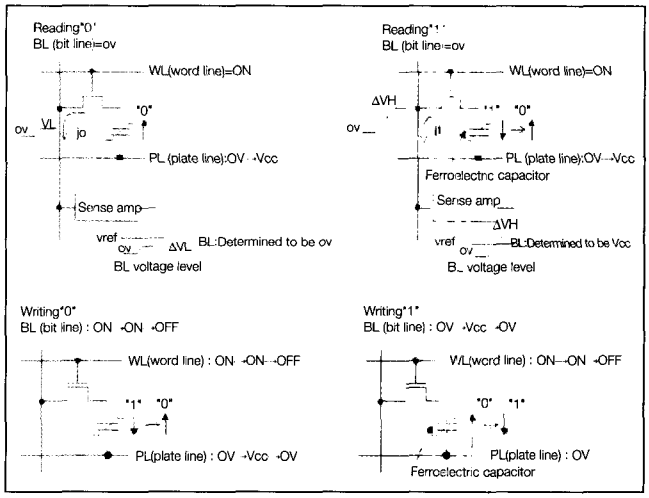


그림 3 셀에서의 쓰기와 읽기

Process integration에 관련된 여러 문제점

Process integration에 관련된 문제점은 다음과 같이 크게 3가지로 구분하여 살펴볼 수 가 있다. 강유전 박막 자체의 전기적 성질에 관련된 것들, 둘째는 상부와 하부에 관련된 것들, 셋째는 전극과 강유전 박막의 식각에 관련된 문제점들이 있다. FRAM 제조 공정은 기존의 반도체 고정과 유사한 점이 많은 전반공정(Front), 즉 CMOS (Complementary Metal-Oxide-Silicon) 제조 공정은 기존의 반도체 제조 공정과 동일한 반면, CMOS 제조 이후인 후 공정에서 다소 차이점을 가지고 있다. 차이점은 커패시터 제

조에 사용된 물질이 다르다는 것이다. 후 공정은 커패시터 형성공정, 커패시터 주변공정, metallization 공정, passivation 공정, packaging 공정으로 이루어져 있다. 이러한 각 공정은 강유전 박막의 특성에 영향을 미치지 않는 기술적 조치가 필요하다. FRAM 제조공정에 사용 되는 기술은 크게 박막형성, 식각 공정, cleaning 공정, 열처리 공정으로 구분 할 수 있다. 박막 형성은 제조된 용액을 이용하여 coating 하는 sol-gel과 sputtering 방법도 사용되고 있으나, 이러한 방법은 고집적 반도체를 제조하기에는 기술적인 한계를 갖고 있으므로 MOCVD (Metalorganic Chemical Vapor Deposition) 기술이 연구 되어지고 있으며, PZT, SBT를 MOCVD를 이용하여 강유전 커패시터를 제작 발표하고 있다. 강유전체 커패시터의 전극물질로는 백금이 주로 사용되고 있다. 백금은 자체의 녹는점이 매우 높아 열적으로 안정하며, 산화되지 않아 계면 산화막을 형성하지 않으며, 백금의 일함수(5.5eV)가 여타의 어떠한 전극 물질보다 커서 전자의 흐름에 대한 높은 계면전위장벽 형성이 가능하다는 점이다. 그러나 PZT 물질을 이용하였을 때 피로특성이 나타나는 단점을 가지고 있어 강유전체 커패시터의 특성 확보와 공정상에 문제점을 가지고 있어 Ir, IrO_2 와 같은 대체 물질이 강유전체 메모리에 채용되고 있다. 전극과 강유전 커패시터박막의 식각하는 문제는 integration을 위하여 해결해야 할, 또 하나의 문제점이다. 백금과 같은 귀금속은 화학적인 식각 반응을 일으키기 어려울 뿐만 아니라 식각 반응 결과 발생한 부산물이 잘 제거 되지 않아 반도체 공정에서 사용되는 건식식각이 어렵다. 또한 강유전 박막의 식각공정에서 발생하는 공정 손상은 강유전 물질의 고유특성을 저하시키거나 잃어버리는 결과가 나타난다. 강유전 물질에 따라 다소 차이는 보이지만 이러한 손상된 막질에 의한 특성의 열화는 공통적으로 발생하고 있다. 이러한 식각 후 박막의 손상은 식각 시 O_2을 주입하여 식각손상을 감소시키고, 또한 식각 후 산소 열처리를 통하여 식각 손상을 감소시키는 연구가 활발히 진행되고 있다.[5] 강유전 박막에 미치는 공정 중에 이온화된 수소에 의한 강유전 박막의 손상이 있다. 반도체 제조공정에서 사용되고 있는 SiN 막질 형성공정에서 이온화된 수소가 다량으로 발생하고 있어 특성을 심각하게 열화 시키는 문제를 갖고 있다. 수소 중에서 이온화된 수소가 강유전 박막 속에 침투하여 화학적으로 불안정한 상태에 있는 산소와 화학적인 결합을 이루어 강유전체 특성이 취약하게 되는 문제가 발생한다. 특히, 수소 분자가 백금과 같은 촉매제를 만나면 쉽게 이온화 되어 강유전체 특성을 더욱 약화 시키는 문제가 있으며, 특히 전극과 강유전체 물질의 계면 특성을 약화 시킨다. 이러한 이온화된 수소에 의한 열화를 방지하기 위해 $LaNiO_3$와 백금을 이용한 이중전극을 이용하여 강유전 박막의 열화를 방지하는 연구가 활발히 진행 되고 있다.[6] 이와 같이 강유전체 기술개발에 특히 주의 할 점은 이러한 문제점에 의한 강유전체 특성이 열화 되거나 제품의 균일성에 영향을 미치는 공정을 최적화해야 할 것이다.

FRAM 개발 현황

표 3. 강유전체 개발 로드맵

	2001	2003	2005	2006	2007	2009	2010
Design rule	0.5μm	0.35μm	0.25μm	0.18μm	0.13μm	0.1μm	0.07μm
Memory 용량	1M	4M	16M	64M	128M	256M	512M
capacitor 구조	Planar Type			Stack Type		3D-Stack Type	
Memory 셀 종류	2T2C			1T1C			

표 3에 Nikkei Electronics에서 발표한 강유전체 메모리 소자의 로드맵을 나타냈다. 강유전체 메모리의 용량은 비약적으로 증가할 것으로 예측되고 있으며, 그에 따른 CMOS 설계룰, 강유전체의 구조 및 메모리셀 종류를 나타냈다. 강유전체에서 요구하는 CMOS 설계룰은 기존에 개발된 기술을 사용하면 될 정도로 여유가 있는 상태이다. 하지만 강유전체 메

모리의 집적화가 진행됨에 따라서 새로운 커패시터 구조의 개발이 요구되고 있다. 현재 예측하기로는 64Mb 또는 최대한 128Mb까지 sol-gel에 의한 강유전체 커패시터 제조가 가능할 것으로 예측하고 있다. 즉, 이 정도의 집적도까지는 강유전체의 여러 가지 특성이 향상된다면 평평한 구조에서도 집적화를 이룰 수 있다는 것이다. 평평한 구조에서 커패시터를 만드는 데 가장 큰 걸림돌로는 수직한 에칭이 안 되기 때문에 상부 전극 대비 하부 전극 면적이 넓어져서 effective area가 감소하게 되고, 결국에는 많은 면적이 필요하게 된다는 것이다. 아직까지 수직한 에칭을 위한 새로운 방법이 개발되고 있지 않은 상태에서 강유전체 커패시터의 Effective Area를 넓히기 위해서는 강유전체 물질의 박막화와 더불어 전극 재료의 박막화가 이루어져야 한다. 또한, Ru 또는 RuO_2와 같이 수직한 에칭이 가능한 전극 재료를 사용함으로써 커패시터의 면적을 넓히는 전략이 필요하게 된다. 하지만 궁극적으로 사용 면적을 최소화하면서 일정 전하량을 얻기 위해서는 3차원 구조에서 커패시터를 형성시켜야 하며, 이를 위해서 MOCVD와 같은 CVD 공정의 개발이 요구된다.[7]

결 론

강유전체 메모리개발은 지난 80년말 부터 시작하여 256K 비트 제품에 개발에 상징된 바와 같이 FRAM의 최대 특징은 기존의 메로리로도 실현해 낼 수 없었던 램덤 억세스 read/write성능과 비휘발성의 특성을 나타내는 것이다. 일반적으로 메모리 소자의 제조 단가는 메모리 셀 구조, 제조 공정, 수율 등에 의해서 결정된다. FRAM은 현재 2T2C형의 메모리셀을 채택하고 있으나 DRAM과 같은 구조 즉, 1T1C형의 메모리셀을 사용함으로써 대용량화를 추구할 수 있게 될 것이다. FRAM이 main memory로서의 역할을 수행하기 위해서는 응용 분야에 적합한 고집적화가 이뤄져야 한다. 고집적화는 새로운 응용분야의 개척을 위해서뿐만 아니라 비트 당 가격을 낮춤으로서 기능 대비 가격경쟁력을 확보한다는 측면에서도 중요한 사항이다. 이를 위해서 FRAM 원가의 1/2 이상을 차지하는 전극 및 강유전체 용액의 가격을 낮출 필요가 있다. 강유전체 물질의 박막화는 집적화 진행에 따른 저전압 동작이라는 측면, 에칭에 의한 면적 증가량 최소화 및 원가 절감이라는 측면에서 계속적으로 연구되어야 할 분야이다. 또한, 에칭에 의한 면적 감소 및 원가 절감 측면에서 전극의 박막화와 새로운 전극재료의 도입이 필요하다. 하지만 평면 구조에서 스퍼터링에 의한 전극 형성 및 sol-gel에 의한 강유전체 박막 형성 공정은 집적화의 한계를 보일 것이며, 따라서 CVD 공법에 의한 전극 형성과 강유전체 박막형성 기술이 개발되어 3차원 구조의 FRAM이 구현돼야만 128Mb 이상의 강유전체 메모리 개발이 가능할 것이다.

[참고 문헌]

[1] S. Y. Lee, D. J. Jung. Y. J. Song, B. J. Koo, S. O. Park, H. J. Cho, S. J. Oh, D. S. Hwang, S. I. Lee, J. K. Lee, Y. S. Park, I. S. Jung and K. Kim, 1999 Symp. VLSI Technology Dig. Tech. Paper, Kyoto, 1999, p.141

[2] K. Amanuma, S. Kobayashi, T. Tatsumi, Y. Maejima, H.Hada, J. Yamada, T. Miwa, H. Koike, H. Toyoshima andT. Kunio, Ext. Abstr. 1999 Int. Conf. Solid State devicesand Materials, Tokyo, 1999, p.384

[3] '미래의 메모리' FRAM, 유희호, 김시호, 유병곤, 시그마 프레스, 2000

[4] T. Kijima, H. Ishiwara : Ext. Abs., FeRAM 2001, p.67 (2001)

[5] Myoung-Gu Kang, Kyoung-Tae Kim and Chang-Il Kim, "Recovery of plasma-induced damage in PZT thin film with O2 gas annealing", Thin Solid Films, Vol.398-399, 2001, P.448

[6] D.C. Kim and W.J. Lee, "Effect of LaNiO3 top electrode on the resistance of Pb(Zr,Ti)O3 ferroelectric capacitor to hydrogen damage and fatigue", Jpn. J. Appl. Phys. 41(3A), 1470-1476, 2002

[7] S. Kawashima, T. Endo, A. Yamamoto, K. Nakabayashi, M. Nakazawa, K. Morita & M. Aoki, 2001 Symposium on VLSI Technology Digest of Technical papers C 12-3, Kyoto(2001)