

## 스퍼터링 방법으로 증착된 하층 NiFe 코어를 갖는 박막인덕터의 CMOS 집적화 공정

### Fully CMOS-compatible Process Integration of Thin Film Inductor with a Sputtered Bottom NiFe Core

박일용, 김상기, 구진근, 노태문, 이대우, 김종대

(Il-Yong Park, Sang-Gi Kim, Jin-Gun Koo, Tae-Moon Roh, Dae-Woo Lee, and Jong-Dae Kim)

#### Abstract

A Double spiral thin-film inductor with a NiFe magnetic core is integrated with DC-DC converter IC. The NiFe core is deposited on a polyimide film as the thickness of NiFe is 2.5~3.5  $\mu\text{m}$ . Then, copper conductor line is deposited on the NiFe core with double spiral structure. Process integration is performed by sequential processes of etching the polyimide film deposited both top and bottom of the NiFe core and electroplating copper conductor line from exposed metal pad of the DC-DC converter IC. Process integration is simplified by eliminating planarization process for top core because the proposed thin-film inductor has a bottom NiFe core only. Inductance of the fabricated monolithic DC-DC converter IC is 0.53  $\mu\text{H}$  when the area of converter IC and thin film inductor are  $5 \times 5 \text{ mm}^2$  and  $3.5 \times 2.5 \text{ mm}^2$ , respectively. The efficiency is 72 % when input voltage and output voltage are 3.5 V and 6 V, respectively at the operating frequency of 8 MHz.

**Key Words** : Thin-film Inductor, NiFe core, DC-DC converter IC, Double-spiral

#### 1. 서론

정보통신 산업의 발전과 더불어 휴대용 컴퓨터, PDA, 셀룰러 폰 등의 휴대용 장치의 사용이 급격하게 증가하고 있으며, 이에 따른 전원 장치의 연구 또한 활발하다. 특히 배터리 전원의 효율적 사용과 시스템 부피의 감소를 위해서 박막 인덕터를 사용하여 DC-DC 컨버터의 크기를 소형화하기 위한 연구가 이루어지고 있다[1-6]. 박막 인덕터는 자성재료와 코일 도선을 박막으로 형성하기 때문

에 인덕터 두께를 1 mm 이하로 얇게 만들 수 있으며, 인덕터를 내장한 DC-DC 컨버터 칩의 크기를 획기적으로 줄일 수 있다는 것이 큰 장점이다. 그러나 박막 인덕터를 MHz 에서 동작하는 DC-DC 컨버터에 적용하기 위해서는  $\mu\text{H}$  정도의 인덕턴스가 요구되고, 품질계수(Q, quality factor)가 1 이상이 요구된다.

종래의 박막 인덕터는 주로 개별 소자로 제작되었으며, DC-DC 컨버터 IC와 하이브리드 형태로 제작되었다. 이런 형태는 면적을 많이 차지할 뿐 아니라 소자간의 연결에 의한 손실이 존재하게 된다. 따라서 컨버터 IC에 박막 인덕터를 집적화하여 하나의 칩으로 제작하는 집적화 공정에 대한 요구가 증가되고 있으나, 현재까지는 이에 대한 연구가 드물다.

한국전자통신연구원 반도체·원천기술연구소  
(대전광역시 유성구 가성동 161,  
Fax : 042 860 6836  
Corresponding Author : iypark71@etri.re.kr  
2002년 7월 23일 접수, 2002년 9월 16일 1차 심사완료,  
2002년 10월 10일 최종 심사완료

Sato[1]는 이중 나선형 구조의 코일의 상층과 하층에 CoZrNb 비정질 박막을 자성체 코어로 사용한 박막 인덕터를 발표했다. 박막 인덕터의 크기는  $3.5 \times 5.5 \text{ mm}^2$ 이고, 5 MHz에서 인덕턴스는  $1 \mu\text{H}$ , 품질계수(Q, quality factor)는 7이었다. 이후에 Sato[2]는 효율을 높이기 위해  $6 \mu\text{m}$  두께의 상, 하층 FeCoBC 비정질 자성체 박막 사이에  $50 \mu\text{m}$  두께의 구리 도선을 코일로 사용한 박막 인덕터를 발표했다. 이 박막 인덕터는 인덕턴스가  $0.30 \mu\text{H}$ , Q 값이 8이며, DC-DC 컨버터 IC와 하이브리드 형태로 구성되어 입력 전압 3.6 V, 출력 전압 4.7 V에서 최고 80%의 높은 효율을 보였다. Shin[5]은 FeTaN 박막을 이용하여  $10 \times 7.8 \text{ mm}^2$  크기의 박막 인덕터를 발표했다. 이 논문에서는 상층의 자성체 코어가 박막 인덕터에 큰 영향을 끼치지 못해 구리 도선의 굵기를 평탄화하지 않고 상층 자성체를 증착한 구조를 제작했다.

본 논문은  $0.8 \mu\text{m}$  analog CMOS 공정을 이용하여 제작된 DC-DC 컨버터 IC에 박막 인덕터를 집적화한 원칩 boost형 DC-DC 컨버터 IC에 관한 것이다. 박막 인덕터의 자성체 코어로는 자화밀도가 높은 NiFe를 스퍼터링 방법을 이용하여  $2.5 \sim 3.5 \mu\text{m}$  두께로 증착하고, 전기 도금을 이용한 구리도선을 사용하여 하층에만 NiFe 자성체 코어가 있는 박막 인덕터를 제작했으며, 인덕턴스가  $\mu\text{H}$  정도의 박막 인덕터를 CMOS IC에 집적화하여 원칩형 DC-DC 컨버터 IC를 제작했다. DC-DC 컨버터 IC는  $0.8 \mu\text{m}$  CMOS 공정으로 제작되었고, 스위칭 소자로 사용된 전력 반도체 소자는 ED(Extended Drain) MOS 구조이다. 박막 인덕터는 DC-DC 컨버터 IC의 금속층에서 박막 인덕터의 구리도선을 연결하여 집적화했으며, 중간 절연막으로 사용된 산화막과 폴리이미드(polyimide) 박막을 RIE etcher를 사용하여 건식 식각했다.

## 2. 실험결과 및 고찰

박막 인덕터는 이중 나선형 구조로 하층에 NiFe 코어가 있고, 그 위에 코일 도선이 위치하는 구조이다. 박막 인덕터의 코어 재료로는 NiFe를 사용했으며, 스퍼터링 방법을 이용하여  $2.5 \sim 3.5 \mu\text{m}$  두께로 증착했다. NiFe는 스트레스가 많은 재료이므로 shadow mask를 사용하여 국부적으로 NiFe를 증착하여  $2.5 \sim 3.5 \mu\text{m}$ 의 두께의 자성코어를 형성했다. 중간 절연막으로는 Dow Chemical 사의 폴

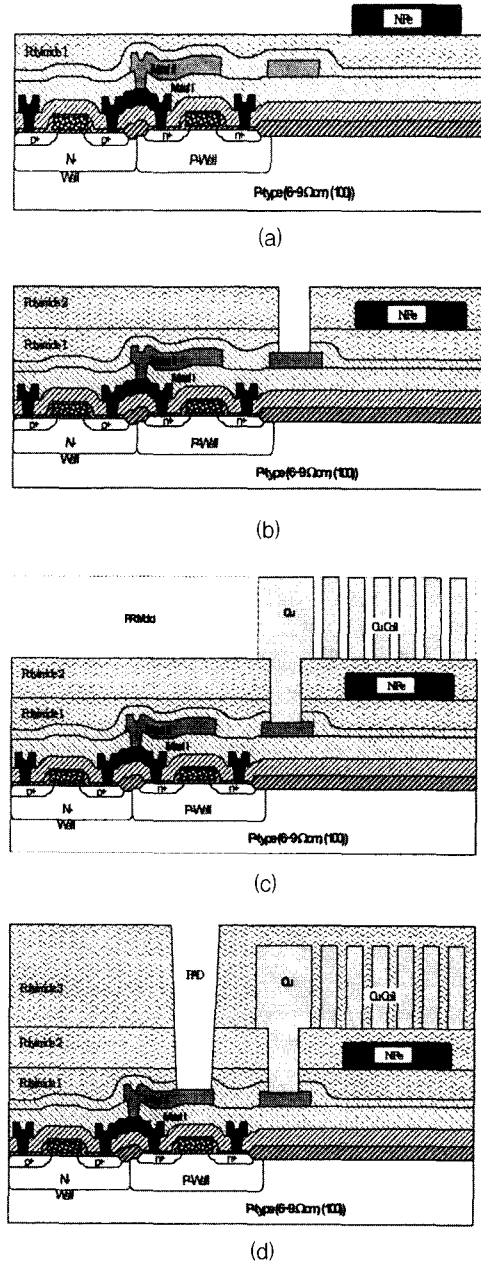


그림 1. 박막 인덕터의 집적화 공정도.

Fig. 1. Process Sequences of thin-film inductor.

리이미드 (PI2611)을 사용했으며, 코일 도선은 전기도금을 이용한 구리를 사용하여  $15 \sim 20 \mu\text{m}$  두께로 증착했다. 그림 1은 DC-DC 컨버터 IC에서 박막 인덕터를 집적화하는 공정순서도이다. 주요 공정 순서는 다음과 같다.

- (a) 폴리이미드 증착 및 NiFe 증착
- (b) 폴리이미드 증착 후 코일과 금속층의 연결을 위한 via 식각
- (c) Ti-Cu seed 층 증착 후 PR mold를 형성하고 전기도금으로 구리 증착
- (d) 구리 코일을 보호하기 위해 폴리이미드를 증착하고, IC의 PAD를 위한 식각 공정

DC-DC 컨버터 IC는 0.8  $\mu\text{m}$  CMOS 공정을 이용하여 제작했으며, 20 V급 EDMOS를 사용하여 n-type MOS 스위치를 구현했고, p-type synchronous rectifier를 이용하여 종래의 Schottky rectifier를 대체했다. DC-DC 컨버터 IC의 최종 출력단은 Ti/Al/TiN이며, 그 위에 8000 Å 두께의 산화막이 덮여있는 상태이다. 이 위에 NiFe를 증착하여 하층 코어를 형성하게 된다. 이때 NiFe의 스트레스를 완화하기 위해 폴리이미드를 3~5  $\mu\text{m}$  두께로 증착한다. Spin coater를 이용하여 폴리이미드를 5000 rpm으로 30초간 코팅한 다음 280 °C의 oven에서 40분 동안 열처리를 수행했다. 이렇게 증착된 폴리이미드 위에 NiFe를 스퍼터링 방법으로 2.5~3.5  $\mu\text{m}$  두께로 증착했으며, 이때 스트레스를 완화하기 위해 shadow mask를 사용했다.

그림 2는 NiFe 코어를 패터닝한 후의 현미경 사진이다. NiFe의 식각[7]은 3:1 HCl:HNO<sub>3</sub> 용액을 이용했으며, NiFe 박막 두께에 따라 식각 시간은 2분 내지 5분 정도가 소요된다. 식각 시 스트레스에 의해 NiFe 박막이 lift-off 되는 현상이 발생하기 쉽기 때문에 박막의 증착 시 가능한 한 스트레스가 적게 하기 위해 폴리이미드 완충 층이나 shadow mask 등을 사용하는 것이 효과적이다. 코

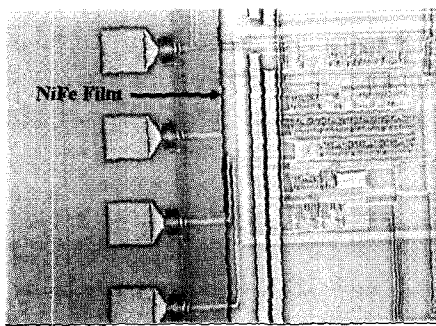


그림 2. NiFe 코어를 식각한 후의 현미경 사진.  
Fig. 2. Microphotograph after etching process of NiFe core.

어를 패터닝한 다음 다시 폴리이미드를 코팅 후 열처리하여 자성체 코어와 구리 도선의 층간 절연막으로 사용한다. 박막 인덕터의 코일과 DC-DC 컨버터 IC의 금속 패드를 연결하기 위해서 폴리이미드 위에 PECVD 산화막을 4000 Å 증착했다. PECVD 산화막은 폴리이미드를 식각하기 위한 마스크 층으로 사용된다. 고온에 의한 NiFe의 열화를 억제하기 위해 PECVD 산화막 증착 온도를 300 °C로 했다. PR로 패터닝한 다음 Applied Material사의 P-5000 dry etcher 장비를 이용하여 PECVD 산화막을 식각했다.

폴리이미드의 식각은 산화막의 식각 때와 같은 Applied Material사의 P-5000 dry etcher 장비를 이용했으며, O<sub>2</sub> 가스를 유입하고, 플라즈마 식각했다. 이 때 식각 압력은 100 mTorr, RF power는 500 Watts, 자계는 30 Gauss로 고정하고, 식각을 수행했다. 그림 3은 폴리이미드를 식각하고 난 후의 SEM 사진이다. 표면에 mask 층으로 사용된 PECVD 산화막이 존재함을 알 수 있으며, 식각 후 노출된 표면은 IC의 금속층을 보호하기 위한 PECVD 산화막 층이다.

폴리이미드의 식각은 O<sub>2</sub> 플라즈마로 수행되었기 때문에 폴리이미드를 충분히 식각해도 노출된 IC의 보호 산화막은 아무 영향음 받지 않는다. 보호 산화막을 제거하면 바로 IC의 금속 층이 드러나기 때문에 집적화 공정에 있어서 O<sub>2</sub> 플라즈마를 이용

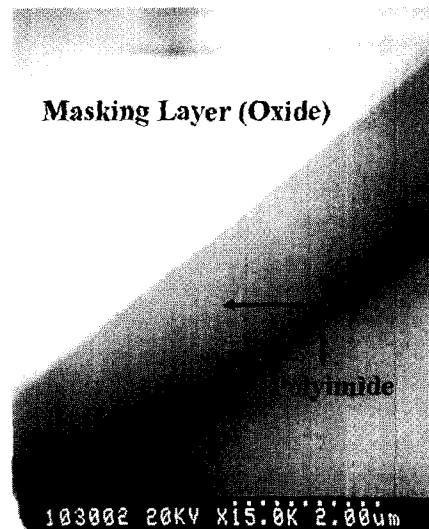


그림 3. 폴리이미드 식각 후의 SEM 사진.  
Fig. 3. SEM photograph of etched polyimide.

한 폴리이미드 식각은 매우 유용하다. IC의 보호 산화막을 제거한 다음 노출된 금속층을 포함한 웨이퍼 표면에 구리 전기도금을 위한 seed layer가 증착되어야 한다. 이때 노출된 금속층의 표면에 존재하는 폴리머를 제거하기 위해 RF etch를 수행했다. 금속층의 표면을 깨끗하게 한 다음 Ti와 Cu를 각각 200 Å와 2000 Å 두께로 스퍼터링 방법을 이용하여 증착했다. 증착된 Ti/Cu 층은 IC의 금속층과 연결된 구리 도선을 형성하기 위한 seed layer로 사용된다. 이중 나선형 구조의 PR mold를 20 μm 두께로 형성하여 전기도금을 한 다음 PR mold와 Ti Cu seed layer를 제거하면 IC의 패드와 연결된 구리 도선이 형성된다. 그림 4는 DC-DC 컨버터 IC의 금속 패드와 연결되어진 구리도선의 단면 사진이다.

구리 도선을 보호하기 위해 다시 폴리이미드를 코팅, 열처리한 다음 DC-DC 컨버터 IC의 패드를 노출시키기 위해 PECVD 산화막을 증착한 다음 패터닝하여 두께된 15 μm 두께의 폴리이미드를 길썩 식각하고, 보호 산화막을 제거하면 박막 인덕터가 집적화된 DC-DC 컨버터 IC가 완성된다. 그림 5는 제작된 원형형 DC-DC 컨버터 IC의 사진이다.

박막 인덕터를 실리한 IC와 연결시키는 것은 원형형 DC-DC 컨버터 IC의 제작에 있어서 핵심적인 부분이다. 먼저 박막 인덕터의 코어로 사용되는 NiFe를 스퍼터링 방법으로 두껍게 증착하면 스트레스가 많이 걸리기 때문에 NiFe 식각 시 박막이 lift-off 되는 현상이 발생한다. 박막의 스트레스를 적세 하기 위해 폴리이미드를 완충 층으로 사용했다. 또한 스트레스를 더욱 감소시키기 위해 shadow mask를 사용하여 IC중에서 자성체가 위치하는 일부분에만 NiFe가 증착되도록 했다. 그 결과 2.5~3.5 μm의 매우 두꺼운 NiFe막을 스퍼터링 방법으로 증착할 수 있었다. 스퍼터링 방법으로 증착된 NiFe는 전기도금법으로 증착한 것에 비해 얇은 두께에도 불구하고 높은 자속밀도를 갖는다. 그림 6은 NiFe 박막의 주파수에 따른 투자율을 나타낸 것이다.

이렇게 하층 코어가 있는 상태에서 실리한 IC의 선극과 박막 인덕터의 구리 도선을 연결하기 위해서 패터닝된 자성체 코어 위에 다시 폴리이미드를 증착하고, 연결 부위를 식각하는 공정이 필요하다. 특히 DC-DC 컨버터 IC의 금속 패드를 노출시킨 후 조속한 표면 처리와 전기도금 공정을 수행해야 Al-Cu의 접촉 저항을 줄일 수 있다. 금속 간의

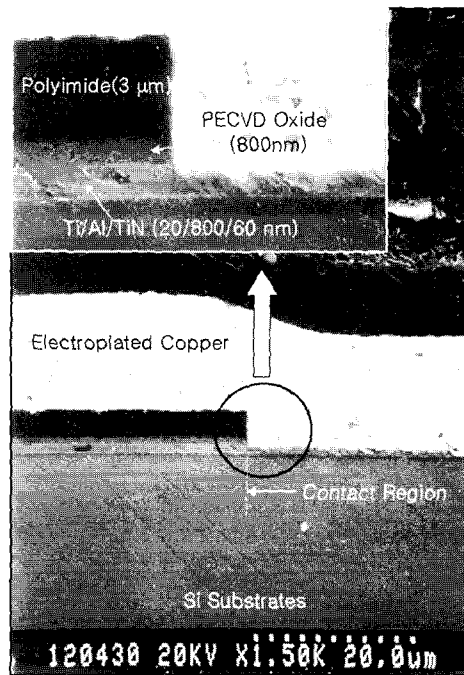


그림 4. DC-DC 컨버터 IC의 금속 패드와 연결된 구리 도선의 단면 SEM 사진.

Fig. 4. SEM photograph of copper conductor which is connected with the metal pad of DC-DC converter IC.

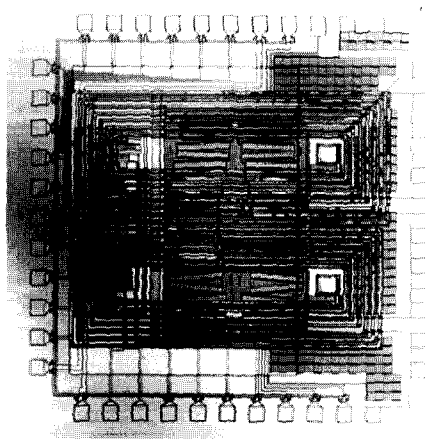


그림 5. 원형형 DC-DC 컨버터 IC의 현미경사진.

Fig. 5. Micro photograph of monolithic DC-DC converter IC.

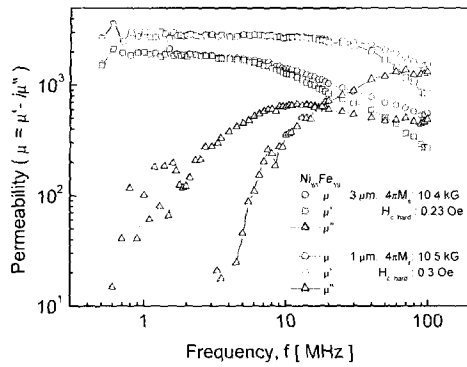


그림 6. 증착된 NiFe 박막의 주파수에 따른 투과율의 변화.

Fig. 6. Permeability of NiFe thin film as a function of frequency.

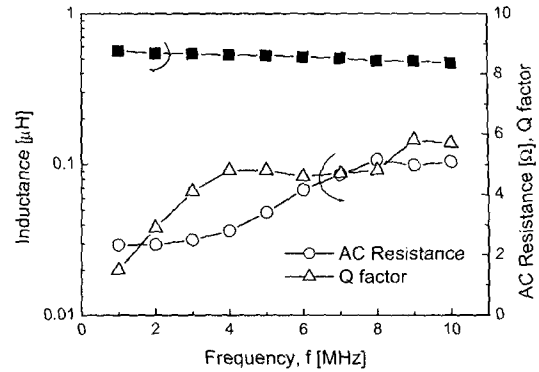


그림 8. 원칩형 박막 인덕터의 주파수에 따른 인덕턴스, AC 저항, Q 값.

Fig. 8. Inductance, ac resistance, and Q values of monolithic thin-film inductor as a function of frequency.

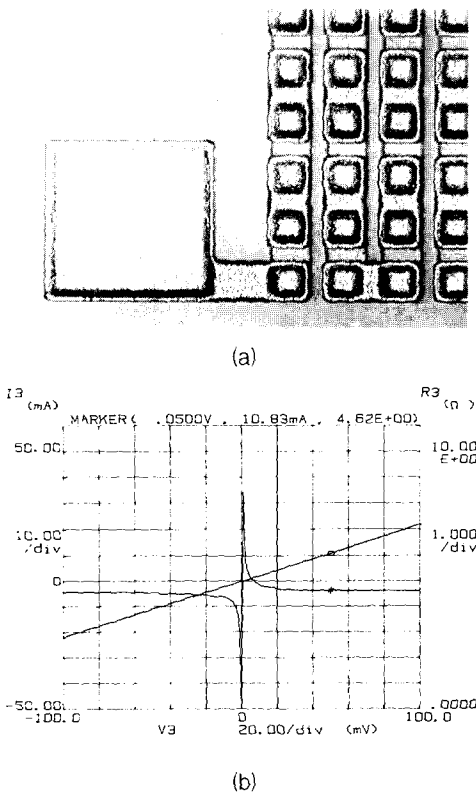


그림 7. Al Cu metal string 패턴의 현미경 사진 (a)과 저항 측정 그래프(b).

Fig. 7. Microphotograph(a) and (b) measured resistance curve of Al Cu metal string pattern.

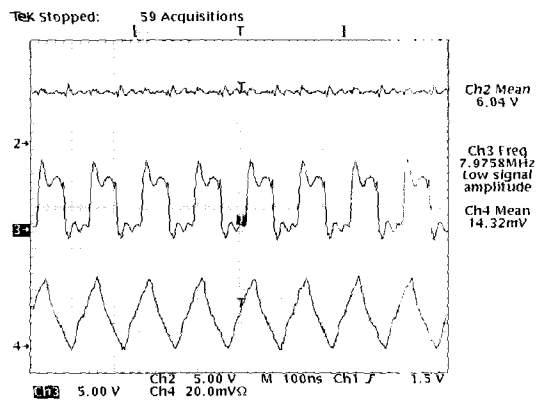


그림 9. 박막 인덕터가 집적화된 DC DC 컨버터 IC의 동작 파형.

Fig. 9. Waveform of DC DC converter IC with a monolithic thin film inductor.

접촉 저항은 매우 적기 때문에 측정의 편의를 위해 string 형태의 저항 패턴을 형성했다. 그림 7은 면적이  $30 \times 30 \mu\text{m}^2$ 인 contact window 140개를 string 패턴으로 연결한 패턴의 현미경 사진과 저항을 측정할 그래프이다. DC DC 컨버터 IC의 Al 금속 전극이 노출된 후 RF etch 공정을 수행한 시료는 저항이 4.62~4.84 Ω이었고, RF etch 공정을 생략한 시료의 경우에는 저항이 80~331 Ω으로 매

우 높았다. RF etch를 수행한 경우 면적이  $30 \times 30 \mu\text{m}^2$ 인 contact window 하나의 저항은  $33.3 \text{ m}\Omega$ 이며, Al-Cu 접촉의 specific 접촉저항은  $3.0 \times 10^{-7} \Omega\text{cm}^2$ 이 된다. IC에 집적화된 원칩형 박막 인덕터의 측정된 인덕턴스 값을 그림 8에 나타냈다. 박막 인덕터를 HP4194A 임피던스 분석기로 측정한 결과 주파수가 5 MHz에서 인덕턴스가  $0.53 \mu\text{H}$ 이고, Q 값은 4.8, AC 저항은  $3.4 \Omega$  이었다. 박막 인덕터의 구조가 코일의 하층에만 자성체가 있는 것을 감안할 때 기존에 발표된 샌드위치형 자성체 구조에 비해 박막 인덕터의 성능은 크게 떨어지지 않는다. 이 구조는 상층 자성체 코어를 위한 평탄화 공정을 생략할 수 있기 때문에 집적화 공정 측면에서는 공정 및 구조를 단순화할 수 있다는 장점이 있다. 그림 9는 제작된 원칩형 DC-DC 컨버터 IC의 측정 결과이다. 동작 주파수 8 MHz에서 입력전압은 3.5 V, 출력전압은 6 V인 경우, 효율이 72 %였다.

#### 4. 결론

스퍼터링 방법을 이용하여 증착된 NiFe를 하층 자성 코어로 한 박막 인덕터와 DC-DC 컨버터 IC와의 집적화 공정을 통해 원칩형 DC-DC 컨버터 IC를 제작했다. 증착된 NiFe는 두께가  $2.5 \sim 3.5 \mu\text{m}$ 로 폴리이미드를 이용한 완충 층과 shadow mask를 이용하여 증착되었다. 제작된 원칩형 박막 인덕터는 5 MHz에서 인덕턴스가  $0.53 \mu\text{H}$ , AC 저항이  $3.4 \Omega$ , Q값이 4.8로 MHz에서 동작하는 DC-DC 컨버터에의 응용에 적합한 결과를 얻었다. 또한 자성체 코어를 하층에만 형성하여 충분히 MHz 스위칭에 응용할 수 있는 박막 인덕터임을 보였으며, 상층 코어를 위한 평탄화 공정이 필요치 않기 때문에 집적화 공정이 간단하다. 실리콘 IC의 금속 전극과 박막 인덕터의 구리 도선을 연결하여 측정한 결과 Al-Cu 접촉 저항은  $3.0 \times 10^{-7} \Omega\text{cm}^2$  이었고, 원칩형 DC-DC 컨버터는 동작 주파수가 8 MHz에서 입력 전압이 3.5 V, 출력 전압이 6 V일 때 효율이 72 %였다. 향후 코일로 사용된 구리 도선의 증착 두께를  $40 \sim 50 \mu\text{m}$  정도로 두껍게 하면 더욱 좋은 효율을 얻을 수 있으리라 기대한다.

#### 감사의 글

본 연구는 정보통신부의 지원에 의해 연구되었습니다.

#### 참고 문헌

- [1] Toshiro Sato, Hiroshi Tomita, Atsuhito Sawabe, Tetsuo Inoue, Tetsuhiko Mizoguchi, and Masashi Sahashi, "A magnetic thin film inductor and its application to a MHz switching dc dc converter", IEEE Trans. on Magnetics, Vol. 30, No. 2, p. 217, 1994.
- [2] T. Sato, T. Inoue, H. Tomita, K. Nishijima, Y. Tokai, M. Nameki, N. Saito, and T. Mizoguchi, "5 MHz switching micro DC DC converter using planar inductor", International Telecommunications Energy Conference, p. 485, 1996.
- [3] Chong H. Ahn and Mark G. Allen, "A comparison of two micromachined inductors (Bar and Meander-type) for fully integrated boost DC/DC power converters", IEEE Trans. on Power Electronics, Vol. 11, No. 2, p. 239, 1996.
- [4] Yasushi Katayama, Satoshi Sugahara, Haruo Nakazawa, and Masaharu Edo, "High power density MHz switching monolithic DC-DC converter with thin film inductor", Power Electronics Specialists Conference, p. 1485, 2000.
- [5] Dong-Hoon Shin, Chung Sik Kim, Jong-Han Jeong, Seoung Eui Nam, and Hyoung June Kim, "Fabrication of double rectangular type FeTaN film inductors", IEEE Trans. on Magnetics, Vol. 35, No. 5, p. 3511, 1999.
- [6] 김재욱, 윤의중, 정영장, 홍철호, "솔레노이드 RF 칩 인덕터에 대한 연구", 전기전자재료학회논문지, 13권, 10호, p. 840, 2000.
- [7] 변요한, 정지원, "자성 박막의 습식 식각 특성", 전기전자재료학회논문지, 15권, 2호, p. 105, 2002.