

반도체생산자동화 연구회

반도체 생산장비의 신기술 동향

김두형*, 황경현**

*한국기계연구원, **기계연구원/반도체생산자동화연구회장

1. 서론

2000년 하반기부터 세계의 반도체 시장은 전 세계적인 경기하락, PC 및 통신장비의 수요감소, IT산업 둔화의 영향으로 침체 상태가 지속되었으며, 반도체 업체들의 설비 투자가 상당히 억제되어 왔다. 그러나 올 2003년을 300mm/90nm 공정이 시작되는 원년으로 전망하는 가운데, 세계반도체장비재료협회(SEMI)는 재료와 장비시장의 특수를 예상하고 있고, 미국, 일본, 한국의 반도체 생산업체에서는 양산 준비에 박차를 가하고 있다.

본 고에서는 반도체 생산의 여러 공정 장비중에 대표적인 박막 형성에서 최근 관심의 초점이 되고 있는 ALD (Atomic Layer Deposition, 원자층 증착)기술과 선폭 70nm의 구현을 목표로 하고 있는 lithography 기술 및 Cu 배선의 damascene 공정과 평탄화 공정을 위한 CMP 장비기술에 대해서 기술하고자 한다.

2. 원자층 증착기술(ALD)

ALD란 'Atomic Layer Deposition'의 약자로서, 원자층 단위의 얇은 막을 쌓아올려가는 박막형성기술이다. ALD 기술의 모태인 원자층 적층 성장(ALE, Atomic Layer Epitaxy) 기술은 1974년에 핀란드 특허가, 1977년에 미국 특허가 등록되었지만 그 당시에는 큰 관심을 끌지 못하였다. 아마 기존의 박막 형성 방법과 너무 다르고 응용 분야가 특수하게 보였기 때문이었을 것이다. 그러나 이 기술을 사용하여 핀란드의 Lohja사가 ZnS:Mn을 사용하여 미국과 일본의 경쟁사 제품보다 훨씬 뛰어난 대면적의 EL 표시소자를 1980년대 초에 내놓았고 이것이 1982년에 Society of Information Display 학회가 수여하는 기술상을 받은 이후 ALE 기술은 고품질의 박막을 형성하는 방법으로 주목을 받기 시작했다. 적층 성장이 아닌 경우도 포함하기 위해 더 일반적으로 이 기술을 ALE가 아니라 원자층 증착(Atomic Layer Deposition) 즉, "ALD 기술"이라고 부르게 되었다.

이 ALD 기술은 크게 보면 CVD(Chemical Vapor Deposition) 기술의 범주 안에 들어가나, 기존의 CVD와

는 막이 형성되는 메커니즘이 조금 다르다. 기상상태의 원료를 사용하는 것은 CVD와 같으나, 그림 1과 같이 반응가스를 서로 분리하여 반응로에 pulse 시간동안 공급하고, 이 둘 gas의 유입 사이에 purge gas를 유입하여 잔류 반응 gas를 완전히 배제시켜 반응 gas들이 혼합되는 것을 막는다는 것이 기존의 CVD와 크게 다른 점이다. 즉, 펄스 시간 간격동안 공급된 반응 gas가 wafer의 표면과 화학적 반응을 일으키며 흡착되어 정밀한 원자의 단층막이 형성된다.

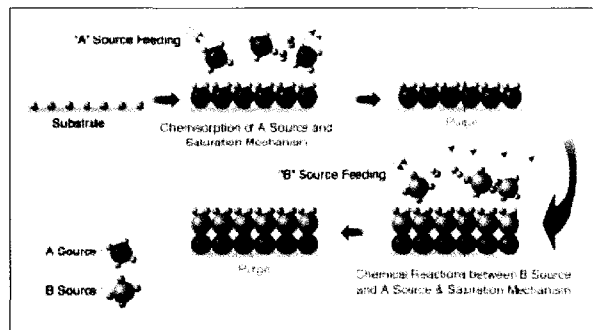


그림 1. ALD 공정의 개념

원료 공급 pulse 시간 안에서 각 원료의 공급이 충분하면 기판 표면의 형상에 관계없이 매 원료 공급 주기가마다 일정한 두께의 막이 형성된다. 막의 성장 속도는 시간이 아니라 원료 공급 주기의 수에만 비례할 뿐, 원료 공급량, 유량 등의 공정 조건에 민감하지 않기 때문에 얇은 막의 두께를 정밀하게 제어할 수 있다. 따라서 ALD 기술에는 다음의 장점이 있다.

- 1) 매우 얇은 막을 형성할 수 있다.
- 2) 정확하고 정밀한 박막의 두께와 조성의 조절이 가능하다.
- 3) 기판의 면적이 넓어도 균일한 두께의 막을 형성할 수 있다. 대면적의 표시 소자에 먼저 적용되었고, 300mm 웨이퍼에도 적용하기 시작했다.
- 4) 기판의 요철에 관계없이 일정한 두께의 막이 형성되기 때문에 단차 피복성(step coverage)이 매우 좋다.
- 5) 형성된 막에 핀 홀이 없다.

- 6) 분말이나 다공성 물질에도 균일한 두께의 막을 형성할 수 있다.
- 7) 반응온도가 200~400℃로서 CVD보다 저온에서 공정이 가능하다.
- 8) 불필요한 파티클의 형성을 억제할 수 있다.

단 시간당 막 성장 속도가 느리다는 것이 ALD 기술을 반도체 공정에 적용하기 어려운 이유였지만 반도체 소자의 미세화에 따라 얇고 두께를 정밀하게 제어해야 할 반도체 제조의 핵심 기술 중의 하나가 될 것으로 보인다.

이러한 특성을 갖는 ALD 기술은 0.13μm 이후 세대의 반도체에서 요구되는 gate dielectric film, high-k dielectric film, barrier metal, Cu seed-layer, Al wetting-layer 등과, 화합물반도체를 위한 epitaxial layer 및 기타 산업분야에서 요구되는 다양한 초박막 증착에 응용될 것이다.

다른 반도체의 핵심 공정기술과 달리 ALD 기술을 반도체 공정에 적용하기 시작한 것은 1996년 우리나라에서였다. 이 당시 국내의 반도체 장비업체와 소자업체가 ALD 기술을 사용하는 장비와 소자 연구를 시작하여 1998년에 삼성전자가 반도체 소자업체로는 최초로 ALD 기술을 개발하고 이 기술을 적용하여 차세대 DRAM을 개발했다고 발표하였다.

현재는 4~5개의 관련 장비업체에서 ALD 장비를 개발 완료하고, 상용화가 진행되는 동시에 수출협약이 이루어지고 있고 2005년부터 70nm급 반도체 생산에 야산라인에 본격적으로 적용될 전망이다.

3. 노광장비 기술(Lithography)

노광공정은 반도체 산업의 중심기술이며 반도체 생산비용의 35%를 차지하는 중요한 공정이며, 장비와 재료에 대한 의존성이 매우 높은 공정이다. 따라서 노광공정의 핵심기술을 발전시키기 위해서는 장비와 재료를 발전시키기 위한 기초연구개발 분야에 많은 투자가 필요하다. 현재 세계적으로는 이러한 개발에 대한 고비용 투자, 개발의 가속화 및 투자의 위험성을 분담시키기 위해 많은 분야에서 연계하여 공동으로 연구개발이 진행되고 있으며, 국내 반도체 업계에서도 NGL(Next generation lithography) 등의 신기술 분야에서 다른 나라와의 공동연구를 활발히 진행하고 있다.

표 1은 2002년도 ITRS(The International Technology Roadmap for Semiconductors)에서 발표한 노광장비에 대한 기술적 요구사항들을 요약한 것이다. 표에서 DRAM 1/2 pitch 130nm까지와 Overlay 40nm, CD 11nm까지는 현재 공정에 적용하고 있고, 또한 기술적으로 DRAM 1/2 pitch 70nm, Overlay 30nm, CD 10nm 해결 가능하다고 하나, 그

이후로는 현재 알려진 공정 및 장비의 해결책이 없다. 따라서 표 2에 제시된 노광 매체의 후보들이 현재 연구되고 있다.

표 1. Lithography Technology Requirements

Year of Production	2	2002	2003	2004	2005	2006	2007	2010	2013	2016
DRAM 1/2 Pitch(nm)	130	115	100	90	80	70	65	45	32	22
Overlay(nm)	46	40	35	32	28	25	23	18	13	9
CD control (3 sigma, nm)	15.9	14.1	12.2	11	9.8	8.6	8	5.5	3.9	2.7
Minimum field area(μm ²)	800	800	572	572	572	572	572	572	572	572
Wafer size(mm)	300	300	300	300	300	300	300	300	450	450

표 2. Resolution Limits of Lithography

Type	Practical(nm)	Ultimate(nm)
UV (Contact/proximity)	250	125
UV(Projection)	150	50
EUV (Soft X-ray projection)	90	30
X-ray(proximity)	70	10
Ion beam	30-50	10-20
Electron beam (low energy beam array)	40-50	7-20
Electron beam Projection (Scapel)	90	35

3.1. 노광 방식

현재 반도체 노광기술은 파장 248nm의 KrF를 이용하여 150~130nm 선폭의 반도체를 생산할 수 있으며, 193nm의 파장의 ArF를 이용하여 130nm 디자인 룰의 제품을 상용화 가능한 단계에 이르렀다. 그러나 아직 ArF 공정은 KrF에 비하여 생산비용 및 기술 성숙도에 있어서 경쟁력이 떨어지기 때문에, 조명계의 구조를 변형시키거나 (Off-Axis Illumination, OAI) 위상변이 마스크(Phase Shifting Mask; PSM) 및 광학 근접효과 보정(Optical Proximity Correction; OPC)과 같은 해상도 향상 기술(RET)을 이용하여 130nm미만 선폭의 소자를 KrF로 해결하기 위한 연구가 꾸준히 이어지고 있다.

이러한 해상도 향상기술(RET)은 193nm 및 157nm(F2)의 노광 공정에도 응용이 가능하므로, 광학기술의 수명연장에 기여할 것으로 기대되고 있다. 100nm미만의 소

자 개발을 위해서는 몇 가지 노광기술 옵션이 있는데, ArF(파장193nm)나 F2 (파장 157nm)에 해상도 향상 기술을 적용하거나 차세대 노광공정을 적용하는 방법이 대체적인 접근 방향이다. 차세대 노광공정 중에서는 극자외선(EUV)과 전자빔 투영 노광(EPL)이 유력한 노광기술 후보 군으로 분류되지만, 개발 가능성, 생산성 및 노광기술 확장성 측면에서 유리한 극자외선 기술이 주목을 받으면서 연구개발이 진행되고 있다. 한편, 전자빔 투영 노광 방식은 소규모 생산을 주 목적으로 하는 ASIC이나 SoC 제품개발을 하는데 적용 가능한 노광기술로서 주로 일본 중심으로 개발이 진행 중에 있다. 그러나 간과해서는 안될 주요 고려사항은 기술적 가능성 외에도 이러한 기술을 개발하는데 투입된 투자비 회수 및 고 생산 단가를 극복하기 위한 효율적인 제품의 상업화 전략을 세우는 것이 중요하다.

3.2. 감광제

해상도100nm급 소자의 개발을 위한 ArF용 감광제의 상업화가 진행되고 있으며, 국내 기술에 의해 개발된 ArF용 감광제의 성능도 세계적으로 주목받고 있다. 이러한 ArF용 감광제들은 80nm수준의 해상도를 목표로 개발되고 있다. 그러나 ArF용 감광제의 내식각성 개선과 식각후 표면 거칠기, SEM 등의 전자빔 측정에 의한 패턴 축소현상등 해결하여야 할 과제가 남아있는 상태이다. F2(157nm)용 감광제의 개발은 연구가 이제 시작된 단계이며, 패턴의 노광 가능성은 보이고 있으나, 157nm의 파장에서 사용 가능한 재료가 제한되어 있고, 157nm에서의 물성 측정, 사용 가능한 장비의 부족 등과 같은 문제가 개발을 지연시키고 있다.

3.3. 마스크

광학 노광기술을 사용하는 경우에는 파장보다 작은 크기의 패턴을 만들어야 하기 때문에 해상도 향상기술(RET)을 기본적으로 적용해야 한다. 특히, 새로운 파장으로 전이하는 노광기술과 공정개발이 시간을 요하고 때로는 적절한 시기에 도입이 지체되기 때문에 동일 파장을 이용한 광학 확장 방법이 중요한 역할을 하게 된다. 이런 관점에서 볼 때, 더 작은 패턴 크기와 공정 마진을 얻기 위해서 위상 변조 마스크(PSM)와 광학적 근접효과 보정기술(OPC)의 적용이 불가피한 상황이다. 제품 세대별, 종류별 및 상업화 전략에 따라서 attenuated PSM, alternating PSM, chip 크기는 줄이지 않고 트랜지스터의 성능 향상을 원하는 특별한 경우에 두 장의 마스크로 게이트 CD만 작게 하는 PSM을 이용한 이중노광 방식 및 Cr-less PSM 기술이 현재 적용 중이거나 연구 중에 있다. 추후 PSM 기술을 적극적으로 개발하여 사용한다면 F2 (파장 157nm)의 경우에 70~60nm까지

확장이 가능하다고 판단된다.

일반적으로 70nm까지를 광학 노광기술의 한계라 한다면, 그 이하의 패턴 크기에서는 차세대 노광기술을 사용해야 하는데, 이 경우에는 기존 광학 노광에 사용되었던 마스크와는 달리 멤브레인이나 스텐실마스크 또는 반사 다층박막 마스크를 사용해야 한다. 중요한 해결사항으로 멤브레인이나 스텐실 마스크에서는 스트레스 제어를 포함한 70nm이하 패턴에서 결함이 없는 마스크를 제작하는 것이고, 반사 다층박막 마스크에서는 결함이 없는 다층박막과 매우 낮은 열팽창을 가진 블랭크 마스크 제작하고 레티클 결함 제어에 대한 해를 구하는 것이다.

한편으로는 EPL 및 EUV용 마스크는 반사형으로서 고가이므로 마스크를 사용하지 않는 전자빔 직접 묘화(Electron Beam) 방식이 고려되고 있고, 이의 단점인 단일 칼럼의 낮은 생산성을 향상시키기 위하여 멀티칼럼 멀티 빔을 사용하는 방법도 연구중에 있다.

3.4. 측정기술

기존의 SEM을 이용한 CD 측정은 100nm까지가 한계로 인식되고 있다. 이를 극복하기 위하여 산란측정법(Scatterometry), AFM(Atomic force microscope) 등 SEM을 대체할 수 있는 계측법이 개발되고 있다. 그러나 Scatterometry의 경우 복잡한 패턴에 대한 DB구축, AFM은 throughput 향상과 새로운 탐침 개발 등과 같은 과제를 안고 있다.

4. CMP 기술

CMP(Chemical Mechanical Polishing)는 반도체 회로 선폭이 미세해짐으로서 노광공정의 초점심도(DOF)에 따른 공정의 여유가 줄어들어 따라 충분한 초점심도를 확보하기 위하여, pattern 내의 높이를 일정하게 해야 하는 global 평탄화가 필요하게 되어 웨이퍼 표면의 돌출된 부분을 제거하여 표면을 평탄하게 만들거나, 또는 기존의 건식 식각으로는 패턴형성이 어려운 물질을 패터닝하기 위해 개발된 공정이다. 이 공정은 이후에 행해지는 사진 식각 공정의 정확성을 증가시켜주며, 뒤이어 증착되는 박막 층의 두께 변화를 최소화하여 궁극적으로는 공정수율을 극대화한다. CMP는 연마제에 의한 기계적인 연마 효과에 산 또는 염기 용액에 의한 화학적 반응 효과를 결합하여 최적의 평탄화를 추구한다.

CMP장치는 일반적으로 신축성있는 패드와, 회전하는 웨이퍼를 holding하는 헤드로 구성되어 있다. 미세한 입자의 연마제를 함유한 액상 슬러리가 웨이퍼와 패드 사이에 공급된다. CMP공정은 주로 반도체 칩의 층간 절

연막 평탄화와 금속배선 형성에 사용되며, 배선층이 증가함에 따라 공정횡수도 증가한다. CMP는 특히 구리배선이 필요한 반도체 제조에 필수적이며, CMP만이 다층의 구리 damascene 구조를 형성할 수 있다.

4.1. CMP의 최근기술 동향

CMP 장비의 변화 추세는 전반적으로 장비의 소형화, dry-in/dry-out, end point detection, 높은 연마율과 평탄도, 후세정 기술, 자동화 및 cost의 저감으로 볼 수 있으며, 장치의 클러스터화로 연마부와 세정부 등을 따로 구입하여 설치할 수 있도록 하여 장치의 설치 유연성을 높여가는 것도 하나의 동향이라고 할 수 있다.

이러한 CMP 장치 변화의 원동력이 되고 있는 요인은 wafer의 대 구경화, 장비의 in-line 설치, 선평의 미세화, 배선재료 및 배선공정의 변화 등으로 요약될 수 있다. Wafer의 대 구경화에 따라 기존의 CMP 운동기구를 사용할 경우 슬러리의 불균일한 공급, 온도제어의 어려움, 장비의 설치면적 증가등의 문제가 발생하며 이에 대한 대응으로서 wafer가 대 구경화 되더라도 장비의 크기변화가 상대적으로 작은 형태의 운동기구를 채택하고 있다. 이의 예로서 IPEC의 orbital형, 소니의 고정회형, Lam research 및 Apex의 벨트형, 두산의 선 접촉형 장비들을 수 있으며, 이러한 장비들은 wafer가 커 지더라도 기존 장비크기의 변화가 상대적으로 작다는 장점이 있다.

CMP장비를 반도체 공정라인 내에 설치하기 위해서는 장비자체에 의해 클린룸이 오염되는 것을 방지해야 하고, 연마후 wafer의 완전한 세정과 건조가 이루어져야 한다. 따라서 대부분의 장비에서 post CMP cleaner를 채용하고 있으며, IPEC의 경우 장비내의 각 기능 모듈별로 압력상태를 조절, 기류제어방식을 채용한 SMIF 시스템을 통하여 wafer 오염을 최소화 하고 있다. 또한 post CMP cleaner에 강한 장점을 가지는 에바라(일본)의 장비는 일본내에서 큰 시장점유율을 차지하고 있다.

칩내의 평탄도에서 탁월한 우위를 보이는 Lam research의 linear CMP 장치인 Teres가 주목을 받고 있다. 이 방식은 벨트형의 연마기를 이용하여 높은 상대속도와 낮은 연마압으로 칩내 pattern 밀도등의 영향을 최소화 하고 양호한 평탄도를 얻을 수 있다. 또한 이 방식을 이용하면 dishing(오목화 현상)과 erosion등의 문제를 줄일 수 있기 때문에 Cu 배선의 damascene 공정에 이용되고 있다.

현재 CMP의 운전비용에서 많은 부분을 차지하고 있는 것이 슬러리이다. 슬러리는 이의 화학적 영향에 의해 공정의 안정화를 저해하므로 이를 극복하기 위하여 3M에서는 연마입자가 함유된 패드(abrasive embedded pad)를 개발하여 슬러리 없이 연마하는 방법을 개발하고 있다. 이 결과를 적용하여 Obsidian사에서 slurry less CMP를 개발하였다. 소니에서는 기존의 CMP 방식에서 탈피하여

가공중 wafer의 표면이 대부분 드러나는 형태의 CMP 장비를 개발하였다. 이는 in feed 연삭기 형태로서 컵 형태의 폴리우레탄 휠을 사용하여 wafer와 공구가 아주 좁은 면적만 접촉한 채 wafer 전면을 주사하면서 연마하는 방식으로 되어 있다.

CMP 장비에서는 세정기술과 더불어 종점검출방식의 확립이 무엇보다 중요하나 아직 완벽한 것은 아니다. 현재로서는 모터의 진류를 이용하는 방식(Luxtron), LVDT 이용(동정정밀), pad에 구멍을 내어 wafer 표면을 직접 측정하는 방식(AMAT), 패드 슬러리의 상태를 측정하는 방식, 패드표면의 온도를 측정하는 방식 등 여러 가지 방안들이 있으며, 그 외에 가공조건 및 상태의 학습을 통한 feed-back control을 이용한 방식(Strasbaugh)도 있다.

4.2. CMP의 향후 전망

노광심도를 확보하기 위해 광역 평탄화를 목적으로 사용되어 왔던 절연막의 CMP 공정은 앞으로도 광역 평탄화 용으로 계속 사용될 전망이며, 저유전체의 도입시 공정형태에 따라 저유전막을 직접적으로 연마할 필요도 있을 것으로 보인다. 그리고 금속배선 형성시에는 텅스텐, 구리 등과 같은 금속의 damascene 연마가 향후 여러세대 동안 사용될 것이다. CMP 적용시 발생하는 마멸(Erosion), 오목화(Dishing), 스크래치, 입자밀도를 계속적으로 감소시켜야 할 필요가 있으며, 이러한 목표를 이루기 위해서는 장비, 패드, 슬러리 모두에서 개선이 이루어져야 할 것이다. 또한 슬러리나 금속 잔류물을 제거하기 위한 후세정 기술의 개발도 필요하다. DRAM의 경우에는 연마중 여러 가지 물질층이 동시에 노출되는 경우에 사용 될 슬러리와 세정기술에 대한 기술개발이 요구된다.

이를 위해 다음과 같은 향후 개발 및 연구방향이 요구되고 있다. 첫째, 생산성을 향상시키기 위한 장비의 개발, 즉 연마속도를 빠르게 하기 위한 패드 및 슬러리의 개발, 장치에서는 과거의 단일 헤드형태의 연마체계에서 복수 헤드형태의 연마체계로 바뀌어가고 있다. 이러한 것들은 높은 제거속도를 만족하면서 웨이퍼내의 균일도를 만족해야한다. 둘째, 연마공정이 액상의 슬러리에 의해 연화된 막을 연마판패드와 웨이퍼와의 기계적인 운동에 의한 마찰로써 연마하기 때문에 이러한 기계적 운동으로 발생하는 충격을 고려해야 한다. 셋째, 연마의 후속공정으로 세정공정에 대한 검토가 이루어져야 하겠다. 넷째, CMP는 소모성 부재를 많이 사용하므로 소모부재의 사용시간에 따라 공정에 미치는 영향과 작업자의 능력에 따라 변수가 많다. 이를 극복할 수 있는 많은 연구와 개발 끝에 현재 적용단계에 왔지만 지속적인 개발이 필수적이다. 새로운 소자에 대처하기 위한 장치뿐만 아니라 새로운 소모성부재 및 공정조건 개발에 심혈을 기울여야 한다.

5. 결론

이상에서 반도체 제조에 사용되는 많은 공정장비 가운데 최근 부각되고 있는 원자층 증착기술과, 대표적인 기계 요소기술 장비인 노광기 및 CMP 장비에 대하여 기술적인 현상과 전망에 대하여 기술하였다.

일본에서는 국내의 한 개 업체가 참가한 11개 기업으로부터 위탁을 받은 SELETE 프로그램으로 300mm 장비에 대한 300mm/180nm의 장비 평가를 종료하고, 현재 연이어 2004년 9월까지 300mm/70nm의 평가를 목표로 하고 있고, 이와 병행하여 ITRS에서 제시된 기술적인 장벽을 산·연·학의 협력과 국제협력으로 타파하고, 반도체의 최 선단 공통 기반기술의 확보와 기술선도를 위한 ASUKA 프로젝트를 진행하고 있다.

국내에서는 아쉽게도 많은 반도체 장비 전문 중소기업이 지난 3~4년의 경기침체 동안 반도체 장비의 기술력 향상보다, 사업의 다각화 측면에서 공정이 유사한 디스플레이 생산장비 개발로 눈을 돌리고 전업한 경우까지 있다. 서두에서 밝힌 바대로 올해가 300mm/90nm 공정의 원년으로, 향후 양산 장비의 설비투자가 증가

하고 지속되리라 전망되는 만큼, 이에 따르는 장비의 개발에 박차를 가해야 할 것으로 보고 있다.

참고문헌

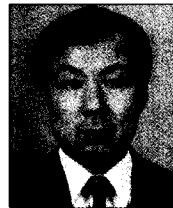
1. SEMATECH, International Technology Roadmap for Semiconductors 2002 Update
2. Information Society Technologies, Technology Roadmap for Nanoelectronics, 2000
3. 정해도의, 8" 디바이스 웨이퍼의 광역평탄화 Integrated CMP System 개발, Dec. 1999, 부산대학교
4. 한국반도체 산업협회, newsletter 30호
5. 한국반도체 산업협회, newsletter 31호
6. 월간 반도체, "300mm 대응 CMP 기술·장치의 현상과 과제", Nov. 2002
7. 전자신문, 리딩 테크놀로지 2003, Jan. 8, 2003.
8. <http://www.infothe.com/>
9. <http://www.jcci.or.kr/>

지자소개



《김 두 형》

- 1982년 서울대학교 기계설계학과 (공학사)
- 1990년 한국과학기술원생산공학과 (공학석사)
- 2003년 한국과학기술원 기계공학과 (공학박사)
- 1982년~현재 한국기계연구원 지능형정밀기계연구부 로봇제어그룹 책임연구원
- 주요업무 : 로봇 및 자동화기술개발, PDP 및 반도체 생산장비개발연구
- 학위논문 : Kinematic-Dynamic Analysis and Control of Container Crane with Auxiliary Cables



《황 경 현》

- 1976년 서울대학교 기계공학과 (공학사)
- 1978년 한국과학기술원기계공학과 (공학석사)
- 1986년 오하이오 주립대 기계공학과 (공학박사)
- 1978년~현재 한국기계연구원 선임연구부장 책임연구원
- 주요업무 : 연구원 행정 연구사업 총괄, 레이저 응용기술, 미세가공
- 학위논문 : Some Problems of Localized Crack Closure due to Nearby Concentrated Load