

論文2003-40SD-1-7

계층적 SoC 테스트 접근을 위한 플래그 기반 코어 연결 모듈의 설계

(A Design of Flag Based Wrapped Core Linking Module for Hierarchical SoC Test Access)

宋在勳*, 朴成柱*, 全昌浩*

(Jaehoon Song, Sungju Park, and Changho Jeon)

요 약

IEEE 1149.1 경계스캔 IP 코어로 설계된 시스템 칩(SoC)을 테스트하기 위하여 각 코어 간의 다양한 연결을 가능하게 하는 설계 기술이 IBM과 TI 등에서 제안되었다. 본 논문은 기존에 제안된 방식의 문제점을 분석하고 IEEE 1149.1 경계스캔 뿐만 아니라 IEEE P1500 래퍼 코어가 포함된 시스템 칩에서 사용할 수 있는 새로운 구조를 제안한다. 본 설계 기술은 최소한의 추가영역으로 코어의 설계변경 없이 IEEE 1149.1 표준과 호환성을 유지하면서 확장성을 갖고 계층적으로 테스트 접근을 할 수 있다는 장점이 있다.

Abstract

For a System-on-a-Chip(SoC) comprised of multiple IP cores, various design techniques have been proposed to provide diverse test link configurations. In this paper, we introduce a new flag based Wrapped Core Linking Module (WCLM) that enables systematic integration of IEEE 1149.1 TAP'd cores and P1500 wrapped cores with requiring least amount of area overhead compared with other state-of-art techniques. The design preserves compatibility with standards and scalability for hierarchical access.

Keyword : 경계스캔 설계, IEEE 1149.1, P1500, SoC 테스트, 코어 테스트

I. 서 론

반도체 공정기술의 발달로 칩의 집적도가 급속히 높아지면서 시스템이 칩 하나에 구현되는 SoC(System-on-a-Chip)가 가능하게 되었다. 기존의 보드는 칩 수준으로 설계되며 이 칩은 프로세서, 메모리 등의 재사용 가능한 IP 코어로 구성된다. 이러한 재사용 가능한 IP

를 이용함으로써 설계 시간은 획기적으로 단축되었지만 SoC 설계에 있어서 주요 병목현상은 테스트와 디버깅에서 발생하고, 따라서 SoC의 코어에 대한 효율적인 테스트 접근은 중요한 문제점으로 부각되고 있다.

IP 코어로 구성된 SoC에 대한 테스트 접근 구조의 중요한 요소는 TAM(Test Access Mechanism)과 테스트 래퍼이다^[1]. TAM은 코어 내부 테스트를 위해 테스트 입력을 위한 스캔 체인을 포함하고 있고, 래퍼는 테스트 입력을 대상 코어의 내부 테스트 또는 연결선 접점의 외부테스트를 위한 테스트 패턴으로 변환시킨다. 테스트 비용은 ATE에 사용되는 메모리와 테스트패턴의 주입시간에 의해 결정되며 이는 테스트 래퍼와 TAM이 시스템 칩에 어떻게 접목되느냐에 따라 크게 영향을 받는다. 따라서 효율적인 테스트를 위해, TAM과 테스트 래퍼의 결합^[2,3]과 1149.1 TAP이 있는 코어

* 正會員, 漢陽大學校 電子컴퓨터工學部

(School of Electrical Engineering & Computer Science Hanyang University)

※ 본 연구는 과학재단 특정기초연구(과제번호 : 2000-1-30200-002-3)의 지원을 받아서 수행하였습니다.

接受日字:2002年4月4日, 수정완료일:2003年1月7日

와 P1500 래퍼가 있는 코어를 위한 연결 제어기^[4~11] 등의 효율적인 테스트 접근 구조가 커다란 관심이 되고 있다. 본 논문은 1149.1 TAP 과 P1500의 서로 다른 래퍼가 있는 코어로 구성된 SoC를 위한 새로운 코어 연결 제어 기술을 제안한다.

복수개의 1149.1 TAP 코어에 테스트 접근을 하는데 있어 문제점들을 해결하기 위한 몇 가지 방법들이 제안되었다^[6~10]. 1149.1 제어신호로 P1500 코어를 계층적으로 접근하면서 발생하는 문제점을 해결하기 위해서 P1500 SIL(Serial Interface Layer)를 개선한 테스트 구조 방식도 제안되었다^[12]. 본 논문은 IEEE 1149.1 과 P1500 표준을 유지하며 계층적 테스트 접근을 할 수 있는 플래그 기반의 WCLM(Wrapped Core Linking Module)을 제안한다. 본 논문은 다음과 같이 구성되어 있다. 2장에서는 1149.1 코어를 위한 기존의 TAP 연결 기술에 대해서 살펴보고, 3장에서는 P1500 래퍼를 소개한다. 4장에서는 본 논문에서 제안하는 플래그 기반의 WCLM을 소개하며, 5장에서는 기존 방식과 설계 결과를 비교하고, 마지막 장에서 결론을 기술한다.

II. Link Controllers for IEEE 1149.1

IEEE 1149.1 경계스캔은 보드 또는 시스템 수준에서 테스트 패턴의 인가를 쉽게 하기 위한 테스트 설계 기술이다. 1149.1 표준 TAP(Test Access Port)은 TDI, TDO, TMS, TCK와 선택적인 TRST 핀을 포함한다^[1]. <그림 1>은 표준 IEEE 1149.1 경계스캔 설계를 보여 준다. 명령어 레지스터상의 현재 명령에 의해 경계스캔, 바이패스, 또는 사용자 정의 테스트 데이터 레지스터가 TDI-TDO 경로상에 놓이게 된다. 필수적인 명령어로는 BYPASS, SAMPLE/PRELOAD와 EXTEST가 있고,

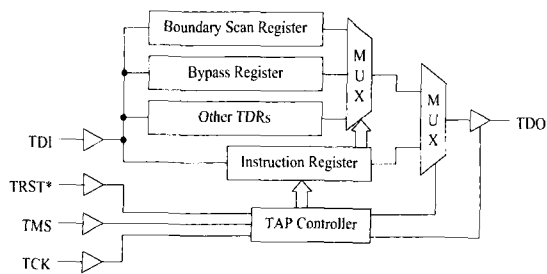


그림 1. IEEE 1149.1 경계스캔 설계 구조
Fig. 1. Architecture of IEEE 1149.1 boundary scan design.

RUNBIST, IDCODE, HIGHZ, CLAMP와 같은 사용자 정의 명령어가 있다.

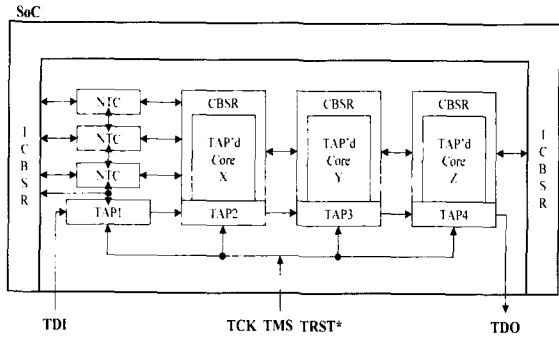


그림 2. TAP'd IP 코어의 직렬연결
Fig. 2. Simple serial connection of TAP'd IP cores.

<그림 2>와 <그림 3>은 IEEE 1149.1 경계스캔이 구현되어있는 코어와 그렇지 않은 코어로 구성된 SoC를 보여주고 있다. TAP'd Core는 TAP을 포함하고 있는 코어이고 NTC(Non TAP'd Core)는 TAP을 포함하고 있지 않은 코어를 의미한다. ICBSR(IC Boundary Scan Register)과 CBSR(Core Boundary Scan Register)은 각각 IC의 경계스캔 레지스터와 코어의 경계스캔 레지스터이다.

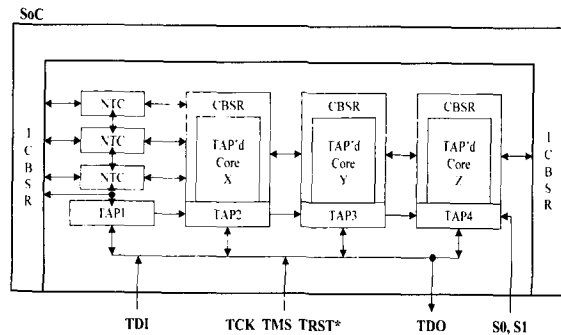


그림 3. TAP'd IP 코어 선택핀을 추가한 방식
Fig. 3. Using additional input pins to select TAP'd IP core.

IEEE 1149.1 경계스캔은 보드 및 시스템 수준 테스트를 위해 제안되었지만, 최근에는 IP 코어에도 사용함으로써 SoC 테스트 및 디버그에도 널리 사용하고 있다^[6~10]. <그림 2>와 <그림 3>을 포함하는 여러 가지 SoC 테스트 제어 기술이 제안되었다. [8]에서 기술한 바와 같이 <그림 2>와 <그림 3>은 첫 번째 1149.1 표준

에 위배되며, 둘째 확장성이 결여되고, 셋째 보드수준 설계에서 테스트를 위한 추가적인 배선이 필요하다는 단점이 있다^[6].

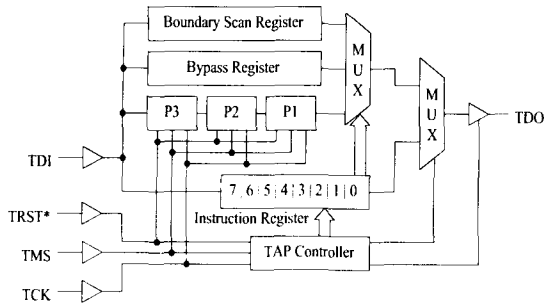


그림 4. SoC TAP의 명령어 비트를 사용한 IBM의 직렬 연결 방식
Fig. 4. IBM's serial connection by utilizing SoC instruction bits.

<그림 4>에서와 같이 IBM은 SoC TAP과 코어 TAP을 구분하기 위해 SoC 경계스캔 명령어들의 최하위 비트를 사용하였다^[7]. 이 방식은 1149.1 호환 코어를 SoC 테스트 데이터 레지스터 위치에 직렬로 연결하여야 하며 주요 목적은 프로세서 코어의 디버그에 있다. IBM 방식의 가장 큰 단점은 ICBSR과 CBSR간의 연결선 점검을 할 수 없다는 것이다. 이는 TAP이 있는 프로세서 코어를 테스트하거나 디버깅하기 위해서는 SoC TAP과의 연결이 끊어지고, 직렬로 연결된 다른 모든 코어는 바이패스 모드로 놓아야 하기 때문이다.

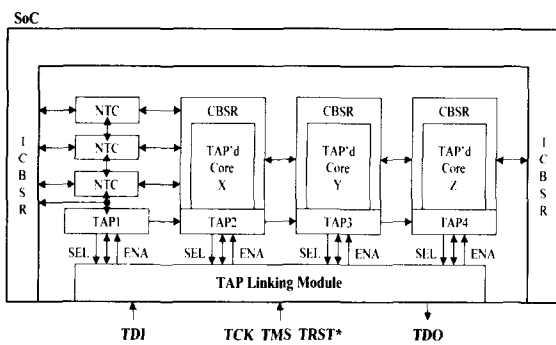


그림 5. TI에 의해 제안된 TLM(TAP Linking Module) 방식
Fig. 5. TAP Linking Module proposed by TI.

<그림 5>는 TI에서 제안한 TLM(TAP Linking Module)방식을 보여준다. TLM은 TAP이 있는 코어 간과 SoC 간에 어떠한 연결도 가능하게 해 주지만

SoC와 코어의 표준 IEEE 1149.1 경계스캔 설계에 추가적인 테스트 회로를 넣기 위해 DSP, CPU등과 같은 이미 만들어진 코어의 회로를 변경해야만 한다. 즉, 코어 제공자에게 IEEE 경계스캔 회로에 추가적인 명령어와 회로를 넣을 것을 요구해야 한다는 문제점이 있다.

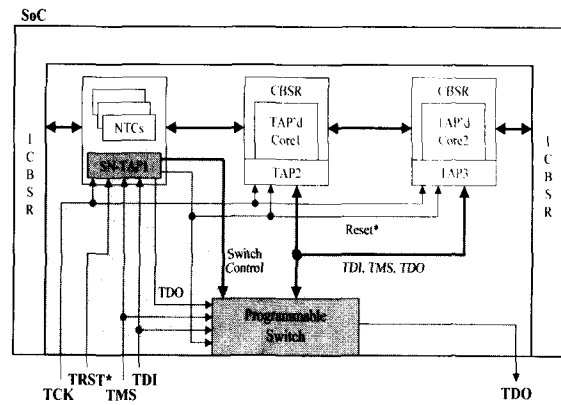


그림 6. HTAP을 사용한 SoC
Fig. 6. SoC with the HTAP.

호환성과 확장성을 위해 HTAP(Hierarchical TAP) 기술이 제안되었다^[9,10]. HTAP은 설계 계층의 최상위에서 SNTAP(Snoopy TAP)이라 불리는 1149.1 TAP의 변형된 구조를 사용한다. HTAP은 <그림 6>과 같이 크게 두 부분으로 나뉘어 있는데, 첫 번째는 SoC의 1149.1 호환 테스트 핀들을 TAP이 있는 복수개의 코어가 공유할 수 있도록 하는 스위치이고, 두 번째는 SNTAP(Snoopy TAP)이라 불리는 1149.1 TAP의 변형된 구조로서, SoC의 TAP이 없는 회로부분에 대해서 1149.1 TAP 기능을 수행하고 TAP이 있는 복수개의 코어가 SoC의 1149.1 테스트 핀을 공유하는데 중재 역할을 한다. 그러나 HTAP은 첫 번째 Snoopy State 상태로 되거나 빠져 나오는 절차가 1149.1 관점에서 부자연스럽고, 둘째 SoC의 경계스캔과 코어의 경계스캔간의 연결선 점검을 할 수 없다는 단점이 있다.

이제까지는 1149.1 코어로 구성된 SoC 테스트 제어기에 대해서 살펴보았고 다음은 P1500 래퍼에 대하여 살펴본다.

III. IEEE P1500 Wrapped Cores

IEEE P1500은 코어를 테스트하기 위한 표준안으로서, 코어에 테스트 패턴을 효율적으로 인가하고 결과를

관찰할 수 있도록 한다. P1500에 의해 정의되는 코아 테스트 래퍼는 다음과 같은 특징을 갖는다^[1].

* IEEE 1149.1에서 제공되는 모드의 부분집합으로서 코아 내부 테스트, 연결선 테스트, 그리고 바이패스 모드를 지원한다.

* 코아 테스트 래퍼(경계스캔 체인)를 코아 내부 스캔 체인에 연결하여 SoC 내부 테스트 용도로 사용한다 (다양한 TAM 지원).

<그림 7>은 P1500 래퍼 레지스터, TAM 연결부, 명령어 레지스터 및 외부에서 제공받아야 하는 각종 제어신호를 보여주고 있다. 제어신호는 Update, Capture, Shift 및 테스트클럭을 포함한다.

IEEE 1149.1이 구현되어 있는 코아로 구성되어 있는 SoC를 테스트하기 위한 코아 연결 기술들이 몇 가지 제안되었다^{[1]-[11]}. 본 논문에서 제안하는 새로운 코아 연결 기술인 플래그 기반 WCLM은 IEEE 1149.1 뿐만 아니라 P1500 래퍼가 구현되어 있는 코아로 구성되어 있는 SoC에 최소한의 추가영역으로 코아에 대한 회로 변경 요구를 하지 않고 적용할 수 있다.

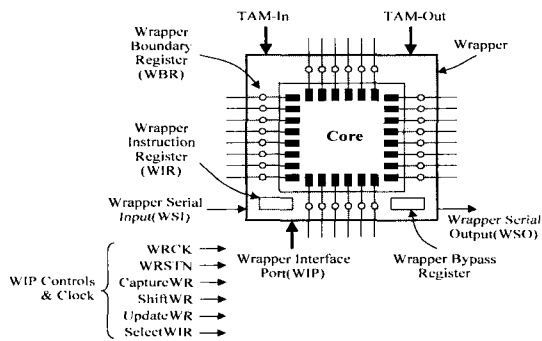


그림 7. P1500 구성도
Fig. 7. Architecture of P1500 wrapper.

IV. 플래그 기반 Wrapped Core Linking Module

본 장에서는 본 논문에서 제안하는 새로운 코아 연결 모듈인 플래그 기반 WCLM에 대해서 상세하게 기술한다.

1. 플래그 기반 WCLM의 기능 및 구조

<그림 8>은 본 논문에서 제안하는 플래그 기반

WCLM을 사용한 테스트 접근 구조의 개괄적인 모습을 보여준다. SoC의 1149.1 TAP인 TAP1은 WCLM을 제어하고, TAP2와 TAP3는 각각 코아 2, 3의 1149.1 TAP이다. P1500 래퍼가 있는 코아는 WCLM 내부의 P1500 제어기에 의해서 제어된다. 복수개의 TAP과 P1500 래퍼는 WCLM을 통해 1149.1 호환 SoC 테스트 버스에 연결된다.

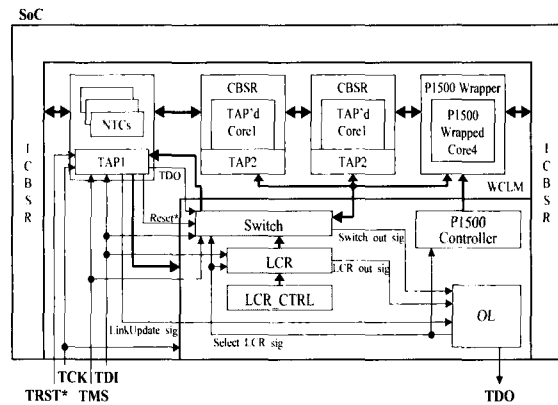


그림 8. 플래그 기반 WCLM의 개괄적인 모습
Fig. 8. Overview of flag based WCLM.

Switch 모듈, LCR(Link Control Register) 모듈, LCR_CTRL(LCR Controller) 모듈, P1500 제어기 모듈, 그리고 OL(Output Logic)은 본 플래그 기반 WCLM 테스트 접근 기술의 기본 구조를 이룬다. TCK 신호는 각 TAP과 WCLM에 직접 연결된다.

주요 모듈의 기능 및 구조는 다음과 같다.

· Switch

Switch의 주요 기능은 다음과 같다. 먼저 전역 초기화 기능으로서, SoC TAP에 TMS='1'을 다섯 번 인가하거나 TRST*='0'를 인가하여 SoC를 테스트 초기화할 경우, 각 IP 코아의 탭에 TMS='1'을 다섯 번 강제로 인가시켜 초기화한다. 따라서, TRST* 포트가 없는 IP 코아도 초기화할 수 있고, 초기화 후에는 TDI-TDO 스캔 경로상에 SoC TAP만 놓이게 된다. 다음은 스캔 경로의 설정 기능이다. 1149.1 또는 P1500 래퍼가 있는 코아의 연결 구성 정보를 갖고 있는 LCR(Link Control Register)의 정보를 바탕으로, SoC의 TDI-TDO 사이에 코아의 스캔 경로를 설정해 준다. 스캔 경로상에 놓인 TAP에 대해서는 SoC의 TMS 신호가 그대로 인가되도록 하여 SoC 테스트버스의 상태

를 따르도록 한다. 그리고 만약 코어의 연결 설정 변경을 위해 LCR이 TDI-TDO 스캔 경로사이에 놓이게 될 경우, SoC TAP 제어기 제어신호를 게이팅하여 각 테스트 데이터 레지스터 및 명령어 레지스터의 현재 상태를 유지하도록 한다.

· LCR(Link Control Register)

LCR은 SoC TDI-TDO 스캔 경로상에서 1149.1 및 P1500 래퍼가 있는 코어간의 연결정보를 변경하고 유지하는데 사용되며, LCR_CTRL(Linck Control Register Controller)에 의해서 제어된다. LCR은 연결 구성 변경 시에 SoC의 TDI-TDO 스캔 경로 사이에 놓이게 되고 테스트 버스의 Scan-DR 시에 내용이 변경된다. Reset*='0'가 인가되어 초기화 될 경우에는 오직 SoC TAP만이 SoC TDI-TDO 스캔 경로상에 오도록 연결정보를 설정시킨다.

· LCR_CTRL(Linck Control Register Controller)

LCR_CTRL은 LCR을 제어하기 위한 제어기이다. Select_LCR_sig의 값이 '1'이고 테스트버스가 Scan-DR 시에는 LCR을 활성화시켜서 연결 구성 정보를 쉬프트시키고 업데이트시킬 수 있게 한다.

· OL(Output Logic)

OL은 출력을 제어해주는 회로이다. <그림 9>는 OL의 구조를 보여주며, 주요 기능은 다음과 같다. 보드상에서 칩 수준의 SoC를 테스트하거나 SoC 상의 코어를 테스트할 때는 Switch_out_sig를 SoC TDO에 연결하고 코어의 연결 구성을 변경시킬 때는 LCR_out_sig를 TDO에 연결한다.

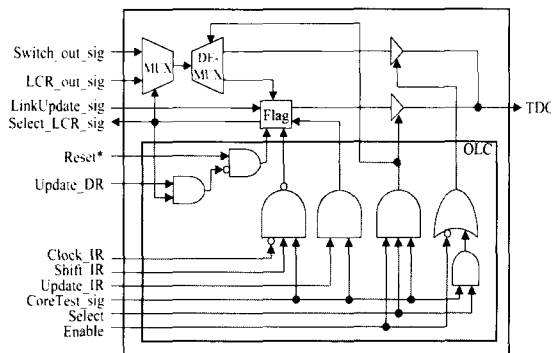


그림 9. OL(Output Logic)의 구조
Fig. 9. Structure of OL(Output Logic).

OL은 다음과 같이 구성되어 있다. Switch_out_sig 또는 LCR_out_sig를 TDO에 연결시키기 위한 MUX,

DEMUX, 두 개의 tri-state 버퍼와 이들을 제어하기 위한 OLC(Output Logic Controller), 그리고 코어의 연결 구성 정보를 변경시키도록 지시하는 플래그 레지스터로 구성되어 있다. 플래그 레지스터는 코어테스트 모드이고 IR-Scan 시에 명령어 레지스터들의 TDI-TDO 스캔 경로상에서 최종단에 오게되고 '1'이 되면 Select_LCR_sig='1'이 되어 LCR을 TDI-TDO 경로상에 놓아 코어의 연결 구성을 변경할 수 있도록 한다. 테스트 버스의 Scan-IR 여부는 SoC TAP의 Select 신호로 알 수 있다. Enable 신호는 테스트 버스의 상태가 Shift-IR 또는 Shift-DR이 아닐 때, TDO에 HighZ를 출력하기 위한 제어신호이다. <표 1>은 CoreTest_sig,

표 1. 주요 제어신호에 따른 OL(Output Logic)의 TDO 출력

Table 1. Output of TDO by key control signals.

| 제어신호 | 테스트 버스 상태 | 출력 |
|--------------|----------------|-------------------------|
| CoreTest_Sig | Select_LCR_sig | TDO |
| 0 | 0 | Scan-DR |
| 0 | 0 | Scan-IR |
| 0 | 0 | Scan-DR, Scan-IR 이외의 상태 |
| 0 | 1 | Scan-DR |
| 0 | 1 | Scan-DR 이외의 상태 |
| 1 | 0 | Scan-DR |
| 1 | 0 | Scan-IR |
| 1 | 0 | Scan-DR, Scan-IR 이외의 상태 |
| 1 | 1 | Scan-DR |
| 1 | 1 | Scan-DR 이외의 상태 |

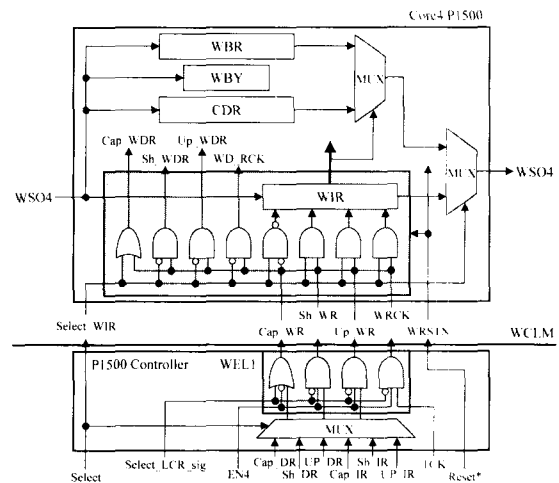


그림 10. 예제 SoC에서의 P1500 제어기
Fig. 10. Detailed view of P1500 controller in sample system.

Select_LCR_sig 제어 신호와 SoC의 테스트버스 상태에 따른 TDO 출력을 보여준다.

· P1500 Controller

P1500 제어기는 SoC TAP 제어기의 신호를 사용하여 P1500 래퍼를 제어한다. <그림 10>은 P1500 제어기의 상세한 모습을 보여준다. P1500 제어기의 출력 신호는 코어4 P1500 래퍼를 제어하기 위해 WSI(Wrapper Serial Input)와 WSO(Wrapper Serial Output)를 제외한 P1500 WIP(Wrapper Interface Port)에 직접 연결된다. P1500 제어기는 각 코어의 P1500 래퍼에 대한 WEL(Wrapper Enable Logic)과 MUX로 구성되어 있다.

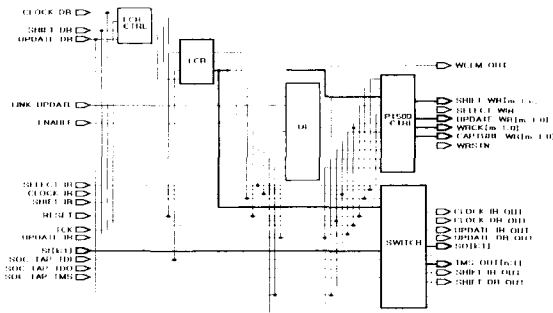


그림 11. 플래그 기반 WCLM의 합성결과
Fig. 11. Synthesis result of flag based WCLM.

WEL은 SoC TAP의 제어신호를 게이팅하여 P1500 래퍼의 WSI와 WSO를 제외한 WIP에 인가한다. SoC 테스트 버스의 DR-scan 상태에서는 SoC TAP인 TAP1의 DR 제어신호가 P1500 제어기의 출력에 연결되고, IR-scan 상태에서는 IR 제어신호가 연결된다.

<그림 11>은 Synopsys의 Design Analyzer를 이용한 WCLM의 합성결과이며, 게이트 수는 약 350개로 테스트를 위한 면적 오버헤드도 적게 나타났다.

2. 플래그 기반 WCLM의 동작과 타이밍

TI와 IBM에서 제안한 기존 방식에서는, 명령어 기반으로 코어의 연결 구성 정보를 변경시킨다. 따라서, SoC TAP이 TDI-TDO의 스캔 경로상에 놓여야만 코어의 연결 구성 정보를 변경할 수 있다. 하지만, 플래그 기반 WCLM에서는 SoC TAP이 TDI-TDO의 스캔 경로상에 제외되더라도 플래그 레지스터에 의해 코어의 연결 구성 정보의 변경이 가능하다. 결과적으로, 플래그 레지스터는 WCLM의 핵심적인 부분이라 할 수 있다.

전원을 켜거나 초기화를 시키면 WCLM은 LCR의 최상위 비트만 '1'로 두고 나머지는 '0'으로 설정함으로써 오직 SoC TAP인 TAP1만을 활성화 시켜 스캔 경로상에 놓는다.

SoC TAP인 TAP1은 플래그 기반 WCLM을 제어한다. 즉, TAP1 제어기는 TAP1이 LCR의 연결 정보 상에는 비 활성화로 되어 있을지라도 테스트 버스의 상태를 관찰하고 WCLM을 제어하기 위해 항상 활성화되어 있다. 즉, TDI-TDO 스캔 경로 상에서만 제외될 뿐이다.

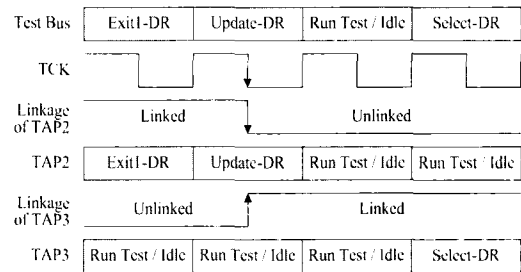


그림 12. WCLM을 사용한 연결 변경 타이밍 다이어그램의 예
Fig. 12. Sample timing diagram of link change using WCLM.

플래그 기반 WCLM이 IEEE 1149.1 또는 P1500 래퍼가 있는 코어의 연결 구성을 설정하기 위해서는 TDI-TDO 경로상에 LCR을 놓아야 하는데, 이것은 OL의 플래그 레지스터 값을 설정함으로써 이루어진다. 플래그 레지스터의 값을 설정하는 방법은 두 가지가 있다. 첫 번째는, 초기에 SoC TAP만이 TDI-TDO 경로상에 있을 경우, CoreLinkUpdate 명령에 의해 플래그 레지스터 값이 '1'이 되어 LCR이 TDI-TDO 경로상에 놓이게 되고 SoC 테스트 버스의 Scan-DR 시에 연결 구성을 갱신하게 된다. 두 번째는, 최소한 하나 이상의 코어가 TDI-TDO 경로상에 놓이게 되면 코어 테스트 모드가 되는데, 이때 연결 구성을 변경하고자 한다면, 테스트 버스의 Scan-IR 시에 TDI를 통해 인가시키는 첫 번째 비트를 '1'로 놓으면 된다. 이로 인해 OL의 플래그 레지스터가 '1'이 되어 LCR은 다시 TDI-TDO 스캔 경로상에 놓이게 되고 SoC 테스트 버스의 Scan-DR 시에 연결 구성을 갱신하게 된다.

연결 구성이 갱신될 동안에 모든 코어는 명령어 레지스터 및 테스트 데이터 레지스터의 현 상태를 유지

하며 RunTest/Idle 상태에 놓이게 된다. 연결 구성이 갱신되면, TDI-TDO 스캔 경로상에 있는 코어는 SoC 테스트 버스를 따라 동작하게 되고, 스캔 경로상에서 제외된 코어는 RunTest/Idle의 안정된 상태에 놓이게 된다.

<그림 12>는 활성화되어 TDI-TDO 경로상에 있던 TAP2는 비 활성화되고 비 활성화되어 있던 TAP3는 활성화되어 TDI-TDO 경로상에 놓이게 되는 과정의 타이밍 다이어그램이다.

V. 기존 방식들과 플래그 기반 WCLM의 비교 분석

TI와 IBM에서 제안한 기존 방식과 본 논문에서 제안하는 플래그 기반 WCLM 방식의 주요 차이점이 표 2, 3, 4에 요약되어 있다. TI의 TLM은 제공되는 IP 코어의 표준 1149.1 TAP에 SEL과 ENA라는 핀을 추가해야하며 표준 TAP의 변경이 필요하지만, 본 논문에서 제안하는 방식은 제공되는 IP 코어의 회로를 전혀 수정할 필요가 없고 기존의 SoC TAP 제어기를 그대로 사용함으로써 영역 및 전력 오버헤드를 줄일 수 있다.

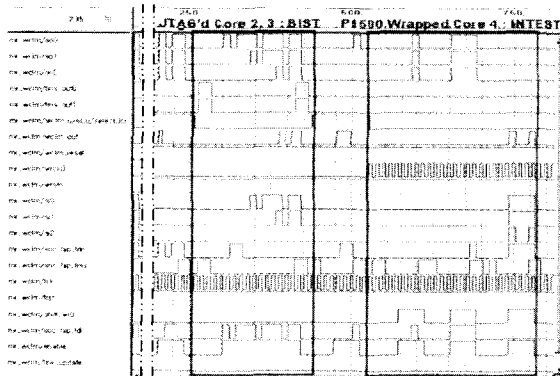


그림 13. 플래그 기반 WCLM의 FPGA 검증결과
Fig. 13. FPGA verification result of flag based WCLM.

IBM 방식은 SoC TAP의 1149.1 경계스캔 레지스터와 IP 코어의 경계스캔 레지스터, 즉 칩과 코어 간의 연결선 점검을 할 수 없다. 하지만 플래그 기반 WCLM은 SoC의 TAP과 IP 코어 TAP 간의 모든 연결 구성을 할 수 있으므로 점검 가능하다. 또한, IBM 방식은 항상 코어가 직렬로 연결되어 있어, 스캔 경로가 최대이고 백그라운드 테스트 동작을 수행시킬 수

없다는 단점이 있다. 백그라운드 테스트란 예를 들면 <그림 2>에서 TAP2은 계속 RunTest/Idle 상태에서 RUNBIST 명령을 수행하고, TAP3와 TAP4간에는 EXTEST를 수행시키다가 연결정보를 변경시킬 경우이다. HTAP(Hierarchical TAP)은 코어 테스트를 위해서 SoC의 TAP 제어기를 수정하여 표준 1149.1 유한상태기의 16개 상태에 16개의 상태를 더 추가하여 총 32개의 상태를 사용한다. 이것은 코어테스트를 위한 프로토콜을 복잡하게 만든다. 하지만 본 논문에서 제안하는 방식은 코어 테스트 시에 표준 1149.1 TAP 유한상태기의 16개 상태를 그대로 사용한다. 또한 IHTAP은 ICBSR과 CBSR간의 연결선 점검을 할 수 없는 단점이 있다. 그리고 TLM, HTAP 과 IBM 방식은 모두 1149.1 TAP만 있는 코어 환경만을 지원하지만 플래그 기반 WCLM은 P1500 래퍼가 있는 코어 환경까지 모두 지원한다. Synopsys와 ALTERA사의 EPF10K100 GC503-4 FPGA를 통하여 동작여부를 검증하였다. <그림 13>은 <그림 8>과 같은 SoC 환경에서 FPGA 검증 결과이다. 코어2와 코어3의 TAP에 각각 BIST 명령을 인가하여 수행하면서, 코어4로 연결 상태를 갱신하여 INTEST를 수행하는 것을 보여주고 있다.

표 2. 기존 방식과 WCLM의 비교 1
Table 2. Key differences among TI, IBM, and our method.

| | TAP connections | TAP'd Core modification | Chip TAP controller modification | TRST* for all embedded TAPs |
|---------------|--------------------|-------------------------|----------------------------------|-----------------------------|
| TI's TLM | any connection | required | required | required |
| IBM | serial | not required | not required | not required |
| TI's SNTAP-I1 | not any connection | not required | required | not required |
| TI's SNTAP-I2 | not any connection | not required | required | not required |
| WCLM | any connection | not required | not required | not required |

표 3. 기존 방식과 WCLM의 비교 2
Table 3. Key differences among TI, IBM, and our method (Continued).

| | Additional pin | Additional TAP controller | Additional TDR |
|---------------|----------------|---------------------------|----------------|
| TI's TLM | not required | required | not required |
| IBM | not required | not required | not required |
| TI's SNTAP-I1 | not required | not required | required |
| TI's SNTAP-I2 | not required | not required | required |
| WCLM | not required | not required | not required |

표 4. 기존 방식과 WCLM의 비교 3
Table 4. Key differences among TI, IBM, and our method (Continued).

| | P1500 support | Background operation support | Area(cell) |
|---------------|---------------|--|--------------------------------------|
| TI's TLM | not support | can be supported (a lot of instructions may be required) | 276 |
| IBM | not support | not support | additional Instruction Register bits |
| TI's SNTAP II | not support | support | 232 |
| TI's SNTAP I2 | not support | support | 235 |
| WCLM | support | support | 227 |

VI. 결 론

본 논문은 IEEE 1149.1 코어로 구성된 SoC 테스트를 위한 기존의 테스트 제어기 기술을 비교·분석 각 방식의 문제점을 보완하면서 IEEE 1149.1은 물론 P1500 코어로 혼합 구성된 SoC를 테스트할 수 있는 새로운 테스트 제어기를 제안하였다. 새롭게 제안하는 플래그 기반 WCLM(Wrapped Core Linking Module)은 간단한 연결 제어로 SoC 1149.1 경계스캔과 코어 래퍼간에 다양한 연결을 가능하게 해 준다. IP 코어의 재활용으로 집적도가 급격히 커지고 있는 SoC 설계환경에서 테스트 및 디버깅 시간을 단축하여 제품경쟁력을 높이는 데 본 기술이 일조 하리라 확신한다.

참 고 문 헌

[1] Y. Zorian, E. J. Marinissen and S. Dey, "Testing Embedded-core-based System Chips", In Proceedings IEEE International Test Conference, pp. 130~143, 1998.
[2] Erik Jan Marinissen, Hans Dingemans, Robert Arendsen, Maurice Lousberg, Gerard Bos, Clemens Wouters, "A Structured and Scalable Mechanism for Test Access to Embedded Reusable Cores", In Proceedings IEEE International Test Conference, pp. 284~293, 1998.

[3] V. Iyengar, K. Chakrabarty and E. J. Marinissen, "Test Wrapper and Test Access Mechanism Co-Optimization for System-on-Chip", In Proceedings IEEE International Test Conference, pp. 1023~1032, 2001.
[4] IEEE Std. 1149.1a-1993.
[5] IEEE P1500 Web Site. <http://grouper.ieee.org/groups/1500/>.
[6] Lee Whetsel, "An IEEE1149.1 Based Test Access Architecture For ICs With Embedded Cores", In Proceedings IEEE International Test Conference, pp. 69~78, 1997.
[7] Steven F. Oakland, "Considerations for Implementing IEEE1149.1 on System-on-a-Chip Integrated Circuits", In Proceedings IEEE International Test Conference, page 628~637, 2000.
[8] Whetsel, L. "Addressable test ports an approach to testing embedded cores", In Proceedings IEEE International Test Conference, page 1055~1064, 1999.
[9] Debashis Bhattacharya, "Hierarchical Test Access Architecture for Embedded Cores in an Integrated Circuit", VLSI Test Symposium, Proceedings. 16th IEEE, pp. 8~14, 1998.
[10] Debashis Bhattacharya, "Instruction-Driven Wake-Up Mechanisms for Snoopy TAP Controller", VLSI Test Symposium, Proceedings. 17th IEEE, pp. 467~472, 1999.
[11] S. Harrison, G. Noeninckx, P. Horwood and P. Collins, "Hierarchical Boundary Scan A Scan Chip-Set Solution", In Proceedings IEEE International Test Conference, pp. 480~486, 2001.
[12] B. I. Dervisoglu, "A unified DFT architecture for use with IEEE 1149.1 and VSLA/IEEE P1500 compliant test access controllers", Design Automation Conference, pp. 53~58, 2001.

저 자 소 개



宋在勳(學生會員)

한양대학교 전자계산학과 학사.
(2000), 한양대학교 전자계산학과 석사(2002), <주관심분야 : 테스트 합성, Scan Design, VLSI 시스템 & 테스트, ASIC 설계 등>



朴成柱(正會員)

한양대학교 전자공학과 학사(1983), 금성사 소프트웨어개발(1983-1986), Univ. of Massachusetts 전기 및 컴퓨터공학과 박사(1992), IBM Microelectronics 연구스텝(1992-1994), 한양대학교 전자컴퓨터공학부 부교수(1995-현재), <주관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC 설계, 고속 신호처리 시스템 설계, 그래프이론 등>



孫昌浩(平生會員)

한양대학교 전자공학과 학사 (1977), Cornell University 전기및컴퓨터공학과 석사(1982), Cornell University 전기및컴퓨터공학과 박사(1986), 한국전자통신연구원 연구원(1977-1979), 성균관대학교 전기공학과 조교수 (1986-1989), 한양대학교 전자컴퓨터공학부 교수(1989년-현재), 한국정보과학회 학회지 편집위원장(1997-1998), <주관심분야 : 컴퓨터구조, 병렬처리, 성능분석 등>