

論文2003-40SD-1-3

비정질 및 다결정 실리콘 TFT-LCD에서의 플리커(flicker) 현상 비교 분석 연구

(A Comparative Study on the Quantitative Analysis of the Flicker Phenomena in the Amorphous-Silicon and Poly-Silicon TFT-LCDs)

孫明植*, 宋珉受**, 劉建虎**, 張震**

(Myung-Sik Son, Min-Soo Song, Keon-Ho Yoo, and Jin Jang)

요 약

본 논문에서는 대면적, 고품질 TFT-LCD 개발 및 제작을 위해 전기적인 플리커(flicker)를 정량적으로 정의하고, 비정질 실리콘(a-Si:H) TFT와 SMC(silicide mediated crystallization), ELA(excimer laser annealed) 및 LBT(counter-doped lateral body terminal) 방법으로 제작된 다결정 실리콘(poly-Si) TFT들에 대하여 40" UXGA 급 TFT-LCD 어레이(array)에서의 플리커 현상을 분석 비교하였다. 플리커 현상은 충전 시간, 킥백(kick-back) 전압 및 누설 전류에 의해 기인하는데, 이러한 각 원인이 세 가지 TFT 각각의 경우에 어느 정도 플리커에 영향을 끼치는지를 정량적으로 분석하였다. 또한, 다결정 실리콘 TFT-LCD 어레이인 경우, 비정질 실리콘에 비해 큰 누설 전류 때문에 플리커를 최소화할 수 있도록 낮은 레벨의 게이트 전압을 설정해야 한다는 것을 정량적으로 보였다.

Abstract

In this paper, we present results of the comparative analysis of the flicker phenomena in the poly-Si TFT-LCD and a-Si:H TFT-LCD arrays for the development and manufacturing of wide-area and high-quality TFT-LCD displays. We used four different types of TFTs; a Si:H TFT, excimer laser annealed (ELA) poly-Si TFT, silicide mediated crystallization (SMC) poly-Si TFT, and counter-doped lateral body terminal (LBT) poly-Si TFT. We defined the electrical quantity of the flicker so that we could compare the flickers quantitatively for four different 40" UXGA TFT-LCDs. We identify three factors contributing to the flicker, such as charging time, kickback voltage and leakage current, and analyze how much each of three factors give rise to the flicker in the different TFT-LCD arrays. In addition, we suggest and show that, in the case of the poly-Si TFT-LCD arrays, the low-level (minimum) gate voltages should be carefully chosen to minimize the flicker because of their larger leakage currents compared with a-Si TFT-LCD arrays.

Keywords : TFT-LCD display, TFT-LCD array, Flicker, UXGA, Modeling and Simulation

* 正會員, 東國大學校 밀리미터파 新技術研究센터
(Millimeter-wave Innovation Technology Research
Center, Dongguk University)

** 正會員, 慶熙大學校 物理學科
(Department of Physics, Kyung Hee University)

※ 이 연구는 산자부 및 과기부 G7 과제와 동국대학교
밀리미터파 신기술 연구센터를 통한 한국과학 재단
의 우수 연구센터 지원에 의하여 수행되었습니다.

接受日字:2002年1月30日, 수정완료일:2003年1月3日

I. 서 론

LCD(liquid crystal display) 모니터 기술이 하루가 다르게 급속히 변하고 있다. 이같은 기술의 변화에 따라 다양한 형태의 LCD 제품이 선보이고 있다. TFT(Thin Film Transistor)-LCD는 액정 기술과 반도체 기술이 복합된 기술 집약적 품목으로 경박 단소화가 가능하며 고화질 및 저소비 전력 제품으로 앞으로 CRT(cathode ray tube)를 대체할 수 있는 응용 범위가 무한한 첨단 제품이다. 또한, 상용화된 능동 행렬 TFT-LCD는 해상도, 콘트라스트(contrast), 색재현성, 응답속도 등에서 기존의 CRT에 필적하는 특성을 보이며 이미 20" 급 이하에서는 CRT를 빠르게 대체해 가고 있고, 이것에 부응하여 현재 대면적 고화질 TFT-LCD를 위한 연구 개발이 활발하게 이루어지고 있다.

TFT-LCD는 고정세화, 고개구율화, 대면적화, 고기능성화 등의 요구가 급속히 증대되고 있기 때문에 차세대 고성능 제품 개발이 지속적으로 진행되고 있으며, 그동안 노트북 PC에 많이 적용되어 왔으나 그 활용 범위가 크게 다양화하고 있는 추세이다. 한편 노트북 PC에 사용되는 TFT-LCD 모니터는 초기에 A4 정도의 크기에 640×480 정도의 해상도를 갖추었으나 최근에는 대면적 고성능 노트북 PC의 수요가 증가하고, 일반 PC의 고급화로 인하여 20인치 이상으로 대폭 확대되고 있다. 이같이 TFT-LCD의 대형화 추세가 급진전함에 따라 CRT 화면과의 크기 격차가 크게 해소되고 있다.

그러나, TFT-LCD 모니터는 대면적화될수록 TFT-LCD의 전기적 특성인 플리커(flicker)^[1]나 크로스톡(cross-talk) 등의 문제점들이 대두되어 이를 해결하기 위한 체계적이고 정확한 연구가 필요하다. 또한, 이러한 대면적 고화질 TFT-LCD를 구현하기 위한 방법으로 기존의 비정질 실리콘(a-Si:H) TFT 대신 전자 이동도(mobility)가 뛰어난 저온 공정의 다결정 실리콘(poly-Si) TFT를 사용하는 것에 대한 연구가 국내외에서 활발히 진행되고 있다. 다결정 실리콘인 경우 비정질 실리콘에 비해 높은 이동도에 의한 빠른 충전 시간에 비해 오프 전류가 커지는 단점을 가지고 있어 구동 회로 설계시 정확한 오프 전류 제어가 중요하며 이의 해결이 필수적이다.

이러한 TFT의 전기적 특성들을 분석하여 대면적, 고품질 TFT-LCD를 개발하기 위해서 본 연구팀에서 직접 제작한 비정질 및 다결정 실리콘 TFT 소자들의 전이(transfer) 특성과 출력(output) 특성을 모델링하였으며, TFT-LCD 어레이의 플리커 특성 시뮬레이션을 위해 GUI(Graphic User Interface) 방식으로 회로 구성이 용이한 상용 회로 시뮬레이터인 PSpice^[2]에 비정질 및 다결정 실리콘 TFT 소자 모델을 이식하였다. 40" 대면적 UXGA TFT-LCD 어레이(array) 등가 회로에서의 플리커 현상을 분석하기 위하여 TFT-LCD 어레이의 RC 지연을 고려하여 플리커를 전기적인 양으로 정량화하였으며 4가지 각기 다른 소자 특성을 갖는 어레이에 적용하였다.

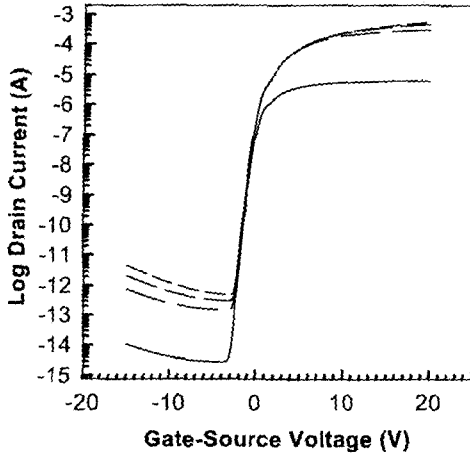
본 논문에서는 라인 RC 지연, 누설 전류, 킥백(kickback) 전압, 충전 시간이 플리커에 기여하는 효과를 각기 다른 소자 특성을 갖는 비정질 실리콘 TFT^[3]와 SMC(silicide mediated crystallization)^[4], ELA(excimer laser annealed)^[5] 및 LBT(counter-doped lateral body terminal)^[6] 다결정 실리콘 TFT 어레이에 대해 플리커를 정량화 비교 분석하였다.

II. 비정질 및 다결정 실리콘 TFT-LCD 어레이의 플리커 모델링

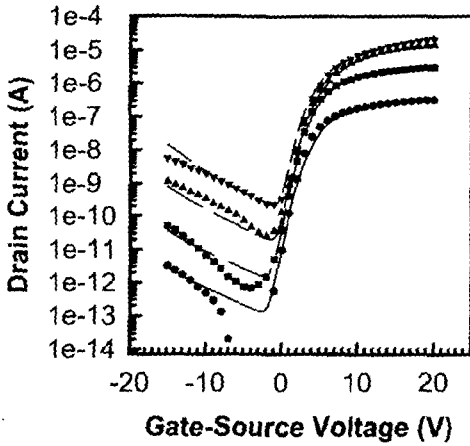
1. 비정질 실리콘 및 다결정 실리콘 TFT 소자들의 Spice 해석 모델

시뮬레이션 결과의 정확성은 해석 모델의 적정성과 이들 모델에서 사용하는 입력 변수 설정의 정확성에 의존한다. 본 연구에서는 M. Shur 그룹에서 제안한 AIM Spice의 다결정 실리콘 TFT 모델 및 비정질 실리콘 TFT 모델^[7]을 사용하였으며, 다결정 실리콘 TFT 모델인 경우, 문턱 이하(sub-threshold) 전류, 문턱 이상(above-threshold) 전류 성분 및 누설(leakage) 전류와 포화 영역에서의 킥(kink) 전류 성분을 고려하고 있다. 이 모델들에서 전류 성분을 기술하는 방정식들의 입력 변수간 상호 의존성을 면밀히 분석 고려하고 다결정 실리콘 TFT의 전류-전압($I_{ds}-V_{gs}$ 전이 특성 및 $I_{ds}-V_{ds}$ 출력 특성) 실험 데이터로부터 체계적이고 최적화된 입력 변수 추출 방법을 개발 적용하였다. TFT-LCD 어레이 등가 회로를 구성하기 위하여 회로 구성이 쉬운 GUI 방식의 PSpice^[2]를 사용하였으며,

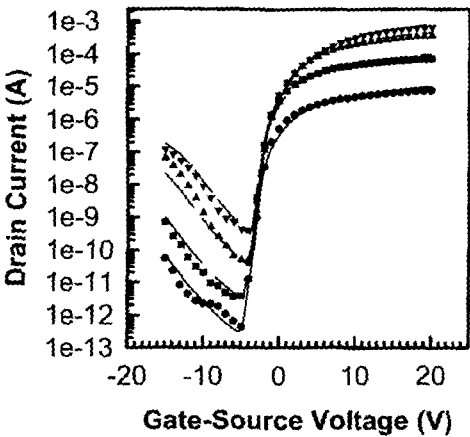
PSpice에 우리가 제안한 파라미터 입력 변수 추출법을 적용한 비정질 및 다결정 실리콘 TFT 소자 모델을 이식하였다⁶⁾.



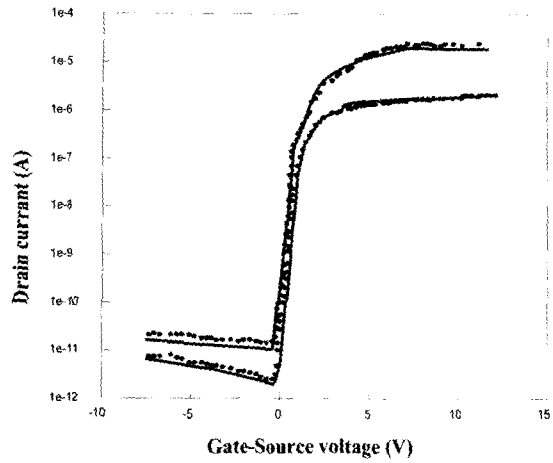
(a) a-Si:H TFT



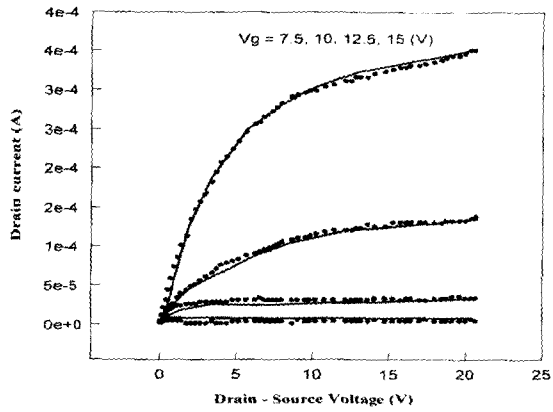
(b) SMC poly-Si TFT



(c) ELA poly-Si TFT



(d) The transfer data of LBT poly-Si TFT



(e) The output data of LBT poly-Si TFT

그림 1. 비정질 및 다결정 실리콘 TFT 소자들의 전류-전압 특성 모델링 결과 (기호는 실험 결과이며 실선 및 파선은 PSpice에서의 시뮬레이션 결과이다.)

Fig. 1. Fitting Results to the experimental I-V data of (a) a-Si:H TFT (b) the SMC poly-Si TFT (c) ELA poly-Si TFT (d) the transfer data of LBT poly-Si TFT and (e) the output data of LBT poly-Si TFT. (Various dots are for experimental data and the solid lines represent the simulation results in the PSpice.)

<그림 1(a)~1(e)>는 이식된 소자 모델의 정확성을 보이기 위하여 개발 적용한 추출법을 사용해 얻은 입력 변수들을 사용해 계산된 I_d-V_{GS} 전이 특성 곡선 및 I_d-V_{DS} 출력 특성 곡선을 측정된 실험 데이터^{3,6)}와 비교한 그림이다. 비정질 실리콘 TFT, ELA 다결정 실리콘 TFT(ELA TFT), SMC 다결정 실리콘 TFT(SMC TFT) 및 LBT 다결정 실리콘 TFT(LBT TFT)는 상

당히 다른 전류-전압 특성을 가지고 있으나, 네 경우 모두 본 연구팀이 개발한 변수 추출법에 의한 일치(fitting) 특성이 매우 우수함을 확인하였다. 일치 특성 모델링 부분에 대한 자세한 내용은 본 연구팀에서 발표한 참고 문헌 [8]을 참조하기 바란다.

2. 40" UXGA TFT-LCD 어레이의 RC 지연 모델링
일반적인 TFT-LCD 어레이에서의 단위 화소 구조를 갖는 40인치 1200×1600 화소(pixel)를 갖는 UXGA TFT-LCD 어레이를 시뮬레이션하기 위한 RC 지연 변수 값을 아래와 같이 결정하였다. 결정된 RC 지연 값과 T3 라인 등가회로^[10,11]를 이용하여 RC 지연을 고려한 단위 화소 시뮬레이션 등가 회로를 <그림 2>와 같이 구성하였다. 게이트 라인과 데이터 라인의 재료는 알루미늄(Al)을 사용하였으며, 어레이 등가회로에 사용된 단위 화소 TFT 구조들은 참고 문헌^[9]의 간단한 구

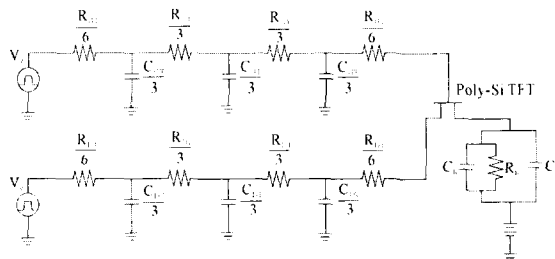


그림 2. RC 라인 지연이 고려된 단위 화소 등가 회로
Fig. 2. Equivalent circuit for gate and data lines and a pixel for the simulation of the RC line delay.

표 1. <그림 2>에서 보인 40인치 UXGA TFT-LCD의 플리커 시뮬레이션 등가 회로에 사용된 RC 지연 변수값

Table 1. The values of capacitances and resistances in the equivalent RC delay circuits for 40" UXGA TFT-LCD array as shown in the Fig. 2.

RC 변수값	a-Si:H TFT	Poly-Si TFT
C_{st}	0.33 pF	0.38 pF
C_{lc}	0.70 pF	0.70 pF
R_{lc}	0.799 TΩ	0.799 TΩ
C_{GT}	243.61 pF	125.9 pF
R_{GT}	5.333 kΩ	5.333 kΩ
C_{DT}	74.26 pF	55.5 pF
R_{DT}	4.0 kΩ	4.0 kΩ

조에 대해 계산되었다. 계산된 RC 지연 값들을 정리하여 <표 1>에 나타내었다.

RC 라인 지연이 고려된 등가회로를 구성하고, 구동 파형은 60Hz를 기본 주파수로 하고 해상도는 40" UXGA 1600×1200 화소를 고려하였다. 게이트 라인의 선택 시간은 $\frac{1}{60} \times \frac{1}{1200} \approx 13.9\mu s$ 이고 데이터 신호는 양의 신호와 음의 신호를 번갈아 가며 인가하였다. <그림 3>은 40" UXGA TFT-LCD에 인가된 화소 전압 파형과 게이트 전압 파형을 보여주고 있다.

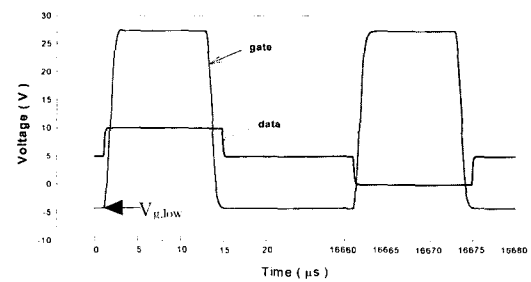


그림 3. 40" UXGA TFT-LCD 어레이를 고려한 픽셀에 인가된 게이트 및 데이터 전압 파형
Fig. 3. The applied voltage waveforms to the gate and data lines of a pixel considering the RC line delay for the 40" UXGA TFT-LCD array.

3. TFT-LCD에서의 플리커 정량화^[12]

시간 변화에 따른 화소 전압 파형에 대해 푸리에(Fourier) 변환을 통해 플리커를 유발시키는 반 프레임(half frame) 주파수 성분을 구할 수 있다. 실시간 주기 함수, $f(t) = f(t + T)$ 의 푸리에 변환적분은 아래와 같다.

$$F(w) = \int_{-\infty}^{\infty} f(t) \cdot e^{-j\omega t} dt \quad (1)$$

실제 계산되어 지는 함수 $f(t)$ 는 연속적인 함수가 아닌 불연속적인 데이터 주기 함수이므로, 원하는 주파수 $f(w = 2\pi f, w_0 = 2\pi/T)$ 성분을 계산하기 위해 다음 아래의 식을 사용한다($F(w) = F(w + w_0)$).

$$F(w) = \sum_{k=-\infty}^{\infty} f(k\Delta t) \cdot e^{-j\omega k\Delta t} \cdot \Delta t \quad (2)$$

비선택 시간 내에 액정에 인가된 전압과 TFT 및 액정 유지 특성에 기인하는 인가전압 파형의 비대칭성에 대해 생각하면, TFT가 기수주기와 우수주기에서 실효

적인 특성이 다르다는 것을 고려하여야 한다. 기수주기에서는 드레인 전류가 화소 정전 용량을 충전하는 방향으로 흐르고, 우수주기에서는 드레인 전류가 방전하는 방향으로 흐른다는 점에서 기수주기가 우수 주기보다 보호 유지 특성이 양호하다고 할 수 있다. 그러나, 액정 응답은 인가 전압 극성과는 무관하므로 인가 전압 데이터의 절대치를 사용하여야 한다.

시간 변화에 따른 화소 전압 파형에 대해 푸리에(Fourier) 변환을 통해 플리커를 유발시키는 반 프레임(half frame) 주파수 성분을 구할 수 있다. 액정 응답은 인가 전압 극성과는 무관하므로 인가 전압 데이터의 절대치를 사용하여 각 기수 및 우수 주기에 대한 평균 전압에 대해 푸리에 변환을 통해 직류 성분 크기 F_0 (직류성분)와 30Hz 성분(F_{30}), 60Hz 성분(F_{60}) 등을 각각 구할 수 있다. 이때 광학 응답에서 플리커가 되는 것으로 예상되는 F_{30} (반 프레임 주파수 성분)에 대한 F_0 (직류 성분)의 비를 플리커의 전기적 정량화 지표(Flicker)로 아래와 같이 정의하였다.

$$Flicker = 20 \log_{10} \left(\frac{30\text{Hz 성분크기}}{dc \text{ 성분크기}} \right) = 20 \log_{10} \left(\frac{F_{30}}{F_0} \right) [\text{dB}] \quad (3)$$

식 (3)은 반 프레임 주파수인 30[Hz] 성분 크기 대 직류(0[Hz]) 성분 크기에 대한 비로 플리커를 유발하는 성분의 정도를 나타내는 지표로 사용할 수 있다. 이러한 유효 절대 전압에 대한 주파수 특성 비는 플리커라는 광학적 특성을 전기적 특성으로 변환할 수 있는 좋은 지표가 된다.

<그림 4>에 ELA 다결정 실리콘 TFT-LCD에 인가된 데이터 전압 파형을 푸리에 변환하여 얻은 주파수

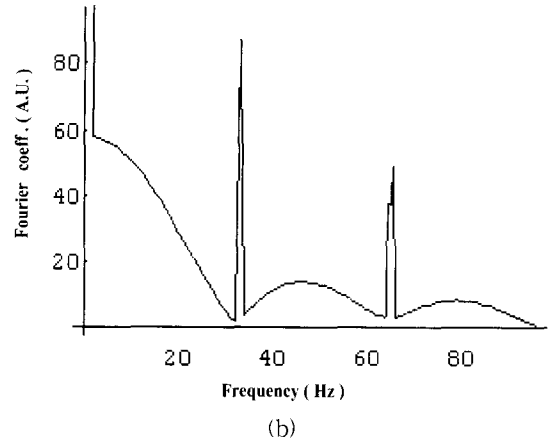
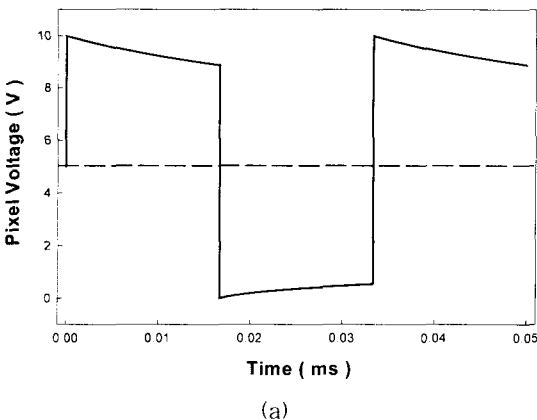


그림 4. 40" UXGA TFT-LCD에서 (a) 인가 데이터 전압 파형에 대한 (b) 푸리에 변환 주파수 성분

Fig. 4. Fourier transformation for ELA poly-Si TFTs of (a) the applied data voltage waveform in the time domain to (b) its frequency spectrum in the frequency domain.

성분들을 나타내었다. <그림 4>에서 보는 바와 같이 DC(0[Hz]) 성분 및 반 프레임 주기(30[Hz] 성분 주기), 전 프레임 주기(60 [Hz] 성분 주기)마다 플리커를 유발하는 것으로 예상되는 주파수 성분을 얻을 수 있었으며, 이들의 차이를 극명하게 나타내고 있다.

III. 플리커 시뮬레이션 결과 및 분석

위에서 언급한 대로 RC 지연을 고려한 단위 화소를 시뮬레이션하기 위한 등가 회로 파라미터들은 40" UXGA를 기준으로 게이트 및 라인 지연을 고려하여 참고 문헌^[9]에서의 간단한 방식으로 계산하였으며, <표 1>에 정리하였다.

시뮬레이션 초기에 플리커의 원인은 픽셀에 인가되는 데이터 전압(DC 전압)에 대한 픽셀 전압의 비로 생각하였는데, 이것에 기여하는 성분들은 충전 시간(charging time), 킥백 전압(kickback voltage), 누설 전류에 기인한 전압 유지비(voltage holding ratio)를 생각할 수 있었다. 그러나, <그림 5>에서 보인 바와 같이 ELA poly-Si TFT의 픽셀 전압 파형 $V_p(t)$ 는 전압 V_{com} (파선)을 중심으로 비대칭적인 평균 전압 파형을 보여주고 있는데, 이는 TFT-LCD 어레이에 인가되는 비대칭적 반주기 평균 전압 $|V_p(t) - V_{com}|$ 이 플리커에 영향을 끼치게 됨을 보여주고 있다. $V_p(t) > V_{com}$ 인 반

주기(양의 반주기)와 $V_g(t) < V_{com}$ 인 반주기(음의 반주기)의 비대칭적인 평균 전압은 플리커에 큰 영향을 미치는데, 초기에 생각한 누설전류와 킥백 전압, 충전시간, 그리고 평균 전압의 비대칭 성이 플리커를 유발시키는 요인들임을 확인할 수 있었다.

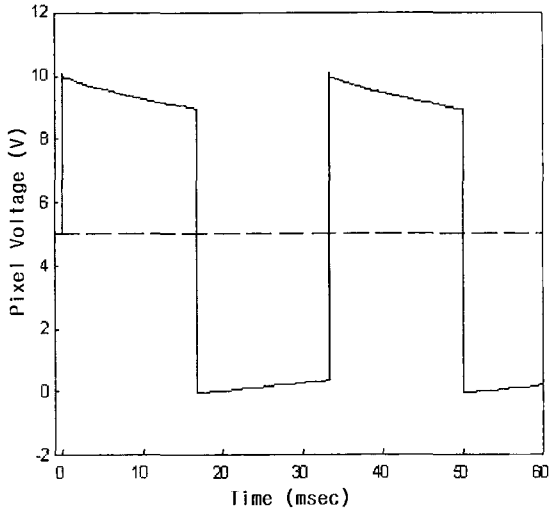
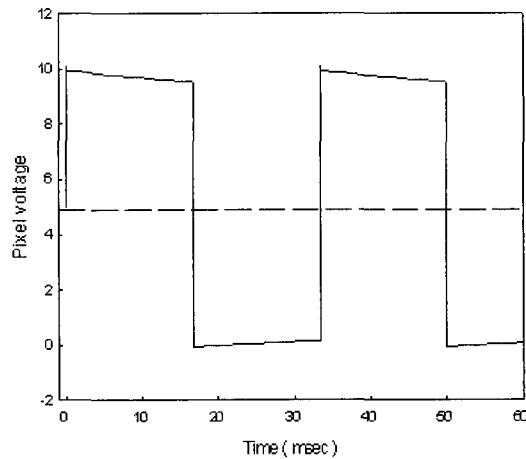
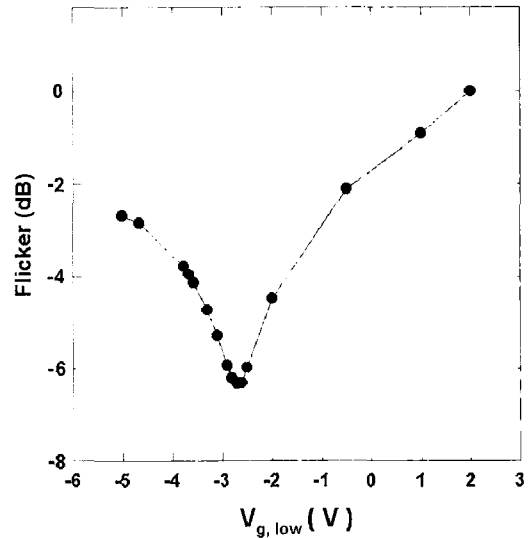


그림 5. ELA 다결정 실리콘 TFT에서의 픽셀 전압 파형
 Fig. 5. The simulated pixel voltage waveform for ELA poly-Si TFT array.

이러한 플리커를 유발하는 원인들이 각기 다른 소자 특성을 갖는 TFT 소자들에서 어느 정도 영향을 끼치는 지를 알아보기 위하여, 비정질 실리콘(a-Si:H TFT) 및 3가지의 다른 다결정 실리콘 TFT 소자들(SMC, ELA 및 LBT poly-TFT)에 대하여 40인치 UXGA TFT-LCD에서의 RC 지연을 고려하여 플리커 시뮬레이션을 수행하였다. 이들 플리커 시뮬레이션에 대한 결과를 <표 2>에 플리커 관련 지표와 플리커 값들을 동시에 요약하여 나타내었다. <표 2>에서 모든 실험 조건(항목)들은 플리커의 원인들이 얼마나 플리커에 영향을 끼치는 지를 각 소자들에 대해 동일 조건에서 비교해 보기 위해서 설정되었다.

특히, 다결정 실리콘 TFT인 경우에 <그림 1(b)~1(d)>에 보인 바와 같이 시뮬레이션에 사용한 다결정 실리콘 TFT는 누설전류가 상당히 크고 V_{BS} 값에 상당히 의존¹⁾하므로 플리커는 게이트 전압의 선택에 크게 좌우된다. 플리커는 <그림 3>에서 보인 바와 같이 최소 게이트 전압 $V_{g,low}$ 값에 민감하게 반응하며, ELA

인 경우에 $V_{g,low} = -2.7$ V일 때, 그리고 SMC의 경우에는 0.6 V, LBT 인 경우에는 2.1 V일 때 최소 값의 플리커를 나타내었다. 플리커가 최소가 되는 최적화된 $V_{g,low}$ 를 사용하여 다결정 실리콘의 플리커를 계산하였으며, 위에서 언급한 파형의 특징들을 ELA 인 경우에 대해선 <그림 6(a)>에 LBT인 경우에는 <그림 6(b)>에 나타내었다. <그림 6>에 나타난 $V_{g,low}$ 값 변화에 따른 플리커 값은 RC 지연을 고려하지 않은 단위 화소 등가 모델²⁾을 이용하여 계산된 플리커 값들을 나타낸 것이며, 최소 플리커 값을 나타내는 $V_{g,low}$ 값을 최적 값으로 결정하였다.



$V_{g,low} = -2.7$ V (optimum)
 (a)

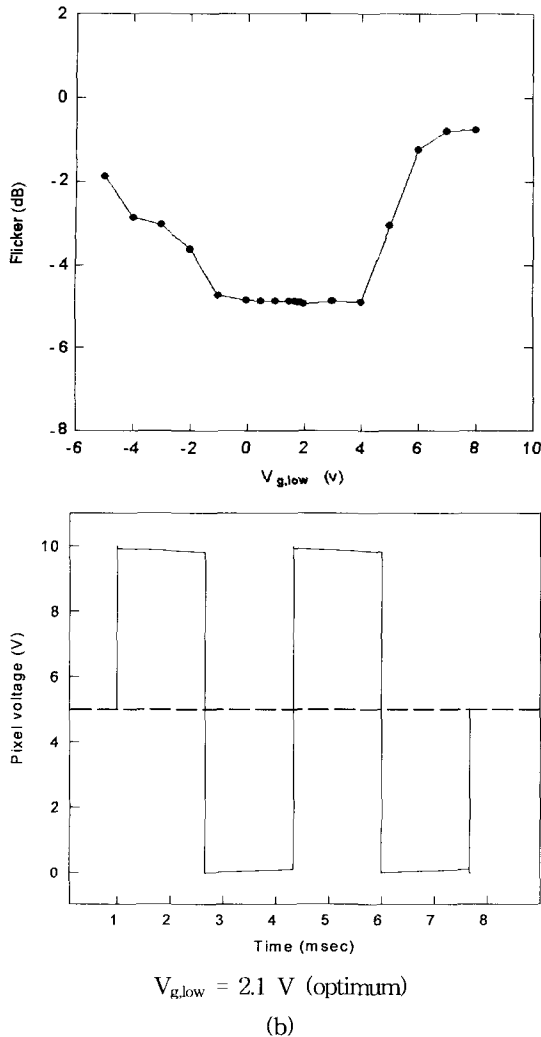


그림 6. 플리커를 최소화 하기 위한 낮은 레벨 게이트 전압 $V_{g,low}$ 의 선택 (a) ELA인 경우 $V_{g,low} = -2.7$ V일 때 최적이며, 그때의 데이터 전압 파형 (b) LBT인 경우 $V_{g,low} = 2.1$ V일 때 최적이며, 그때의 데이터 전압 파형

Fig. 6. Selection of the low-level gate voltage $V_{g,low}$ in order to minimize the flicker in (a) the ELA poly-Si TFT, and its data waveforms at the optimized $V_{g,low} = -2.7$ V, and (b) the LBT poly-Si TFT and its data waveform at the optimized $V_{g,low} = 2.1$ V

<표 2>에서 각기 다른 소자에서의 충전시간 및 킥백 전압 값들을 나타내었으며, 전압유지비(%)는 <그림 5>에서 보인바와 같이 비대칭적인 반주기 특성 때문에 양의 반주기와 음의 반주기에 대해 계산된 플리커 값을 동시에 나타내었다. 비대칭성이 가장 적은 것은 비정질 실리콘 TFT 및 오프 상태의 누설 전류 특성이

표 2. TFT-LCD에서의 플리커 값과 관련 지표값

Table 2. The evaluation values related to the flicker phenomena in our simulation results.

Flicker 관련 지표	TFT 소자	Poly-Si TFTs		
	a-Si:H TFT	SMC	ELA	LBT
Charging time (μ s)	1.9	0.9	0.5	1.2
Kickback Voltage (mV)	80	50	0.2	28
Voltage holding ration (%) (양의 반주기/음의 반주기)	97/96	90/95	77/88	94/95
Flicker (dB)	-89.90	-69.92	60.58	-81.30
Flicker (dB) (누설 전류가 없을 때)	-94.44	-103.6	120.38	-98.78
Flicker (dB) (누설 전류와 킥백이 없을 때)	-100.2	-105.36	-124.12	-110.94

좋은 LBT poly-Si TFT인 것을 알 수 있으며, <그림 1>에서 보인 TFT 소자 특성에서 예측할 수 있었듯이 오프 상태의 누설 전류 특성이 개선되면 플리커를 야기하는 비대칭적 반주기 평균 전압이 대칭성을 갖게되어 플리커를 줄일 수 있는 한 요인임을 확인할 수 있었다. 데시벨(dB)로 나타난 플리커 값은 위에서 언급한 식 (3)에 의해 계산된 플리커 값들을 보여주고 있다. 누설 전류가 없다고 가정한 경우에 대한 플리커는 즉, 모의 실험에서는 킥백 전압만큼 떨어진 이후의 시간에 따른 파형 전압이 나머지 반주기 동안 그대로 유지하도록 인위적으로 값을 일정하게 한 후에 그 파형을 가지고 푸리에 변환 후 식 (3)에 의해 각 소자에 대해 계산된 플리커 값들을 나타내었다. 즉, 이 경우는 충전 시간과 킥백 전압만이 플리커에 영향을 끼치도록 한 플리커 값이 된다. 동시에 킥백 전압은 영의 값을 갖고, 위에서 언급한 바와 같이 누설 전류가 없다고 가정한 경우 즉, 충전 시간만이 플리커에 영향을 끼치도록 한 경우에 대해서도 플리커 값에 대해서도 계산하여 나타내었다.

<표 2>에 나타나 있듯이 충전시간은 이동도가 큰 ELA가 짧고, 킥백 전압 역시 ELA가 양호한 특성을 보여주고 있다. 하지만, 플리커는 비정질 실리콘이 가장 좋고, LBT, SMC, ELA 순의 수치를 보여주고 있는데, 이는 누설 전류에 따른 전압 유지 시간이 충전 시간이나 킥백 전압 보다 플리커에 긴 반주기 프레임 시간 동안 더 큰 영향을 미치기 때문으로 사료되며, 전압 유지비 특성과 일치함을 확인할 수 있었다.

좀 더 정확한 기여 정도를 확인하기 위하여 충전시간과 키펙 전압, 누설 전류가 플리커에 기여하는 정도를 다음과 같이 알아 보았다. 먼저 일단 키펙이 일어난 후의 픽셀 전압 $V_p(t)$ 값이 일정하도록 파형을 수정한 후에 플리커 값을 계산하였다. <표 2>의 5번째 플리커 항목에서 보듯이 이때의 플리커 값은 키펙 전압이 낮은 ELA가 가장 우수한 특성을 보임을 알 수 있으며, 대체적으로 다결정 실리콘 TFT들이 비정질 실리콘에 비해 플리커 특성이 우수하게 나타났다. 주목할만한 점은, 모든 경우에 있어 누설전류가 없도록 하면 즉, 충분한 저장 정전용량(storage capacitance)을 갖도록 설계한다면 다결정 실리콘 TFT들이 경우에 플리커를 상당히 줄일 수 있음을 시사하고 있다. 이는 플리커가 최소화되도록 선택된 $V_{g, low}$ 값에서는, <표 2>의 전압 유지비(voltage holding ratio)에서 보듯이, 음의 반주기에서 누설전류가 커져서 키펙에 의한 비대칭성을 상쇄하기 때문이다. <표 2>의 6번째 플리커 항목과 4번째 플리커 항목과의 값 비교에서 보는 바와 같이 누설전류와 키펙 전압이 둘 다 없도록 픽셀 전압 $V_p(t)$ 파형을 수정하여 플리커 값들을 계산한 경우 모든 소자들에 있어 플리커 값들이 4번 플리커 항목 값에 비해 모두 급격히 떨어짐을 알 수 있다. 또한, <표 2>의 5번과 6번 플리커 항목의 값들을 비교해 보면 플리커 값 변화가 크지 않음을 나타내고 있다. 이로서 단위 화소가 충분히 충전이 되기만 하면 충전시간이 플리커에 기여하는 양은 긴 반 프레임 시간에 비해 매우 작다는 것을 알 수 있다.

결론적으로 $|V_p(t) - V_{cm}|$ 이 직류 성분으로부터 벗어나는 것이 플리커의 원인이라 할 수 있으므로, 충전시간, 키펙 전압, 그리고 누설 전류에 기인한 비대칭적인 전압 유지 특성이 플리커를 유발하는 주요 정량 지표들임을 확인할 수 있었다. <표 2>는 이것들을 정량화하여 잘 나타내어 주고 있으며, 특히 모의 실험 조건하에서는 다결정 실리콘 TFT인 경우 플리커에 가장 큰 기여를 하는 것은 긴 프레임 시간 동안의 누설 전류에 의한 화소 전압 강하임을 확인할 수 있었다.

IV. 결 론

본 논문에서는 TFT-LCD의 대화면/고화질 추세에 따른 다결정 실리콘 TFT-LCD의 플리커 특성을 정량

화하고, 비정질 실리콘(a-Si:H) TFT-LCD 어레이와 ELA, SMC 및 LBT 방법으로 제작된 다결정 실리콘 TFT-LCD 어레이에서의 플리커 현상을 비교 분석하였다. 플리커의 정량화 지표는 충전 시간, 기생 정전 용량에 의한 키펙 전압, 누설 전류 영향에 의한 전압 유지비로 나타내었으며, 이 요인 중 긴 시간 동안 전압 유지비 특성에 영향을 끼치는 누설 전류가 가장 큰 원인으로 분석되었다. 따라서 비정질 실리콘에 비해 오프 전류가 큰 다결정 실리콘 TFT인 경우에 있어서 플리커를 최소화하기 위해서는 게이트 전압의 낮은 레벨 전압 설정이 TFT 특성에 따라 결정되어야 플리커 현상을 최소화할 수 있음을 보였으며, ELA에 비해 오프 상태의 누설 전류 특성이 좋은 LBT가 플리커에 대해 더 좋은 특성을 나타냄을 보였다. 또한, 비정질 실리콘 및 ELA, SMC, LBT 방법으로 제조된 다결정 실리콘 TFT에 대해서 언급된 플리커의 원인들이 플리커에 어떻게 영향을 미치는 지를 정량적으로 분석 비교하였다. 비교적 간단한 T3 RC 지연 모델을 사용하여, GUI 방식의 PSpice 상용 툴을 사용한 본 연구의 결과는 기존의 정확한 모델을 사용하는 플리커 정량화 모델에 비해 계산 시간을 단축하면서도 각 소자 특성이 플리커에 어떻게 영향을 끼치는 지를 정량화 분석해 볼 수 있는 장점을 갖는다고 사료된다. T3 RC 지연 등가회로에 들어가는 RC 값들이 TFT-LCD 어레이에서의 측정 값으로 대체된다면 더 정확한 플리커 값을 계산할 수 있을 것으로 기대되므로, 본 논문의 결과는 각 회사에서 제작되는 TFT-LCD의 플리커 현상을 정량화 분석하는데 큰 도움이 될 것으로 기대된다.

참 고 문 헌

- [1] Kyoung Moon Lim, Ho Cheol Kang, and Man Young Sung, "A study on the poly-Si TFT and novel pixel structure for low flicker," *Microelectronics Journal*, vol. 31, pp.641-646, 2000.
- [2] *PSpice Online Help*, Version 6.3 and 7.1.
- [3] a-Si:H TFT 소자 특성 실험 데이터는 경희대 물리학과 장진 교수 연구실에서 제작 측정된 데이터를 이용하였음.(2000)
- [4] W.K. Kwak, B.R. Cho, S.Y. Yoon, S.J. Park,

- and J. Jang, "A high performance thin-film transistor using a low temperature poly-Si by silicide mediated crystallization," *IEEE Electron Device Lett.*, vol. 21, pp. 107~109, 2000.
- [5] ELA poly-Si TFT 자 특성 실험 데이터는 경희대 물리학과 장진 교수 연구실에서 제작 측정된 데이터를 이용하였음.(2000)
- [6] J. S. Yoo, C. H. Kim, M. C. Lee, M. K. Han and H. J. Kim, "Reliability of Low Temperature Poly-Si TFT employing Counter-doped Lateral Body Terminal," *IEEE IEDM '00 Tech Digest*, pp. 217~220, 2000.
- [7] M. Shur 외, *AIM-Spice Ver. 3.5b Online Help*, 2000.
- [8] 손명식, 류재일, 심성용, 유건호, 장진, "SPICE를 사용한 다결정 실리콘 TFT-LCD 화소의 전기적 특성 시뮬레이션 방법의 체계화," *대한전자공학회 논문지* SD편, 제 38권, 제12호, pp. 25 ~35, 2001년 12월
- [9] 송민수, *TFT-LCD의 전기적 특성에 관한 전산 모사 연구*, 경희대학교 물리학과 석사학위 논문, 2002년 2월
- [10] Takayasu Sakurai, "Approximation of Wiring Delay in MOSFET LSI," *IEEE Journal OF Solid-State Circuits*, Vol. SC-18, No. 4, pp. 418 ~426, 1983.
- [11] J.I. Ryu, K.N. Kim, K.H. Yoo, B.S. Bae and J. Jang, "Proposal on the Kickback Voltage Free TFT-LCD for Large-area Application," *Journal of Korean Phys. Society* Vol. 34, Supp. issue 3, s551 ~s554, 1999.
- [12] 최종선 외, *대면적/고화질 TFT-LCD 설계 기술 Simulator에 관한 기술개발, 산자부 및 과기부 선도기술개발사업 보고서*, pp. 71~72, 2001년 9월

 저 자 소 개

孫 明 植(正會員)

1992년 2월 중앙대학교 전자공학과 공학사. 1995년 2월 중앙대학교 전자공학과 공학석사(반도체 공학). 1999년 2월 중앙대학교 전자공학과 공학박사(반도체 공학). 1999년 4월~2001년 3월 세명대학교 전자공학과/컴퓨터 응용과학과 강의교수. 2001년 4월~현재 동국대학교 밀리미터와 신기술 연구센터 연구교수. <주관심분야 : 반도체 공정/소자 모델링 및 시뮬레이션이며, 현재 밀리미터파용 GaAs와 InP 기반의 pHEMT 소자 모델링을 통한 MIMIC 설계를 위한 고풍력/저잡음 pHEMT 능동 소자 라이브러리 구축에 대한 연구를 진행 중이며, sub-0.1 μ m T-게이트 또는 비대칭 Γ -게이트 pHEMT 제작을 위한 E-beam Lithography 공정 시뮬레이터 개발에 관한 연구도 진행중임>

宋 珉 受(正會員)

2000년 2월 경희대학교 물리학과 이학사. 2002년 2월 경희대학교 물리학과 이학석사(반도체 물리학). 2002년 3월~2002년 11월 (주) IDS 연구원. <주관심분야 : 반도체 양자구조의 밴드 구조 및 광학적 성질, 반도체 소자 시뮬레이션>

劉 建 虎(正會員)

1982년 2월 서울대학교 물리학과 이학사. 1984년 2월 서울대학교 대학원 물리학과 이학석사(반도체물리학). 1990년 6월 MIT 물리학과 Ph. D(반도체 물리학). 1990년 6월~1991년 8월 미국 Bellcore MTS. 1991년 9월~현재 경희대학교 물리학과 조교수, 부교수, 교수. <주관심분야 : 반도체 양자구조의 밴드 구조 및 광학적 성질, 반도체 소자 시뮬레이션>

張 震(正會員) 第26卷 第2號 156~173(1999) 參照