

論文2003-40SC-1-3

# 비냉각 적외선 센서 어레이를 위한 CMOS 신호 검출회로

## (A CMOS Readout Circuit for Uncooled Micro-Bolometer Arrays)

吳太煥\*, 曹永載\*, 朴熙遠\*, 李承勳\*

(Tae-Hwan Oh, Young-Jae Cho, Hee-Won Park, and Seung-Hoon Lee)

### 요 약

본 논문에서는 기존의 방법과는 달리 4 단계의 보정 기법을 적용하여 미세한 적외선 (infrared : IR) 신호를 검출해내는 비냉각 적외선 센서 어레이를 위한 CMOS 신호 검출회로를 제안한다. 제안하는 신호 검출회로는 11 비트의 A/D 변환기 (analog-to digital converter : ADC)와 7 비트의 D/A 변환기 (digital-to-analog converter : DAC), 그리고 자동 이득 조절 회로 (automatic gain control circuit : AGC)로 구성되며, 비냉각 센서 어레이를 동작시키는 DC 바이어스 전류 성분, 화소간의 특성 차이에 의한 변화 성분과 자체 발열 (self-heating)에 의한 변화 성분을 포함하는 적외선 센서 어레이의 출력 신호로부터 미세한 적외선 신호 성분만을 선택적으로 얻어낸다. 제안하는 A/D 변환기에서는 병합 캐패시터 스위칭 (merged-capacitor switching : MCS) 기법을 적용하여 면적 및 전력 소모를 최소화하였으며, D/A 변환기에서는 출력단에 높은 선형성을 가지는 전류 반복기를 사용하여 화소간의 특성 차이에 의한 변화 성분과 자체 발열에 의한 변화 성분을 보정할 수 있도록 하였다. 시제품으로 제작된 신호 검출회로는 1.2  $\mu\text{m}$  double-poly double-metal CMOS 공정을 사용하였으며, 4.5 V 전원전압에서 110 mW의 전력을 소모한다. 제작된 시제품으로부터 측정된 검출회로의 differential nonlinearity (DNL)와 integral nonlinearity (INL)는 A/D 변환기의 경우 11 비트의 해상도에서  $\pm 0.9$  LSB와  $\pm 1.8$  LSB이며, D/A 변환기의 경우 7 비트의 해상도에서  $\pm 0.1$  LSB와  $\pm 0.1$  LSB이다.

### Abstract

This paper proposes a CMOS readout circuit for uncooled micro-bolometer arrays adopting a four-point step calibration technique. The proposed readout circuit employing an 11b analog-to-digital converter (ADC), a 7b digital-to-analog converter (DAC), and an automatic gain control circuit (AGC) extracts minute infrared (IR) signals from the large output signals of uncooled micro-bolometer arrays including DC bias currents, inter-pixel process variations, and self-heating effects. Die area and power consumption of the ADC are minimized with merged-capacitor switching (MCS) technique adopted. The current mirror with high linearity is proposed at the output stage of the DAC to calibrate inter-pixel process variations and self-heating effects. The prototype is fabricated on a double-poly double-metal 1.2  $\mu\text{m}$  CMOS process and the measured power consumption is 110 mW from a 4.5 V supply. The measured differential nonlinearity (DNL) and integral nonlinearity (INL) of the 11b ADC show  $\pm 0.9$  LSB and  $\pm 1.8$  LSB, while the DNL and INL of the 7b DAC show  $\pm 0.1$  LSB and  $\pm 0.1$  LSB.

**Keyword** : bolometer, A/D 변환기, D/A 변환기, ADC, DAC, IR 신호 검출, 적외선 신호 검출

\* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

※ 본 논문은 부분적으로 서강대학교 산업기술연구소의 지원을 받은 결과입니다.

接受日字:2002年1月3日, 수정완료일:2002年12月24日

### I. 서 론

비냉각 적외선 센서 어레이 (uncooled micro-bolometer arrays)를 사용하는 적외선 (infrared : IR) 영상

센서 응용 시스템은 군사용 기기를 위한 야간의 시야 확보, 의료 장비에의 응용 및 산업 분야에서의 결함 검출 등 그 용도가 매우 다양하다<sup>1-7)</sup>.

적외선 신호 감지에 사용되는 마이크로 볼로메터 (micro-bolometer)는 상온에서 동작하는 저항체로 구성되며, 기본 동작원리는 저항체가 적외선 복사에 의해 온도가 변하게 되면, 이에 따라 저항 값이 변하는 현상을 이용하는 것이다. 이러한 볼로메터를 2 차원의 센서 어레이로 구성하고 각 소자에서 감지되는 적외선 신호를 어드레싱 (addressing)하여 처리하면 필요로 하는 2 차원의 적외선 영상신호를 얻을 수 있다. 그러나 센서 어레이로부터의 출력 신호에는 순수한 적외선 신호에 의한 신호 성분 이외에, 저항체를 동작시키기 위해 필요한 바이어스 전류 성분과 저항체의 자체 발열 (self-heating)에 의한 전류 성분이 포함되며, 센서 어레이 제작 시 나타나는 공정변화에 의한 화소간의 특성 차이에 따른 전류 성분이 포함된다. 따라서 영상센서 어레이로부터의 신호 성분들 중에서 미세한 크기의 적외선 신호 성분을 검출하기 위해서는 높은 해상도를 가지는 신호 검출회로가 요구된다.

이러한 적외선 영상센서 응용 시스템을 위한 신호 처리 및 검출장치는 응용 시스템의 사양에 따라 다소 다를 수는 있으나, 대략 내부적으로 10 비트 수준의 정확도 및 해상도와 2~5 MHz 정도의 샘플링 속도를 갖는 A/D 변환기 (analog-to-digital converter : ADC) 및 D/A 변환기 (digital-to-analog converter : DAC) 등의 아날로그/혼성모드 회로, 이득 조절을 위한 증폭기 등 다양한 아날로그 및 디지털 회로 블록을 필요로 한다.

본 논문에서는 이러한 온-칩 (on-chip) A/D 변환기, D/A 변환기 및 자동 이득 조절 회로 (automatic gain control circuit : AGC)로 4 단계의 보정 기법을 적용하여 미세한 적외선 신호를 검출하는 신호 검출회로를 제안한다. 본 논문의 II 장에서는 영상센서 어레이로부터 출력되는 신호에 대한 정량적인 분석과 기존의 신호 검출회로의 장단점 등에 대하여 살펴보고, III 장에서는 제안하는 신호 검출회로의 4 단계의 보정 과정을 통한 신호 검출과정을 요약한다. IV 장에서는 칩으로 구현된 신호 검출회로의 각 블록을 구체적으로 논의하며, V 장에서 시제품의 측정 결과를 요약한 후, VI 장에서 결론을 맺는다.

## II. 기존의 적외선 영상센서 어레이 신호 검출회로

### 1. 적외선 영상센서 어레이의 출력 신호

영상센서 어레이로부터 출력되는 전류 신호는 <그림 1>에서 보이는 바와 같이 볼로메터 저항에 흐르는 DC 바이어스 전류 성분, 공정변화에 의한 전류변화 성분, 자체 발열에 의한 전류변화 성분 및 실제 처리해야 하는 적외선 신호에 의한 전류 성분 등 네 가지 성분으로 구분된다. <그림 1>에 보이는 숫자들은 사용되는 공정에 따라 변화할 수 있는 값이며 여기에서는 본 설계에 사용된 값들로 정리하였다.

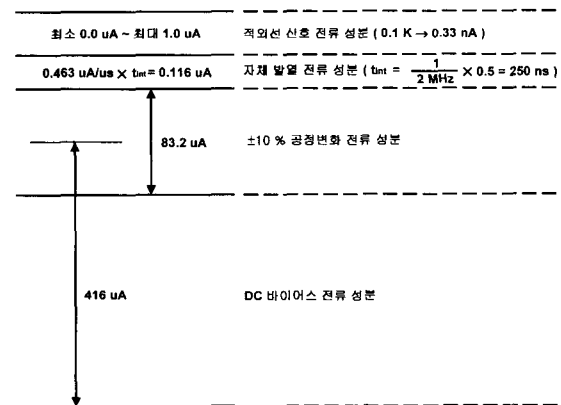


그림 1. 영상센서 어레이의 출력 신호

Fig. 1. Output signals from bolometer arrays.

이러한 전류 성분들 중 첫째, DC 바이어스 전류 성분은 5 V의 전원전압을 사용할 경우, 볼로메터 저항에 전원전압의 1/2 지점이 되는 2.5 V의 바이어스 전압이 인가될 때 흐르는 전류 성분으로 정상 상태에서 416 uA의 전류 값을 가진다. 둘째, 공정변화에 의한 성분은 실제 공정에서 발생하는 각 픽셀 저항 사이의 저항 값의 변화에 의해서 나타나며, 본 설계에서 사용된 공정에서 주어진 사양인 저항 값의 변화를  $\pm 5\%$ 로 고려할 경우는  $\pm 20.8$  uA이나, 2 배의 설계 여유를 고려하여 저항 값의 변화를  $\pm 10\%$ 로 계산하면  $\pm 41.6$  uA의 전류변화 값을 가진다. 셋째, 자체 발열에 의한 성분은 바이어스에 의한 볼로메터 저항의 온도상승에 기인하는 전류 성분으로, 적분기의 적분시간에 비례하며 1 us의 적분시간당 0.463 uA의 전류 신호가 발생한다. 만약

256 × 256 개의 볼로메터 저항셀에서 나오는 전류 신호를 30 Hz의 frame rate으로 신호처리 하는 경우, 식 (1)에서 계산되는 바와 같이 적분시간이 사용 클럭의 반주기 동안인 250 ns로 소요됨을 고려 할 때, 자체 발열에 의한 전류 신호 성분은 0.116 uA와 같다.

$$256 \times 256 \times 30 \text{ Hz} \cong 2 \text{ MHz},$$

$$\frac{1}{2 \text{ MHz}} \times 0.5 = 250 \text{ ns},$$

$$\frac{250 \text{ ns}}{1000 \text{ ns}} \times 0.463 \text{ uA} \cong 0.116 \text{ uA} \quad (1)$$

최종적으로, 적외선 신호에 의한 전류 신호 성분은 볼로메터 저항에 외부로부터 적외선 신호가 인가될 때 저항 값의 변화에 따라 발생하는 신호 성분으로, 실제로 측정하고자 하는 물체의 온도변화 범위를 300 K로 가정할 경우 최대 1 uA 수준의 전류 범위를 가진다. 이때의 온도변화 300 K를 0.1 K 단위로 구분할 경우, 0.1 K당 0.33 nA에 해당하는 미세 전류 성분을 가진다.

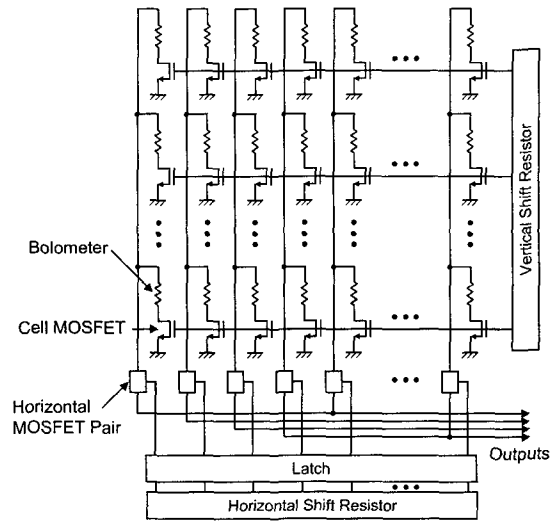
따라서, <그림 1>에서 보는 바와 같이 적외선 신호 성분에 의한 온도변화에 따르는 전류의 변화량이 전체 출력 전류에서 차지하는 비율은 대단히 적은 반면, 공정변화에 의한 볼로메터 화소간의 특성차이는 적외선 신호에 의한 전류변화량의 100 배 이상의 크기로 존재한다. 예를 들면, 5 kΩ의 볼로메터 저항 화소 하나에서 적외선 신호에 의한 저항의 변화는 1~2 Ω 수준이지만 공정에 따라 5 %의 변화를 가정하면 각 셀은 250 Ω 이내에서 서로 다른 저항 값을 갖게된다. 따라서, 직접적으로 신호를 처리 할 경우, 1 : 250, 즉 8 비트 이상의 추가 정보량이 필요하여 A/D 변환기 사용 시 불필요한 해상도가 추가로 요구되는 등 칩 비용이 증가하게 된다.

뿐만 아니라, 주변 온도의 변화량도 소자의 저항 값에 직접적으로 영향을 미치게 되어 볼로메터의 출력 전류를 변화시키므로, 이들 오차 성분으로 인한 추가적인 정보량이 요구되어 하드웨어 및 소프트웨어의 비용을 상승시킨다. 따라서, 이러한 여러 가지 오차 성분이 포함된 출력 전류로부터 적외선 신호에 의한 미세한 전류 변화량을 검출하기 위하여, 고해상도 A/D 변환기를 포함한 여러 가지 다양한 인터페이스 회로들이 제안되었다<sup>[3-10]</sup>.

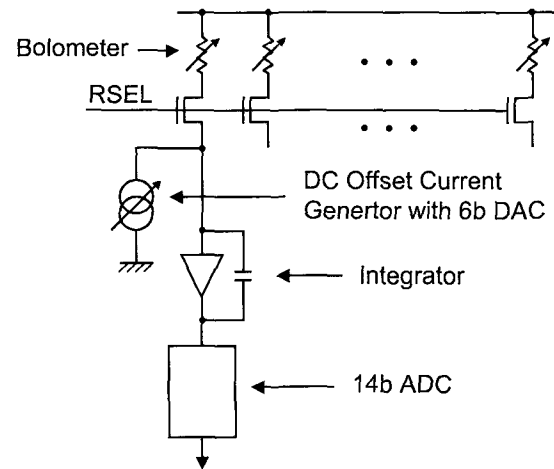
2. 기존의 신호 검출회로

기존의 NEC 사에서 제작한 볼로메터 어레이 신호 검출회로는 <그림 2(a)>에서 보이는 바와 같이 각 화

소를 선택하기 위한 최소한의 스위치와 어드레싱 회로로만 구성되어 미세한 신호의 변화를 모두 칩 외부에서 처리해야 하므로 잡음 성분에 매우 민감하고 낮은 해상도를 갖는다<sup>[3]</sup>.



(a)



(b)

그림 2. 기존의 적외선 신호 검출회로 :  
(a) NEC Corporation 및 (b) Loral, Inc  
Fig. 2. Conventional IR signal readout circuits of  
(a) NEC Corporation and (b) Loral, Inc.

또한 <그림 2(b)>에 나타난 Loral 사의 볼로메터 어레이 신호 검출회로의 경우, 6 비트 D/A 변환기를 사용하여 각 화소의 출력 전류로부터 주된 바이어스 전류 성분을 14 비트 A/D 변환기를 통해 측정하여 미리 메모리에 디지털로 저장한 값을 사용하여 동작에 필요

한 DC 바이어스 성분을 제거한 후, 다시 14 비트 A/D 변환기를 사용하여 잔류 신호를 처리한다. 그러나, 이 경우 14 비트 A/D 변환기에서 실제 영상신호 처리에 요구되는 해상도는 8 비트 수준이며 나머지 6 비트는 D/A 변환기를 사용하여 제거하지 못한 잔류 전류 처리에 할당되어 하드웨어 및 잡음처리 측면에서 매우 비효율적이다<sup>[4]</sup>.

### III. 제안하는 적외선 영상센서 어레이 신호 검출기법

#### 1. 제안하는 적외선 신호 검출회로 전체 구성

본 논문에서 제안하는 적외선 신호 검출회로는 <그림 3>에서 보는 바와 같이 적외선 신호를 받아들여 원하는 영상신호를 전류로 출력하는 BOLCHIP과 이러한 신호 성분 중 불필요한 성분은 보정하고 필요로 하는 영상신호만을 검출해내는 SIGCHIP의 두 부분으로 구성된다. 신호 검출회로의 각 블록은 2 MHz 수준의 실제 필요한 동작 속도에서 설계 여유를 고려하여 5 MHz의 클럭 주파수에서도 적절히 동작할 수 있도록 설계되었다.

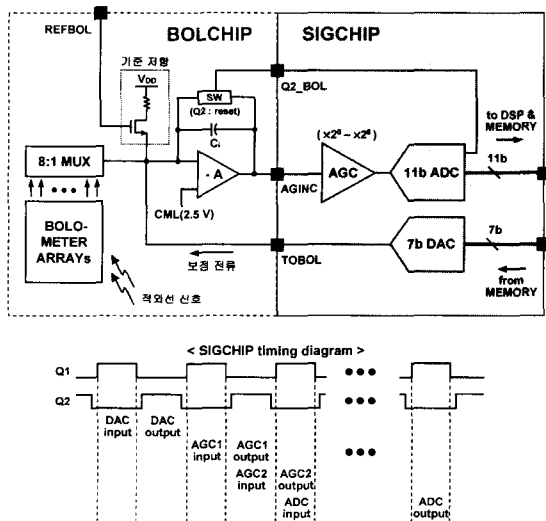


그림 3. 제안하는 적외선 신호 검출회로  
Fig. 3. Proposed IR signal readout circuit.

우선 BOLCHIP은 적외선 신호에 따른 전류 신호를 만들어 내는 256 × 256 개의 저항열로 구성된 볼로메터 어레이와 8 개의 행 (column)에서 동시에 출력되는

신호를 순차적으로 출력하는 8 : 1 MUX (multiplexer), 각 볼로메터 저항열에서 발생하는 DC 바이어스 성분을 일차적으로 제거하기 위한 기준 저항, 그리고 전류 신호를 전압의 형태로 변환하는 적분기로 구성된다. SIGCHIP은 BOLCHIP으로부터 출력되는 신호를 A/D 변환기의 입력범위에 일치하도록  $\times 2^0 \sim \times 2^3$ 의 이득 범위를 가지는 AGC와 AGC의 출력 신호를 11 비트의 정확도를 가지고 디지털 값으로 출력하는 11 비트 A/D 변환기, BOLCHIP으로부터의 신호 성분 중 공정변화 성분과 자체 발열에 의한 성분을 제거하기 위한 7 비트 D/A 변환기로 구성된다. A/D 변환기의 디지털 출력은 메모리와 DSP에 전달되어 불필요한 성분을 제거하고 원하는 영상신호의 검출을 가능하게 하며, D/A 변환기는 7 비트의 데이터를 메모리로부터 받아들여서 BOLCHIP에서의 바이어스 동작전류 보정에 필요한 보정 전류를 만들어 낸다.

SIGCHIP은 중첩되지 않는 두 개의 클럭 (nonoverlapping clock) Q1, Q2를 사용하며 SIGCHIP의 각 블록별 타이밍 도는 <그림 3>의 하단에 도시하였다. 먼저 Q2 클럭 타이밍에 MUX에서 출력되는 신호는 동시에 TOBOL 핀을 통해서 출력되는 D/A 변환기 출력 전류에 의하여 보정되며 Q1 클럭 타이밍에 적분기에서 출력된다. 적분기는 Q2 클럭 타이밍에 리셋 (reset)되며 이 Q2 클럭은 SIGCHIP의 Q2\_BOL 핀을 통해서 공급된다. AGC는 각각  $\times 2^0, \times 2^2, \times 2^3$ 의 이득을 갖는 AGC1, AGC2로 구성되며, AGC1은 AGINC 핀을 통해서 Q1 클럭 타이밍에 적분기의 출력을 샘플링 하여 Q2 클럭 타이밍에 AGC2로 출력한다. AGC2는 Q2 클럭 타이밍에 AGC1 출력을 샘플링 하여 Q1 클럭 타이밍에 A/D 변환기로 출력한다. 이 신호는 A/D 변환기에서 동시에 샘플링 되어 세 클럭 주기동안의 신호 변환 과정을 거친 뒤 Q1 클럭 타이밍에 메모리로 출력된다.

이러한 두개의 칩, BOLCHIP과 SIGCHIP을 통한 적외선 신호성분의 검출기법은 크게 적외선 정보 신호가 없는 상태에서의 보정 과정과 적외선 정보 신호가 있는 상태에서의 실제 적외선 정보 신호를 검출하는 정상 동작시의 신호 검출, 두 가지 단계로 나누어진다.

#### 2. 보정 과정 시 신호 검출

적외선 정보 신호가 없는 상태에서의 보정 과정은 크게 네 개의 단계로 구분 할 수 있으며, 각 단계별 보정 과정은 다음과 같다. 첫 번째 보정 과정에서는, 볼로

미터 저항의 DC 바이어스에 의해서 발생하는 전류 성분을 제거하기 위하여, <그림 4>에서 보는 바와 같이 VSS에 연결된 하나의 볼로미터 저항과 동일한 구조를 가지면서 적외선으로부터 차단된 상태로 VDD에 연결된 기준 저항을 BOLCHIP 내에서 구현하여, 이 기준 저항을 통해서 각 볼로미터 저항에서 발생하는 전류로부터 DC 바이어스에 의한 전류 성분을 제거한다.

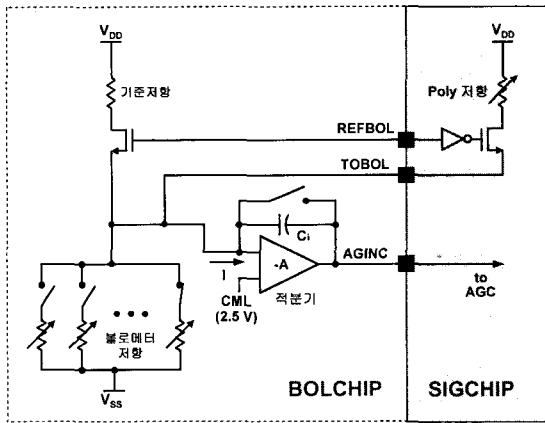


그림 4. 기준 저항을 사용한 DC 바이어스 전류 성분 제거

Fig. 4. DC bias current cancellation with the reference resistor.

이 때 기준 저항과 볼로미터 저항사이의 부정합이 큰 최악의 경우를 대비하여, REFBOL 핀을 통해 외부에서 가해지는 신호를 통하여 그 크기가 제어 가능한 poly 저항을 SIGCHIP 내에 구현하여, REFBOL 신호가 high일 때는 BOLCHIP에 집적된 기준 저항을 사용하고, 그 반대로 REFBOL 신호가 low일 때는 SIGCHIP에 구현된 poly 저항만을 사용하여 DC 바이어스 성분을 제거할 수 있도록 하였다. 이러한 방법으로 DC 바이어스 성분이 제거된 후, <그림 4>의 중앙에 있는 적분기로 입력되는 전류 I는 ±10 % 공정변화 성분과 자체 발열에 의한 성분으로 구성된다. 여기서 2 배의 설계 여유를 고려한 ±10 % 공정변화 전류 성분 값인 +41.6 uA와 비교할 때 자체 발열에 의한 전류 성분 값은 앞의 식 (1)에서 계산되었듯이 0.116 uA로 그 크기가 매우 작으므로 무시할 수 있다. 따라서 전류 I의 예상 변화량은 설계 여유를 고려해도 최대 ±41.6 uA이며, 256 × 256 개의 볼로미터 저항열에서 나오는 신호를 30 Hz의 frame rate으로 처리하려면 식 (1)에 의하여 적분 시간 Δt는 250 ns이 필요하며, A/D 변환기 입력 전압

이 신호 접지를 중심으로 ±1 V<sub>pp</sub> 임을 고려할 때, 적분기의 캐패시터 C<sub>i</sub>는 다음의 식 (2)로부터 10.4 pF로 결정된다.

$$\begin{aligned}
 Q &= C_i \times \Delta V = I \times \Delta t \\
 &= C_i \times \pm 1V_{pp} = \pm 41.6 \text{ uA} \times 250 \text{ ns} \\
 C_i &= 10.4 \text{ pF}
 \end{aligned}
 \tag{2}$$

두 번째 보정 과정으로, 여전히 아무런 적외선 신호가 가해지지 않은 상태에서 DC 바이어스 성분을 제거한 후의 ±10 % 공정변화 성분 및 자체 발열에 의한 성분은, 동일한 적분기에서의 적분 과정을 거쳐 <그림 4>의 AGINC 핀을 통해서 SIGCHIP의 AGC에 인가된다. 이렇게 인가된 성분은 AGC에서의 증폭과정 (×2<sup>7</sup>)을 거쳐서 11 비트 A/D 변환기에서 측정되며 이중 상위 7 비트가 메모리에 저장된다. 이 때 SIGCHIP에 A/D 변환기와 같이 집적되는 D/A 변환기는 동작시키지 않는다.

세 번째 보정 과정에서는, 두 번째 보정 과정에서 메모리에 저장된 7 비트의 코드를 온 칩 D/A 변환기 입력으로 인가하여, SIGCHIP의 D/A 변환기를 동작시킨 상태에서 발생하는 보정 전류를 <그림 3>의 TOBOL 핀을 통해 BOLCHIP에 공급해서 ±10 % 공정변화 성분과 자체 발열에 의한 성분을 제거한다. 이 단계에서, D/A 변환기로 보정 된 후의 잔류 전류 성분은 AGC에서의 증폭과정(×2<sup>7</sup>)을 거쳐서 11 비트 A/D 변환기로 다시 측정하며, A/D 변환기의 상위 7 비트의 출력이 A/D 변환기 기준 전압의 중앙값 (CML)에 해당하는 '1000000' 과 일치하지 않을 경우는 D/A 변환기로의 입력 코드를 증가 또는 감소시켜서 A/D 변환기의 상위 7 비트 출력을 '1000000'에 일치시킨다. 이때 A/D 변환기는 입력 신호가 기준 전압의 중앙값인 신호 접지를 중심으로 ±1/2 LSB 이내에 있을 경우, 상위 7 비트 출력이 '1000000'을 유지하도록 하는 mid-tread 구조를 사용하므로, 세 번째까지의 보정 과정을 거치고 나면 ±10 % 공정변화 성분과 자체 발열에 의한 성분 중 7 비트 D/A 변환기의 ±1/2 LSB에 해당하는 ±0.325 uA (= ±41.6 uA/2<sup>7</sup>)의 잔류 오차 성분만이 남게 된다.

네 번째 최종 보정 과정에서는, 앞의 세 단계의 보정 과정 후의 잔류 성분을 A/D 변환기를 통해서 11 비트의 정확도로 측정하여 메모리에 저장한 후 실제로 적외선 영상신호를 처리하는 정상 동작의 신호 검출 시

에 디지털 영역에서의 최종 보정 과정을 통해서 그 오차를 11 비트 수준으로 정확히 제거한다.

3. 정상 동작 시 신호 검출

DC 바이어스 전류 성분, ±10 % 공정변화 전류 성분, 자체 발열에 의한 전류 성분과 함께 적외선 신호 성분이 입력되는 정상 동작시의 신호 검출은, 앞의 네 단계의 보정 과정을 통해서 메모리에 저장된 7 비트의 데이터와 11 비트의 데이터만을 사용한다. 우선 기준 저항을 통해 자동적으로 DC 바이어스 성분은 제거되고, 미리 저장된 7 비트의 데이터를 D/A 변환기에 인가하여 ±10 % 공정변화 성분과 자체 발열에 의한 성분을 제거한다. 나머지 적외선 신호 성분이 포함된 잔류 성분은 다시 11 비트 A/D 변환기를 통해서 측정되어 디지털 영역으로 보내진다. 디지털 영역에서는 보정 과정 시 메모리에 저장된 최종 잔류 오차 성분에 대한 11 비트의 데이터를 사용하여 그 오차를 제거한 후 최종적으로 적외선 신호 성분만을 검출한다. <그림 5>에서는 앞에서 설명한 4 단계의 보정 과정을 통한 적외선 신호 검출 과정을 순서대로 정리하였다.

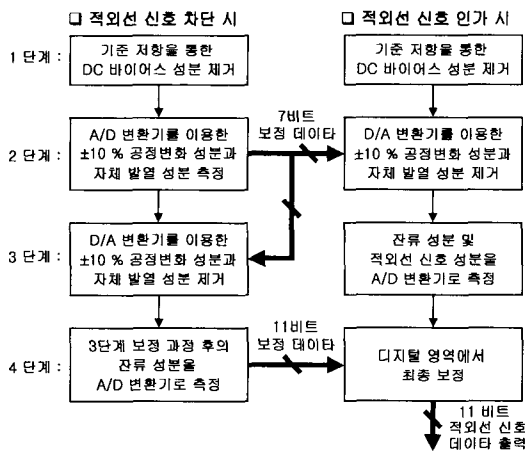


그림 5. 제안하는 4 단계 적외선 신호 검출회로  
Fig. 5. Proposed 4-point step IR signal readout procedure.

적외선 신호가 있을 때 적분기로 입력되는 전류의 범위는 <그림 6>에서 보는 바와 같이 세 번째 보정 과정을 거친 후 남게되는 ±0.325 uA에 순수한 적외선 신호의 범위인 0.0 uA ~ +1.0 uA를 더하여 최소 -0.325 uA ~ 최대 +1.325 uA가 된다. 이 전류는 적분기를 통하여 적분되며 이때 적분기의 출력 전압 ΔV는

다음의 식 (3)에 의해서 최소 -0.0078 V ~ 최대 +0.0319 V가 된다. 이러한 적분기의 출력 전압은 AGC에서의 증폭 과정 (× 25)을 거쳐서 A/D 변환기에 입력되며, 따라서 A/D 변환기로의 입력 전압 범위는 최소 -0.250 V ~ 최대 +1.019 V가 된다.

$$Q = C_i \times \Delta V = I \times \Delta t$$

$$\Delta V = \frac{I \times \Delta t}{C_i} \tag{3}$$

(여기서  $C_i = 10.4 \text{ pF}$ ,  $\Delta t = 250 \text{ ns}$ ,  $I = -0.325 \text{ uA} \sim +1.325 \text{ uA}$ )

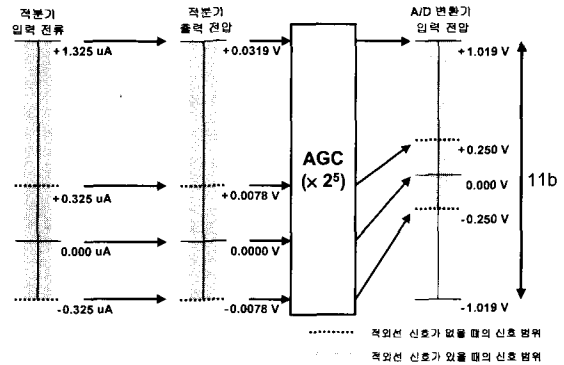


그림 6. 적분기 입력 전류 범위와 A/D 변환기 입력 전압 범위의 관계

Fig. 6. Integrator input current range vs. ADC input voltage range.

IV. 제안하는 적외선 신호 검출회로의 구현

제안하는 적외선 신호 검출회로는 III장에서 언급한 바와 같이 적외선 신호를 받아들여 원하는 영상신호를 전류로 출력하는 BOLCHIP과 이러한 신호 성분 중 불필요한 성분은 보정하고 필요로 하는 영상신호만을 검출해내는 SIGCHIP의 두 부분으로 구성되며, 본 장에서는 SIGCHIP의 주요 회로 블록인 AGC, A/D 변환기, D/A 변환기의 CMOS 회로 구현에 대해 간략히 논의한다.

1. 자동 이득 조절 회로 (AGC)

AGC 회로 블록은 BOLCHIP으로부터의 적분기 전압 출력을 입력으로 받아들여 외부 DSP 블록으로부터의 디지털 제어 신호에 따라 일정한 이득만큼 증폭시킴으로써, 신호를 A/D 변환기의 아날로그 입력 사양에 맞도록 제어해 주는 역할을 한다. 보정 과정 및 정상 동

작 시의 적절한 신호 검출을 위해서 AGC 회로의 이득은 DSP 블록으로부터의 제어 신호에 의해서 보정 과정 시 네 단계 ( $\times 2^0, \times 2^1, \times 2^2, \times 2^3$ )의 이득을 가질 수 있도록 설계되었다. AGC 블록은 높은 이득을 가지면서도 낮은 전력으로 최대의 동작속도를 얻기 위하여  $\times 2^0, \times 2^2, \times 2^3$ 의 이득을 갖는 두 개의 단 AGC1, AGC2로 구성되었다.

2. 11 비트 5 MHz A/D 변환기

제안하는 11 비트 5 MHz A/D 변환기는 세 개의 단으로부터 각각 4 비트, 4 비트, 5 비트를 얻는 전형적인 파이프라인 구조로서 <그림 7>에서 보는 바와 같이 sample-and-hold amplifier (SHA), 2 개의 4 비트 multiplying D/A 변환기 (MDAC), 3 개의 flash A/D 변환기, 디지털 교정 회로 (digital correction logic : DCL) 등 기타 디지털 블록으로 구성되었다<sup>11-14</sup>. MDAC에는 전력소모 및 샘플링 속도의 감소 없이 캐패시터의 부정합을 최소화하여 고해상도의 A/D 변환기를 구현하기 위하여 병합 캐패시터 스위칭 (merged-capacitor switching : MCS) 기법을 적용하였다<sup>15</sup>. 이러한 MCS 기법을 사용하여 전형적인 파이프라인 A/D 변환기에 사용되는 MDAC의 단위 캐패시터를 2 개씩 병합하여 필요한 캐패시터의 수를 50 %로 줄임으로써 전형적인 파이프라인 A/D 변환기에 사용되는 MDAC과 비교할 때 동일한 부하조건에서 캐패시터의 크기를 상대적으로 2 배 더 크게 하여 캐패시터의 부정합을 줄일 수 있으며, 실제 단위 캐패시터의 크기는 선형성 및 열 잡음 등을 고려하여 400 fF을 사용하였다.

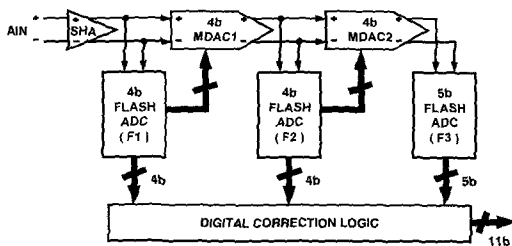


그림 7. 제안하는 A/D 변환기  
Fig. 7. Proposed ADC.

3. 7 비트 5 MHz D/A 변환기

제안하는 7 비트 5 MHz D/A 변환기는 볼로메터 어레이간의 서로 다른 바이어스 전류 오차 성분을 제거하기 위하여 선형성에서 장점을 갖는 전류 모드 D/A

변환기 구조가 채택되었다. 또한 전류 모드 변환기는 입력 디지털 값에 따른 최종 출력이 전류이므로 오차 전류성분 보정에 효율적이며, 7 비트의 해상도는 본 구조에서 순수한 적외선 신호 처리에 불필요한 성분인 공정 변화에 의한 전류 성분과 자체 발열에 의한 전류 성분을 제거하고, 11 비트의 실제 필요한 적외선 신호 장치의 해상도를 얻기 위해 충분하다. D/A 변환기의 전류원을 구성하는 방법은 크게 이진 전류열을 사용하는 방법과 전류셀 매트릭스를 사용하는 방법의 두 가지가 있으나, 제안하는 D/A 변환기는 동작 속도, 공정상의 부적합 및 면적 등을 고려하여 상위 4 비트는 전류셀 매트릭스, 나머지 하위 2 비트는 이진 전류열을 사용하는 구조로 설계되었다<sup>16-18</sup>. D/A 변환기에 인가되는 7 비트의 입력 데이터 중 최상위 비트 (most significant bit : MSB)는 <그림 8>에서 볼 수 있듯이 하위 6 비트의 입력 데이터에 의해 생성된 전류를 BOLCHIP 내부의 볼로메터 어레이에 공급할 것인지 (sourcing) 받아들이는 것인지 (sinking) 여부를 결정하는 출력단 스위치를 제어한다.

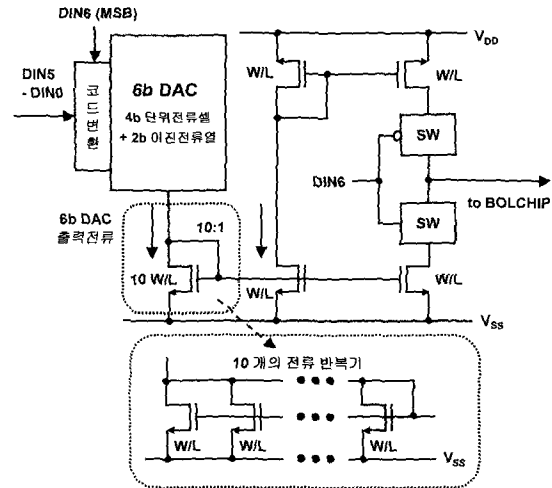


그림 8. 제안하는 D/A 변환기 출력단  
Fig. 8. Output stage of the proposed DAC.

D/A 변환기는 미세한 공정 오차 성분과 자체 발열 성분을 보정하기 위하여 출력단 전류 반복기에서 D/A 변환기의 하위 6 비트 디지털 입력에 의해 생성된 전류를 1/10으로 낮춘다. 따라서 출력단 전류 반복기의 선형성과 동적 성능이 중요하며, 이를 위하여 <그림 8>에서 보이는 바와 같이 단순히 10 : 1 크기의 W/L

을 갖는 트랜지스터를 사용하는 대신 동일한 크기의 트랜지스터를 10 : 1의 개수로 배열하여 전류 반복기를 구성함으로써 W/L의 비율에 상관없이 높은 선형성을 유지할 수 있도록 하였다.

V. 시제품 측정 결과

제안하는 적외선 신호 검출회로는 저 비용을 위해 최근의 서브 마이크론 (sub-micron) 공정이 아닌 1.2 um double-poly double-metal CMOS 공정으로 제작되었으며, 출력 패드를 포함하는 적외선 검출회로 (SIGCHIP)의 레이아웃 (layout)은 <그림 9>와 같다.

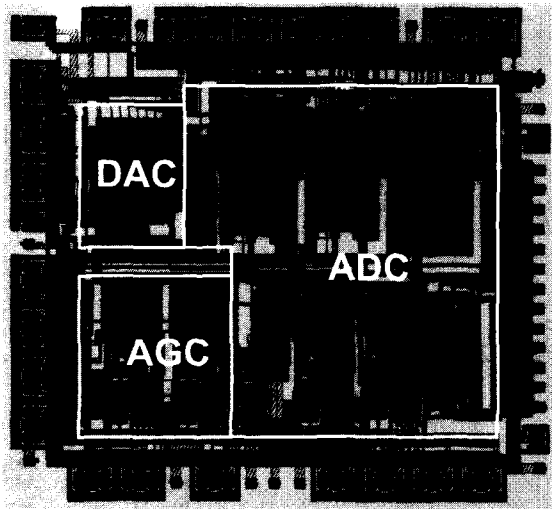
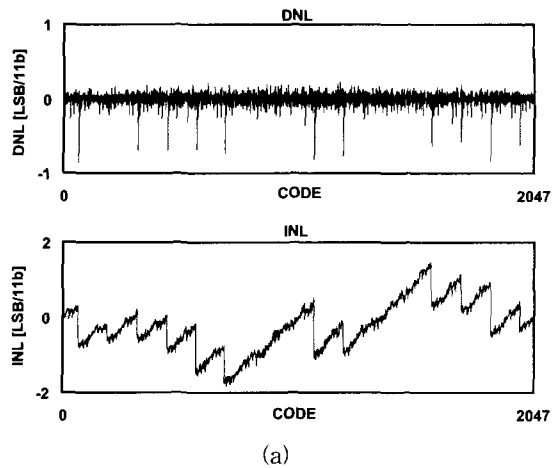


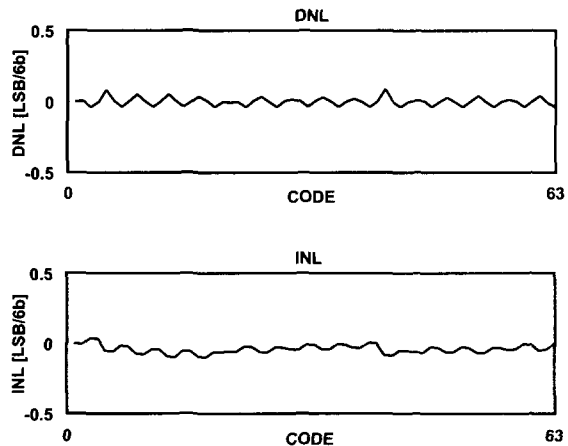
그림 9. 제안하는 신호 검출회로 시제품 칩 (5.2 mm × 4.7 mm)  
 Fig. 9. Proposed readout circuit prototype (5.2 mm × 4.7 mm).

전체 칩의 패드를 뺀 면적 (die area)은 5.2 mm × 4.7 mm이며, 4.5 V 전원 전압에서 110 mW의 전력을 소모한다. 측정 시 A/D 변환기만의 성능을 검증하기 위하여 외부에서 A/D 변환기로 직접 신호인가가 가능하도록 하였으며, A/D 변환기, D/A 변환기 각각의 선형성 측정 결과가 <그림 10>에 나타나있다. <그림 10>에서 보듯이 A/D 변환기의 differential non-linearity (DNL)와 integral nonlinearity (INL)는 11 비트 해상도에서 ±0.9 LSB와 ±1.8 LSB였다. D/A 변환기의 경우 최상위 비트가 high인 경우와 low인 경우에 대하여 DNL 및 INL은 각각 ±0.1 LSB 이하로 측정되

어, 6 비트 하위 선형성을 통합하여 전체적으로 7 비트 수준의 해상도에 충분한 동작 여유를 보여주었다. 동작 속도는 5 MHz 이하의 낮은 동작 클럭을 사용하므로 사용 클럭에 관계없이 거의 동일한 측정 결과를 보여주었다.



(a)



(b)

그림 10. 각 블록의 선형성 측정 결과 :  
 (a) A/D 변환기의 DNL과 INL 및 (b) D/A 변환기의 DNL과 INL  
 Fig. 10. Measured linearities :  
 (a) DNL and INL of the ADC and b) DNL and INL of the DAC.

<그림 11>은 A/D 변환기에 100 kHz의 정현파 입력, 5 MHz의 샘플링 주파수로 측정된 FFT 특성 그래프이며, SNDR (signal-to-noise-and-distortion ratio) 측정 결과는 59 dB였다. 5 MHz 샘플링 주파수에서 동작하는 A/D 변환기와 D/A 변환기의 입력 주파수에 따른 동적 성능 측정 결과가 <그림 12>와 <그림 13>에 나



타나 있다. D/A 변환기의 경우 500 kHz의 아날로그 출력 주파수에서 SFDR (spurious free dynamic range) 측정 결과는 46 dB로 7 비트 수준에서 적절히 동작함을 확인하였다.

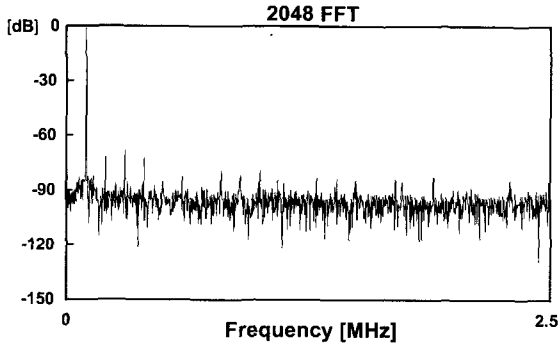


그림 11. 측정된 A/D 변환기의 신호 스펙트럼  
Fig. 11. Measured signal spectrum of the ADC.

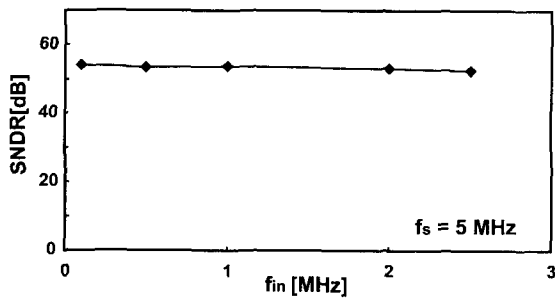


그림 12. 측정된 A/D 변환기의 SNDR  
Fig. 12. Measured SNDR of the ADC.

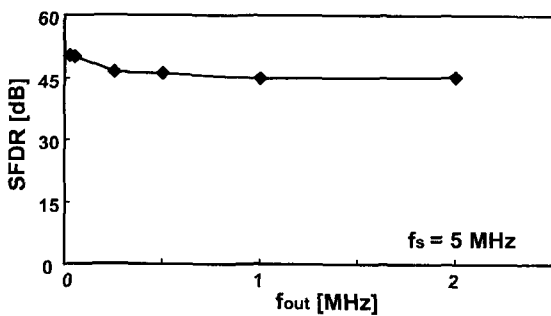


그림 13. 측정된 D/A 변환기의 SFDR  
Fig. 13. Measured SFDR of the DAC.

제안하는 신호 검출회로는 BOLCHIP의 적분기로부터 출력되는 신호를 SIGCHIP의 AGC가 입력으로 받아들이며 AGC의 출력은 다시 A/D 변환기의 입력으로 인가된다. AGC는 네 단계 ( $\times 2^0$ ,  $\times 2^1$ ,  $\times 2^5$ ,  $\times 2^6$ )의 이

득 단계를 가지며, 입력되는 신호의 크기에 따라 그에 해당하는 증폭 과정을 거쳐서 A/D 변환기의 입력 범위에 일치시킨다. 실제로 신호 검출회로가 적외선 신호를 검출해 내기 위해서는 AGC와 A/D 변환기가 함께 동작해야 하므로 두 블록의 동작 성능이 SIGCHIP 전체의 성능을 결정하게 된다. 이를 확인하기 위한 AGC 측정은 AGC의 각 이득 단계에 대하여 AGC 및 A/D 변환기 두 블록을 함께 동작시킨 상태에서 진행하였다. 측정 결과 각 이득 단계에서 영상신호를 처리하는데 중요한 특성인 DNL의 경우는 A/D 변환기만을 측정할 경우와 유사하게 11 비트 수준을 만족시키지만 INL 특성은 부분적으로 AGC의 이득이 증가함에 따라 11 비트 수준을 보장해 주지 못하는 경향이 있었다. 그 원인은 측정시 작은 크기의 신호를 입력해 주기 위해서 사용된 신호 발생기에서 발생된 잡음에 의한 것으로, 신호 발생기에서부터 발생하는 잡음은 일정한 반면 AGC 이득 증가에 따라 신호 발생기로부터 인가해야 하는 신호의 크기는 상대적으로 작아져서 결과적으로 낮은 수준의 신호 대 잡음비 (signal-to-noise ratio) 특성을 갖는 신호가 AGC에 인가되기 때문이었다. 한편, 실제로 본 적외선 영상 센서 어레이의 응용 회로는 인접 신호 간의 절대적인 차이를 구별하기 위한 DNL 특성이 대단히 중요하며, 따라서 주어진 해상도의  $\pm 1$  LSB 이내로 동작해야 하는 것은 필수적이나, INL 특성은 기존의 통상적인 영상 처리 회로와 유사하게 9 ~ 10 비트 수준의 INL 측정값 정도이면 전체 회로의 동작에 주는 영향은 그리 크지 않다. 측정된 신호 검출회로 전체의 성능이 <표 1>에 요약되어 있다.

표 1. 제안하는 신호 검출회로 성능 요약  
Table 1. Performance summary of the proposed readout circuit.

구 분	A/D 변환기	D/A 변환기
해 상 도	11 비트	7 비트
입력 전압	최대 4.0 Vpp	.
DNL	$\pm 0.9$ LSB	$\pm 0.1$ LSB
INL	$\pm 1.8$ LSB	$\pm 0.1$ LSB
SNDR 및 SFDR	59 dB (SNDR)	46 dB (SFDR)
사용 공정	1.2 um dpdm n-well CMOS	
동작 주파수	5 MHz	
전원 전압	5 V	
전력 소모	110 mW (at 4.5 V)	

## VI. 요약 및 결론

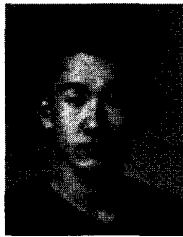
본 논문에서는 비냉각 적외선 센서 어레이를 사용하는 적외선 영상센서 응용 시스템에 필요한 적외선 신호 검출회로를 제안하였다. 제안하는 적외선 신호 검출회로는 4 단계의 보정 과정을 거쳐서 미세한 적외선 신호 성분을 검출해 내며, 11 비트의 A/D 변환기와 7 비트의 D/A 변환기, 자동 이득 조절 회로를 사용하여 11 비트 수준의 적외선 영상신호를 검출해낼 수 있다. 제안하는 적외선 신호 검출회로를 포함하는 적외선 영상센서 응용 시스템은 현재 방위 산업체와 관련된 기관에서 개발 중에 있다.

## 참 고 문 헌

- [1] C. Vedel, J. L. Martin, J. L. Ouvrier buffet, J. L. Tissot, M. Vilain, and J. J. Yon, "Amorphous silicon based uncooled microbolometer IRFPA," *SPIE Proceedings*, Vol. 3698, pp. 276~283, Apr. 1999.
- [2] T. Breen, M. Kohin, C. A. Marshall, R. Murphy, T. White, A. Leary, and T. Parker, "Even more applications of uncooled microbolometer sensors," *SPIE Proceedings*, Vol. 3698, pp. 308~319, Apr. 1999.
- [3] A. Tanaka, S. Matsumoto, N. Tsukamoto, S. Itoh, K. Chiba, T. Endoh, A. Nakazato, K. Okuyama, Y. Kumazawa, M. Hijikawa, H. Gotoh, T. Tanaka, and N. Teranishi, "Infrared Focal Plane Array Incorporating Silicon IC Process Compatible Bolometer," *IEEE Trans. Electron Devices*, Vol. 43, No. 11, pp. 1844~1850, Nov. 1996.
- [4] C. Marshall, N. Butler, R. Blackwell, R. Murphy, and T. Breen, "Uncooled Infrared Sensor With Digital Focal Plane Array," *SPIE Proceedings*, Vol. 2746, pp. 23~31, Apr. 1996.
- [5] B. E. Cole, R. E. Higashi, and R. A. Wood, "Monolithic Two-Dimensional Arrays of Micromachined Microstructures for Infrared Applications," *IEEE Proceedings*, Vol. 86, No. 8, pp. 1679~1686, Aug. 1998.
- [6] J. L. Heath, G. T. Kincaid, J. T. Woolaway, and W. J. Parrish, "160 × 128 uncooled FPA performance review," *SPIE Proceedings*, Vol. 3698, pp. 256~263, Apr. 1999.
- [7] W. J. Parrish and J. T. Woolaway, "Improvements in uncooled systems using bias equalization," *SPIE Proceedings*, Vol. 3698, Infrared Technology XXV, pp. 748~755, Apr. 1999.
- [8] U. Ringh, C. Jansson, C. Svensson, and K. Liddiard, "CMOS RC-Oscillator Technique for Digital Read Out from An IR Bolometer Array," *Transducer '95*, pp. 138~141, June 1995.
- [9] C. C. Liu and C. H. Mastrangelo, "An Ultrasensitive Uncooled Heat-Balancing Infrared Detector," in *IEDM Tech Dig.*, Dec. 1996, pp. 549~552.
- [10] S. Kavadias, P. De Moor and C. Van Hoof, "CMOS circuit for readout of microbolometer arrays," *Electron Lett.*, Vol. 37, No. 8, pp. 481~482, Apr. 2001.
- [11] J. M. Ingino and B. A. Wooley, "A continuously calibrated 12-b, 10-MS/s, 3.3-V A/D Converters," *IEEE J. Solid-State Circuits*, Vol. 33, pp. 1920~1931, Dec. 1998.
- [12] G. C. Ahn, H. C. Choi, S. I. Lim, S. H. Lee, and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D converter," *IEEE J. Solid-State Circuits*, Vol. 31, pp. 2030~2035, Dec. 1996.
- [13] S. U. Kwak, B. S. Song, and K. Bacrania, "A 15-b 5-MSample/s low-spurious CMOS ADC," *IEEE J. Solid-State Circuits*, Vol. 32, pp. 1866~1875, Dec. 1997.
- [14] P. C. Yu and H. S. Lee, "A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, Vol. 31, pp. 184~186, Dec. 1996.
- [15] Y. D. Jeon, S. C. Lee, S. M. Yoo, and S. H. Lee, "Acquisition-time minimization and merged-

- capacitor switching techniques for sampling-rate and resolution improvement of CMOS ADCs," *in ISCAS, May 2000*, pp. III 451~454.
- [16] T. Y. Wu, C. T. Jih, J. C. Chen, and C. Y. Wu, "A low glitch 10-bit 75-MHz CMOS video D/A converter," *IEEE J. Solid-State Circuits*, Vol. 30, No. 1, pp. 68~72, Jan. 1995.
- [17] Y. Nakamura, T. Miki, A. Maeda, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, Vol. 26, No. 4, pp. 637~642, Apr. 1991.
- [18] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, "An 80-MHz 8-bit CMOS D/A converter," *IEEE J. Solid-State Circuits*, Vol. SC-21, No. 6, pp. 983~988, Dec. 1986.

저 자 소 개



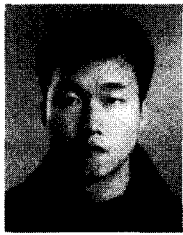
吳太煥(正會員)  
1974년 12월 1일생. 2000년 2월 서강대학교 전자공학과 학사. 2002년 2월 서강대학교 전자공학과 석사. 현재 삼성전자 연구원. <주관심분야 : CMOS 데이터 변환기 (A/D, D/A) 설계, 혼성모드 회로 설계 등

입>



朴熙遠(正會員)  
1980년 4월 30일생. 2003년 2월 서강대학교 전자공학과 학사졸업 예정. 현재 서강대학교 전자공학과 대학원 특차 입학. 2002년 6월부터 서강대 전자공학과 IC설계 연구실 인턴으로 연구 개발 참여중. <주관심

분야 : 고속 데이터 변환기 (A/D, D/A) 설계, 혼성모드 회로 설계 등임>



曹永載(正會員)  
1976년 7월 25일생. 1999년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학중 (8월 졸업 예정). <주관심분야 : 고속 데이터 변환기 (A/D, D/A) 설계, 혼성모드 회로 설계 등임>



李承勳(正會員)  
서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학 박사(1991), KIST 위촉 연구원(1986), 미 Coordinated Science Lab (Urbana) 연구원(1987 ~

1990), 미 Analog Devices 사 senior design engineer (1990 ~ 1993), 현재 서강대학교 전자공학과 교수. <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임>