

Modeling High Power Semiconductor Device Using Backpropagation Neural Network

金秉桓* · 金性模** · 李大雨*** · 盧泰文*** · 金鍾大§

(Byungwhan Kim · Sungmo Kim · Dae Woo Lee · Tae Moon Roh · Jongdae Kim)

Abstract - Using a backpropagation neural network (BPNN), a high power semiconductor device was empirically modeled. The device modeled is a n-LDMOSFET and its electrical characteristics were measured with a HP4156A and a Tektronix curve tracer 370A. The drain-source current (I_{DS}) was measured over the drain-source voltage (V_{DS}) ranging between 1 V to 200 V at each gate-source voltage (V_{GS}). For each V_{GS} , the BPNN was trained with 100 training data, and the trained model was tested with another 100 test data not pertaining to the training data. The prediction accuracy of each V_{GS} model was optimized as a function of training factors, including training tolerance, number of hidden neurons, initial weight distribution, and two gradients of activation functions. Predictions from optimized models were highly consistent with actual measurements.

Keywords: Model, high power semiconductor device, backpropagation neural network

1. 서 론

고전력 IC 설계와 최적화를 위해서는 전력소자의 전기적 특성을 정확히 표현 내지 예측할 수 있는 모델이 요구되고 있다. 저전력 MOS 소자에 대한 SPICE MOSFET 모델 [1]이 개발되었으나, 이를 이용한 고전력 MOSFET의 시뮬레이션에는 상당한 에러가 수반이 된다 [2]. 전력소자 모델은 구조적 마크로 모델링 기법, Analog Hardware Description Language (AHDL), C code, 그리고 Analog Behavioral Macromodeling (ABM) 등의 기법을 이용해서 개발이 되고 있다. 구조적 마크로 모델링은 MOSFET 등가회로에 수동과 능동소자를 삽입하여 전력소자의 특성에 맞게 조절하는 기법이며, 극간 Parasitic 캐패시턴스의 모델방식에 따라 다양한 전력소자가 존재할 수 있다. 비선형적인 C(V) 특성을 모델링하기 위해 다른 종류의 캐패시턴스 [3-5]를 스위칭하며, 이에 따라 불연속적인 C(V) 특성이 야기 될 수 있다. AHDL은 시뮬레이터에 내재해 있는 언어를 이용하여 하나의 Subroutine 내에 소자의 내부 방정식을 표현하는 기법이며, 여기에는 SABER 시뮬레이터를 위한 Lumped-charge MAST 모델 [6]이 있다. 이 모델은 Electro-thermal 현상을 무시하고 있으며, Safe Operating Area (SOA)를 영역 밖의 소자특성은 표현하지 못하고 있다는 점에서 그 한계가 있다. C code 모델링 기법은 SPICE에 내장된 모델의 C code subroutine을 바꾸고,

이를 SPICE 시뮬레이터에 의해 Compile함으로써 사용자가 정의하는 모델을 개발하는 기법으로, 정확한 전력 MOSFET 모델의 개발에 이용된 적이 있다 [7]. ABM은 비선형적인 대수와 미분방정식의 구현을 용이하게 하고, 어떠한 비선형특성도 Piece-wise 선형근사화할 수 있다는 특징을 지니고 있으며, 이를 이용한 새로운 전력소자 모델이 개발된 바가 있다 [8].

전술한 SPICE 모델은 계산적으로 효율적이고 정확하지만, 상당한 양의 모델변수를 최적화 알고리즘 내지 데이터 fit을 통해 추출해야만 하는 어려움이 있다. 또한 비선형적인 소자 특성이 아직 명확히 규명되지 않아, 이를 AHDL, C code, ABM을 이용하여 수식으로 정립하는 것도 그 한계가 있다. 이를 극복하기 위해, 본 연구에서는 신경망 (Neural Network)을 이용한 전력소자의 전기적 특성에 대한 모델링 기법을 소개한다. 신경망 기법은 MESFET과 같은 저 전력 소자 [9-10]나 회로의 모델링 [10-11]에 응용된 적은 있으나, 고전력소자에의 응용은 본 연구에서 처음으로 시도된다. 신경망으로는, 그 응용이 가장 활발한 역전파 신경망 [12]을 이용하였으며, 모델의 예측정확도를 향상시키기 위해 관여하는 학습인자들 [13]을 실험적으로 최적화 하였다. 모델에 이용된 소자는 PDP 구동 IC 소자의 설계를 위해 제작된 n형의 LDMOSFET이다.

2. 본 론

2.1 전기적 데이터 수집

n-LDMOSFET는 SOI 기판 위에 제작[14]되었으며, 게이트 산화막 두께는 300 Å이었다. Non-RESURF n-LDMOSFET에 사용되는 n-drift를 형성하기 위하여 deep

* 正 會 員 : 世宗大 電子工學科 副教授
 ** 準 會 員 : 世宗大 電子工學科 碩士
 *** 正 會 員 : 韓國電子通信研究院 責任研究員
 § 正 會 員 : ETRI 集積回路 研究部長
 接受日字 : 2002年 9月 23日
 最終完了 : 2003年 3月 18日

n-well (DNW)를 형성하기 위해 인(P: phosphorus)을 이온 주입하고 질소 분위기 1200 °C에서 1차적으로 고온 열처리한 다음 BF₂를 이온 주입한 후 질소 분위기 1200 °C에서 2차 고온 열처리를 하였다. Non-RESUEF n-LDMOSFET의 drift는 DNW와 동일한 조건으로 동시에 형성되고, 보조 n-drift를 형성하기 위하여 인(P)을 1.0×10¹³ cm⁻² 만큼 이온 주입한 후 질소 분위기 1150 °C에서 열처리하였다. 그리고 고전압 p-well을 형성하기 위하여 BF₂를 이온 주입하고 질소 분위기 1150 °C에서 열처리하였다. BF₂ 이온을 주입한 후에 산화막을 증착하고 900 °C 질소 분위기에서 30분 동안 열처리하였다. 그 후 질소로 희석된 산소 분위기 950 °C에서 10분 동안 열처리하여 소스/드레인을 형성하였다. 마지막으로 2층 금속배선공정을 수행하고 H₂와 N₂ 혼합가스 분위기 400 °C에서 30분 동안 열처리하였다.

채널 길이 2.4 μm이고 drift 길이가 25 μm인 non-RESURF n-LDMOSFET의 소자과피전압은 게이트 전압이 0V인 OFF시와 게이트 전압이 5V인 ON시에 모두 250V 이상이었고, n-LDMOSFET의 문턱전압은 0.9V이었으며, 게이트 전압이 5V이고 드레인 전압이 50V일 때 드레인 포화전류는 약 30mA이었다. 소자의 전기적 특성은 Precision semiconductor parameter analyzer HP4156A와 Tektronix curve tracer 370A를 사용하였다.

2.2 역전파 신경망

역전파 신경망의 일반적인 구조는 그림 1과 같다. 그림1에서와 같이 신경망은 3개의 층, 즉 입력층, 은닉층, 그리고 출력층으로 구성된다. 입력 층에는 입력변수가 주어지며, 출력층에는 그에 대응하는 출력변수가 주어진다. 은닉층의 뉴런은 입출력 패턴간의 관계를 추출하는데 관여하며, 분류 내지 예측성능의 최적화를 위해 그 수를 실험적으로 조정하여 최적화 한다. 은닉층에 있는 뉴런의 활성화 함수는 식 (1)과 같이 정의되는 바이폴라 시그모이드 함수이다.

$$out_{i,k} = \frac{1 - e^{-int_{i,k}}}{1 + e^{-int_{i,k}}} \quad (1)$$

여기서 int_{i,k}와 out_{i,k}는 각기 k층의 I번 제 뉴런으로의 입력과 그 뉴런에서의 출력을 의미한다. 출력층의 뉴런은 활성화 함수로 선형함수를 가지고 있으며, 다음과 같이 정의된다.

$$out_{i,k} = int_{i,k} \quad (1)$$

신경망은 출력층에서 식 (3)에 의해 정의되는 성능함수를 최소화하게끔 뉴런간의 연결강도를 식 (4)을 이용하여 조정하게 된다.

$$E = \sum_{i=1}^n (d_i - out_i)^2 \quad (3)$$

$$W_{i,j,k}(m+1) = W_{i,j,k}(m) + \eta \Delta W_{i,j,k}(m) \quad (4)$$

여기서 d_i와 out_i는 출력층의 i번 제 뉴런에서의 실제 실험 데이터와 그 뉴런에서의 예측치를 지칭한다. 그리고 W_{ijk}는

k층에서의 i번 제의 뉴런과 k-1층에서의 j번 제 뉴런간의 연결강도를 의미한다. 그리고 η는 학습률이라고 하며, 학습속도와 학습의 수렴 (convergence)에 영향을 미친다.

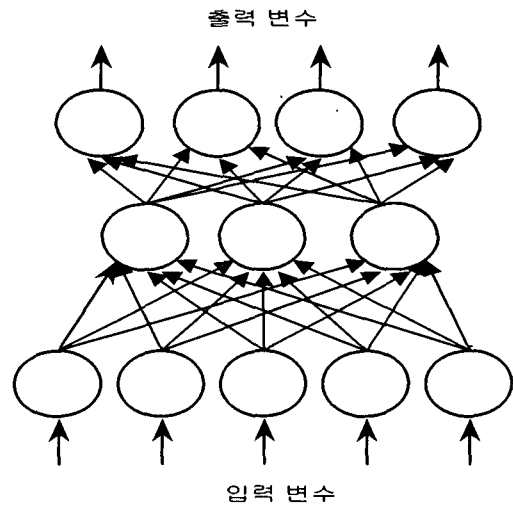


그림 1 역전파 신경망의 구조

Fig. 1 Structure of backpropagation neural network

표 1 최적화에 이용된 학습인자의 종류와 실험범위

Table 1 Training factors and ranges for optimizing model

학습인자	실험범위
뉴런수	2-6 (1)
학습허용도	0.04-1.0 (0.02)
초기 웨이트 분포의 크기	±0.6-±1.4 (0.2)
시그모이드함수의 경사	0.3-1.5 (0.3)
선형함수의 경사	0.1-1.3 (0.3)

2.3 모델링

고정된 V_{GS}에 대해서 V_{DS}에 대한 I_{DS}을 예측하는 모델을 신경망을 이용하여 개발한다. 예측모델을 개발하는 과정을 V_{GS}가 2V인 경우에 대해서 우선 설명한다. BPNN의 학습에는 많은 인자가 관여하고 있으며 [10], 최적화한 학습인자에는 은닉층의 뉴런수, 학습허용도, 바이폴라 시그모이드함수와 선형 함수의 경사 등이 포함된다. 먼저 뉴런수를 조정하여 예측성능을 최적화한 후, 다음에 허용도, 초기웨이트의 크기, 그리고 두 함수의 경사를 순차적으로 최적화 하였다. 각 학습인자에 대해서 실험적으로 변화시킨 범위는 표 1에 정리하였다. 각 인자는 등간격으로 5단계로 증가시켰으며, 그 중분은 표 1의 괄호안에 삽입하였다. 모델 개발을 위한 학습데이터는 수집된 200개의 데이터 중 100개로 구성하였으며, 나머지 100개의 데이터는 테스트에 이용하였다. 그림 2는 학습인자의 변화에 대한 예측편차의 변화를 도시하고 있다. 편차는 식 (5)로 정의되는 Root-mean square error (RMSE)에 의해 계산이 되었다.

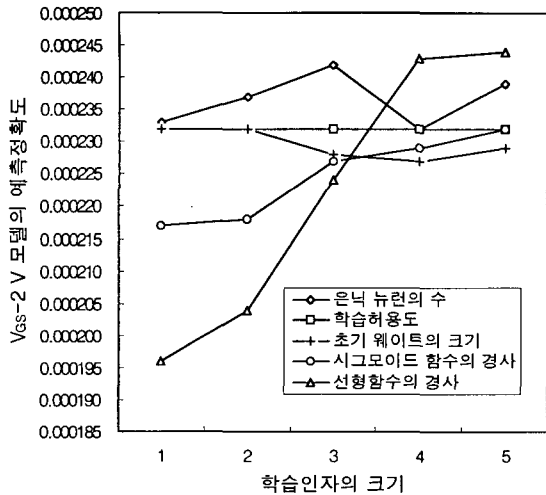


그림 2 학습인자에 따른 모델 예측정확도 평가
 Fig. 2 Evaluation of model prediction accuracy as a function of training factors

$$\sigma = \sqrt{\frac{\sum_{i=1}^n (y_i - \hat{y}_i)^2}{n-1}} \quad (5)$$

여기서 y_i 와 \hat{y}_i 는 실제 측정치와 모델로부터의 예측치를 지칭하고, n 은 테스트 데이터의 수이다. 한편, 뉴런수를 제외한 다른 학습인자, 즉 허용도, bipolar sigmoid 함수와 linear 함수의 경사는 각기 0.1과 1로 고정하였다. 초기웨이트의 분포는 ± 1 로 고정하였다. 그림 2에서와 같이, 뉴런수의 변화에 따라 예측정확도는 불규칙적으로 변하며, 뉴런수 5에서 최적의 모델을 얻었다. 그 정확도는 0.000232이다. 뉴런수를 5로 고정하고, 다음에는 학습허용도를 변화시켰다. 그림 2에서와 같이, 허용도의 변화에도 불구하고 모델 예측정확도의 변화가 없었다. 뉴런수와 허용도를 각기 5와 0.10에 고정한 후, 초기웨이트의 크기를 ± 0.6 에서 ± 1.4 까지 0.2 간격으로 변화시키면서 모델 예측성능을 최적화 하였다. 그림 2에서와 같이 초기웨이트의 크기가 증가함에 따라, 예측정확도는 일반적으로 개선되고 있으며, ± 1.2 에서 최적값을 가진다. 그 수치는 0.000222이다. 전술한 세 인자를 각기 결정된 최적값에 설정한 후, 바이폴라 시그모이드 함수경사를 변화시켰다. 그림 2에서와 같이 경사의 증가에 따라서 정확도가 저하되고 있으며, 따라서 0.3의 경사에서 최적의 모델을 구할 수 있었다. 그 수치는 0.000197이다. 선형 함수 경사의 증가에 대해서도, 예측정확도는 계속해서 저하되고 있다. 0.1의 경사에서 최적의 모델을 얻었으며, 그 수치는 0.000196이다. 이는 뉴런수 최적화로 얻은 모델에 비교할 때 15.5%의 개선된 예측정확도를 보이는 수치이며, 이는 학습인자 제어 효과를 입증하는 사례다.

동일한 방식으로 나머지 4개의 V_{GS} 에 대한 모델을 개발하였으며, 각 모델에 대해서 최적화한 학습인자는 표 2에 정리하였다. 각 학습인자별 최적화된 모델의 예측정확도는 괄호 안에 삽입하였다. 표 2에서 알수 있듯이, V_{GS} 가 1V인 경우,

모델은 학습허용도의 변화에 가장 민감하였으며, V_{GS} 가 4V와 5V인 경우에 대해서도 비슷한 경향을 보이고 있다. 한편, V_{GS} 가 2V와 3V인 경우에는 바이폴라 시그모이드 함수의 경사가 예측정확도에 가장 강한 영향을 주고 있다. 뉴런수를 조정하여 최적화된 모델에 대하여, V_{GS} 가 1V와 2V의 경우 15%이상의 향상된 예측정확도를 얻었다.

표 2 최적화한 학습인자와 예측정확도
 Table 2 Optimized training factors and corresponding prediction accuracy

V_{GS}	뉴런수	학습허용도	초기웨이트의 분포	시그모이드 함수의 경사	선형 함수의 경사
1V	3(9.98E-07)	0.06(8.75E-07)	$\pm 0.4(8.17E-07)$	1.0(8.17E-07)	1.5(8.17E-07)
2V	5(2.32E-04)	0.1(2.32E-04)	$\pm 1.0(2.22E-04)$	0.3(1.97E-04)	0.1(1.96E-04)
3V	5(3.78E-04)	0.1(3.78E-04)	$\pm 0.6(3.74E-04)$	0.3(3.29E-04)	0.1(3.29E-04)
4V	4(4.51E-04)	0.06(4.47E-04)	$\pm 1.2(4.45E-04)$	0.3(4.44E-04)	0.4(4.44E-04)
5V	4(5.48E-04)	0.04(5.08E-04)	$\pm 1.0(5.07E-04)$	0.5(5.08E-04)	0.4(5.05E-04)

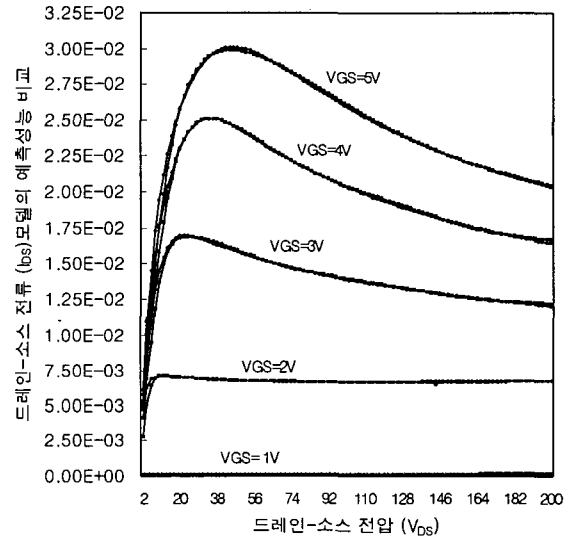


그림 3 최적화된 모델의 예측성능
 Fig. 3 Prediction performance of optimized model

V_{GS} 가 3V인 경우, 그 개선도는 13%정도이며, 이는 학습인자의 제어로 예측성능이 크게 증진된 모델을 개발할 수 있음을 보여준다. 개발된 모델의 예측치와 실제치는 그림3에 도시하고 있다. 그림 3에서와 같이, 개발된 모델들의 예측치들은 실제치와 잘 일치하고 있으며, 이는 신경망이 소자의 전기적 특성을 효과적으로 모델링하고 있음을 보여준다.

3. 결 론

본 연구에서는 역전파 신경망을 이용하여 고전압 전력소자인 n-LDMOSFET의 전기적 특성을 모델링하였다. 학습인자를 최적화 하였으며, 전압과 전류간의 비선형적인 관계를 예측하는 컴퓨터 모델을 개발하였다. 학습인자의 제어로, 최적

화된 모델의 예측정확도는 크게 향상이 되었다. 신경망은 first principle 소자 모델 개발에 소요되는 시간을 줄일 수 있으며, 이는 OP Amp와 같은 대형회로의 전기적 특성모델 개발에 효과적으로 응용할 수 있다. 개발된 신경망 모델을 이용하여 예측치를 계산하는데 소요되는 시간도 기존의 SPICE 모델이나 first principle 모델에 비해 훨씬 적어, 대규모 직접 회로의 경제적인 설계에 기여할 수 있다. 그러나 소자 또는 회로의 등가회로에 대한 구체적인 정보를 제공하지 못해, 수동 내지 능동소자를 이용한 모델의 구현이 어렵다. 하지만, 신경망은 등가회로 변수추출에 활용할 수 있다는 점에서, 기존 모델성능의 개선에 기여할 수 있다.

감사의 글

본 연구는 한국전자통신연구원이 지원하였으며, 이에 감사를 드립니다.

참고 문헌

- [1] PSPICE 8.0 Reference Manual, ORCAD-Microsim Corporation, 1997.
- [2] I. Budiharjo and P. Lauritzen, "Performance requirements for power MOSFET models", IEEE Transactions on Power Electronics, vol. 12, no. 1, pp. 36-45, 1997.
- [3] H. Yee and P. Lauritzen, "SPICE models for power MOSFET- an update", Proceedings of IEEE APEC Conf., pp. 281-289, 1988.
- [4] J. Sen and P. Palmar, "A SPICE model for the accurate simulation of a power MOSFET during switching", Proceedings of EPE'91 Conf., pp. 286-288, 1991.
- [5] S. Malounyans, "SPICE computer model for HEXFET power MOSFETs", International Rectifiers, Application note AN 9751, 1991.
- [6] I. Budiharjo and P. Lauritzen, "The lumped charge power MOSFET model, including parameters extraction", IEEE Transactions on Power Electronics, vol. 10, no. 3, pp. 379-387, 1995.
- [7] C. Xu, D. Schroder, "A unified model for the power MOSFET including the inverse diode and the parasitic bipolar transistor", Proceedings of EPE'89, pp. 139, 1989.
- [8] A. Maxim and G. Maxim, "A high accuracy power MOSFET SPICE behavioral macromodel including the device self-heating and safe operating area simulation", Proceedings of 14thAPEC, vol. 1, pp. 177-183, 1999.
- [9] P. M. Watson, M. Weatherspoon, L. Dunleavy, and G. L. Creech, "Accurate and efficient small-signal modeling of active devices using artificial neural networks", Proceedings of IEEE Gallium Arsenide Integrated Circuit Symposium, pp. 95-98, 1998.
- [10] A. H. Zaabab, Q. J. Zhang, M. S. Nakhla, "Device and circuit-level modeling using neural networks with faster training based on network sparsity", IEEE Transactions on Microwave Theory and Techniques, vol. 45, no. 10, pp. 1696-1704, 1997.
- [11] S. Bila, Y. Harkouss, M. Ibrahim, J. Rousset, E. N'Goya, D. Baillargeat, S. Verdeyme, M. Aubourg, and P. Guillon, "An accurate wavelet neural-network-based model for electromagnetic optimization of microwave circuits", Internat'l J. RF & Microwave computer-Aided Eng., vol. 9, no. 3, pp. 297, 1999.
- [12] D. E. Rummelhart and J. L. McClelland, Parallel Distributed Processing, Cambridge, MIT Press, 1986.
- [13] B. Kim and S. Park, "An optimal neural networks plasma model: a case study", Chemometrics and Intelligent Laboratory Systems, vol. 56, no. 1, pp. 39-50, 2001.
- [14] T.M Roh, D.W. Lee, J. Kim, S.G. Kim, Q.S. Song, J.Y. Kang, J.G. Koo, K.S. Nam, and K.I. Cho, "High-voltage SOI power IC technology with non-RESURF n-LDMOSFET and RESURF p-LDMOSFET for PDP scan-driver application", Journal of Korean Physical Society, vol 37, No. 6, pp. 889-892, 2000.

저 자 소 개



김 병 환 (金秉桓)

1962년 10월 30일생. 1985년 고려대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업 (석사). 1995년 Georgia Institute of Technology 전기공학과 졸업 (공학박사). 1996년-1998년 현대전자 메모리연구소 책임연구원. 1999년-2001년 전남대학교 전임강사. 2001년~현재 세종대학교 전자공학과 부교수.

Tel: 02-3408-3729, Fax: 02-3408-3329
E-mail: kbwhan@sejong.ac.kr



노 태 문 (盧泰文)

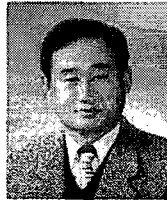
1984년 경북대학교 공과대학 전자공학과 졸업. 1986년 경북대학교 일반대학원 전자공학과 졸업 (석사). 1998년 경북대학교 일반대학원 전자공학과 졸업 (공학박사). 1986년-1988년 삼성종합기술원 연구원. 1988년-현재 한국전자통신연구원

책임연구원.
Tel: 042-860-6272, Fax: 042-860-6836
E-mail: tmroh@etri.re.kr



김 성 모 (金性模)

1976년 12월 14일생. 2002년 남서울대 전자공학과 졸업. 2002년~ 현재 세종대학교 일반대학원 전자공학과 재학(석사)
Tel: 02-3408-3729, Fax: 02-3408-3329
E-mail: 1214ksm@hanmail.net



김 증 대 (金鍾大)

1982년 경북대 공대 전자공학과 졸업. 1984년 동 대학원 전자공학과 졸업 (석사). 1994년 Univ. of New Mexico 전기 및 컴퓨터 공학과 졸업 (공학박사). 현재 ETRI 집적회로 연구부장

Tel: 042-860-6410, Fax: 042-860-6836
E-mail: jdkim@etri.re.kr



이 대 우 (李大雨)

1979년 경북대학교 공과대학 전자공학과 졸업. 1982년 경북대학교 일반대학원 전자공학과 졸업 (석사). 1993년 경북대학교 일반대학원 전자공학과 졸업 (공학박사). 1980년-현재 한국전자통신연구원 책임연구원.

Tel: 042-860-5743, Fax: 042-860-6836
E-mail: leedw@etri.re.kr