

Estimation Method for Power Distribution Network of Impedance Characteristic on Printed Circuit Board

趙泰鎬* · 朴重鎬** · 白宗欽*** · 金錫潤§

(Tae-ho Cho · Joong-Ho Park · Jong-Humn Baek · Seok-Yoon Kim)

Abstract - This paper proposes a new methodology for the estimation of impedance characteristics, which is one of the important issue in the power distribution network design of printed circuit boards. The modeling process of the proposed method divides the power distribution network into uniform segment, and each segment is modeled by distributed RLC transmission lines. Then, for the efficient computation of impedance characteristics in frequency domain, the proposed method uses a model-order reduction method.

Key Words : PCB, 전력 배분망, 전송선, 차수 축소 기법

1. 서 론

고속 디지털 시스템에서 중요한 분야 중 하나는 전력을 공급하는 전력 배분망을 설계하는 일이다. 클럭 속도가 증가하고, 신호의 상승시간과 공급전압이 감소함에 따라, 전력 배분망으로 흘러 들어가는 과도전류는 전압의 요동과 회로 지연을 야기시킬 수 있다[1]. 따라서, 고속의 패키지나 보드에 쓰이는 전력 배분망의 설계에 있어서 중요한 문제는 회로에 깨끗한 전력을 공급하는 일이다. 전력 배분망은 모든 주파수 범위 내에서 작은 임피던스를 가지는 것이 좋다. 이것은 과도 전류가 전력 배분망에 과잉 노이즈를 야기 시키지 않도록 하기 위함이다. 따라서 이러한 노이즈를 누그러뜨리거나 예측하는 방법이 필요했고, 이전부터 이러한 부분에 대한 연구들이 진행되어 왔다.

전력 배분망을 모형화하는 많은 방법들 중에서, 3차원구조 모형이 가장 정확한 모형을 제시한다고 볼 수 있다. 3차원구조 모형은 두 가지 종류로 나눌 수 있다. 첫 번째 방법은 전파(full-wave) 해석법으로, 유한 요소법(FEM), method of moments (MoM), the finite difference time domain (FDTD) 방법과 같은 것들이 제안되었으며, 전도율, 유전율, 투자율과 같은 물리적 구조와 값들을 직접 조각할 수 있다. 두 번째 방법은 partial element equivalent circuit (PEEC)

로서, 물리적 parameters로부터 등가 레지스턴스 R, 커패시턴스 C 그리고 인덕턴스 L을 계산하는 것이다[2]-[5]. 이러한 PEEC 방법으로는 어느 정도의 정확도는 보장해 줄 수 있었으나, 정확도를 얻기 위해서는 노드의 수가 더욱 더 커진다는 단점이 있었다.

따라서, 본 논문에서는 전력 배분망을 여러 개의 균일한 정사각형의 조각으로 나눈 다음, 조각들을 전송선으로 보고, 분포 RLC 모형으로 모형화 한다. 그렇게 함으로써, 기존의 PEEC모형에서 보다 적은수의 노드로 전력 배분망을 모형화 한다. 이상적인 전력 배분망이라면 모든 주파수 범위에서의 임피던스가 영이겠지만, 실제로는 그러한 전력 배분망은 존재하지 않을뿐더러, 대부분의 회로들도 특정한 주파수 범위 내에서 동작하게 되므로, 본 논문에서는 특정한 주파수 범위에서의 전력 배분망의 임피던스를 측정하는 방법을 제시한다. 또한, 모형해석시 주파수 도메인에서의 해석의 복잡도를 줄임으로써 효과적으로 임피던스의 크기를 알아내기 위해서 차수 축소 기법을 적용한다.

본 논문에서 제시하는 전력 배분망의 모형화 방법과 차수 축소 기법을 이용한 임피던스의 계산방법은 회로 설계자가 원하는 지점에서의 임피던스의 크기를 측정하여 디커플링(decoupling) 커패시터를 달아줄 위치를 찾는 등의 여러 종류의 회로설계 보조 도구에서 활용이 가능하다.

본 논문의 구성은 다음과 같다. 2장에서는 전력 배분망의 모형을 제시하고, 그 정당성에 대해 논하고, 3장에서는 2장에서 제시한 전력 배분망 모형에 의해 구성된 회로 방정식을 차수 축소 기법으로 해석함으로써 전력 배분망의 임피던스 값을 계산해 내는 방법에 대해 논한다. 그리고 이를 구현한 후 모형화와 차수 축소 기법에 의한 해석 기법의 정당성을 4장에서 시뮬레이션을 통하여 보인다. 마지막으로 5장에서 결론을 맺는다.

* 準 會 員 : 崇實大學 컴퓨터學科 碩士課程
 ** 準 會 員 : 崇實大學 컴퓨터學科 碩士課程
 *** 準 會 員 : 崇實大學 컴퓨터學科 博士課程
 § 正 會 員 : 崇實大學 컴퓨터學科 副教授 · 工博
 接受日字 : 2002年 11月 18日
 最終完了 : 2003年 2月 6日

2. 전력 배분망의 모형화

2.1 전력 배분망의 분할

그림 2-1(a)의 전력 배분망을 그림 2-1(b)의 일정한 크기의 단일 셀로 분할한다. 이때에 전력 배분망의 한 변의 길이를 전송선의 길이라고 봤을 때, 이 전송선을 분할하게 되면 분할된 전송선에서는 신호 반사가 일어나면 안 되므로 신호의 반사가 일어나지 않는다고 가정할 수 있을 만큼의 크기로 단일 셀을 나누어 주어야 한다. 우리는 그 크기를 이전에 논문들에서 제시한 대로 $\lambda/15$ 로 정하기로 한다[6].

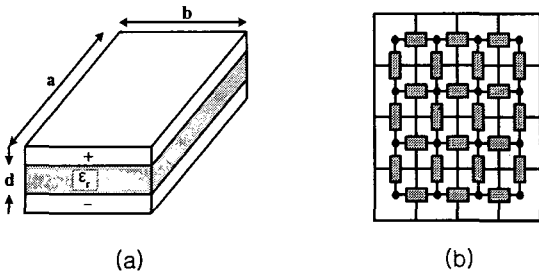


그림 2-1 전력 배분망과 분할된 단일 셀
Fig. 2-1 Power distribution network and divided uniform segment.

다음으로 각각의 단일 셀에서 각각의 등가 R, L, C 값이 계산되어진다. 각각의 값들은 아래와 같이 계산되어질 수 있다[7].

$$R_u = \frac{2}{t\sigma} \quad L_u = \mu d \quad C_u = \epsilon \frac{l^2}{d} \quad (1)$$

식(1)의 ϵ 은 유전체의 유전율, l 은 셀의 측면 길이, d 는 유전체의 두께를 각각 말하며, σ 는 전력 배분망의 전도율, μ 는 매질의 투자율, t 는 전력 배분망의 두께를 나타낸다.

구해진 L, C의 값에 의해 단일 셀을 무손실 전송선으로 보고 Z_0, TD 값을 구할 수 있다. 그 식은 아래와 같다.

$$Z_0 = \sqrt{\frac{2L_u}{C_u}} \quad TD = \sqrt{\frac{L_u C_u}{2}} \quad (2)$$

식(2)의 Z_0 는 전송선의 특성 임피던스, TD 는 신호가 전송선을 통과하는데 걸리는 시간을 나타낸다.

2.2 분할된 단일 셀에 대한 분포 LC 모형

일반적인 전송선 모형은 보통 두 가지로 나누는데, 그 하나는 선의 손실이 없다고 가정한 무손실 전송선 모형이고, 또 하나는 그림 2-3과 같은, 선의 저항성분에 의한 손실을 고려한 유손실 전송선 모형이 있다.

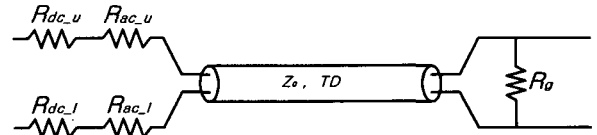


그림 2-2 유손실 전송선 모형
Fig. 2-2 Lossy transmission line model.

본 논문에서는 그림 2-3의 유손실 전송선 모형을 기반으로 하는 분포 LC 모형을 제안한다. 유손실 전송선 모형에서 R_{ac} 의 값은 일반적으로 매우 작은 값으로 구해지고 R_g 의 값은 매우 큰 값으로 구해지므로 무시할 수 있다. 따라서 본 논문에서는 R_{ac} 값과 R_g 값을 무시하고, $R_{dc,u}$ 값과 $R_{dc,l}$ 값만을 사용한다.

따라서 그림 2-4에서 보이는 것과 같은 분포 LC 모형을 만들어낼 수 있다.

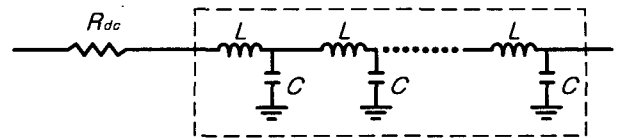


그림 2-3 분포 LC 모형
Fig. 2-3 Distributed LC model.

이 모형은 크게 두 부분으로 나눌 수 있으며, 그 하나는 R_{dc} 이고 그 값은 식(3)과 같다.

$$R_{dc} = R_{dc,u} + R_{dc,l} \quad (3)$$

나머지 하나는 분포 LC이다. 전체 L_{tot} 와 C_{tot} 값은 식(4)와 같이 Z_0 과 TD 의 식으로 얻을 수 있다.

$$L_{tot} = Z_0 \times TD \quad C_{tot} = \frac{TD}{Z_0} \quad (4)$$

그리고 전체 L_{tot} 와 C_{tot} 값을 균일하게 분할해서 LC ladder의 형태로 나타내게 되는데, 이 때에 몇 개의 LC ladder로 구성할 것인지를 결정해야 한다. 이는 두 가지의 요소로 결정할 수가 있는데, 그 하나는 식(5)와 이 조각난 전송선을 집중회로로 근사할 수 있는 조건과 실제 운용되는 시스템 내에 존재하는 신호 에너지는 유한하며 이는 신호대역폭의 유한성과 직결된다는 식(6)의 수식을 연립함으로써 식(7)과 같이 풀 수 있다. 이 때에 n 은 LC ladder의 개수, tr 은 신호의 상승시간, f_{max} 는 최대 동작 주파수이다[8].

$$\frac{TD}{n} \leq \frac{tr}{10} \quad (5)$$

$$f_{max} = \frac{0.5}{tr} \quad (6)$$

$$n \geq 20 \times TD \times f_{max} \quad (7)$$

그림 2-4는 4''*4'' plane을 10셀 *10셀 mesh 구조로 모

형화 했을 때의 HSPICE 시뮬레이션 결과 값이다. 그림 2-4에서 위의 "유손실 전송선"은 유손실 전송선 모형이고, 두 번째, "분포 LC모형"은 본 논문에서 제안하는 R_{dc} 값만을 고려한 분포 LC모형이다. 그림 2-4에서 보듯이 전송선 모형과 분포 LC모형의 임피던스 측정 결과의 차이가 거의 없음을 알 수 있다. 본 논문에서 제안하는 분포 LC모형의 최대 상대 모형화 오차 한계는 논문 [12]에서 제시하는 최대 모형화 오차 한계를 기반으로 한다.

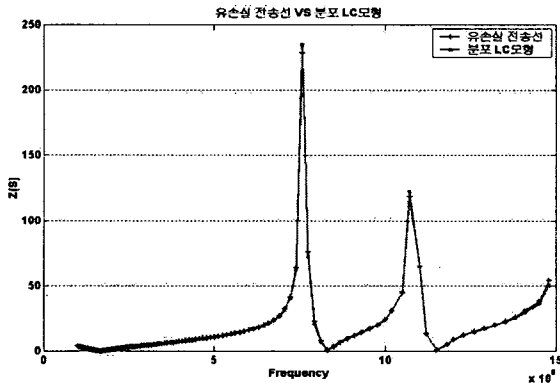
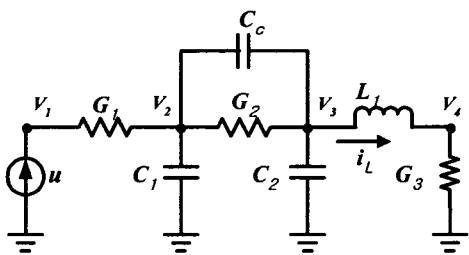


그림 2-4 유손실 전송선 모형과 분포 LC 모형과의 임피던스값 비교
Fig. 2-4 Impedance comparison lossy transmission line model with distributed LC model.

3. 차수 축소 기법을 이용한 임피던스 계산 방법

3.1 RLC회로의 표현

대부분의 잘 알려진 RLC회로의 표현은 그림 3-1에서 보이는 것과 같은 MNA(modified nodal analysis)방정식이 이용된다[10].



$$\begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & (C_c+C_1) & -C_c & 0 \\ 0 & -C_c & (C_2+C) & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \\ v_4 \end{bmatrix} + \begin{bmatrix} G_1 & -G_1 & 0 & 0 \\ -G_1 & (G_1+G_2) & -G_2 & 0 \\ 0 & -G_2 & G_2 & 0 \\ 0 & 0 & 0 & G_3 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \\ v_4 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} u$$

$v_1 = [1 \ 0 \ 0 \ 0] X_n$

그림 3-1 단일포트 RLC 회로에 대한 MNA 행렬 예제
Fig. 3-1 MNA matrix for single port RLC circuit.

MNA의 표현 내에서 시스템 방정식은 다음과 같이 표현된다.

$$Cx + Gx = Bi_p \tag{8}$$

$$V_p = L^T x \tag{9}$$

i_p 는 포트 전류, V_p 는 포트 전압, x 는 MNA에서의 n 개의 변수벡터, C, G 는 $n \times n$ 행렬, L 은 $n \times p$ 행렬, B 는 $n \times m$ 행렬을 나타내며, 이 때의 p 와 m 은 입력과 출력의 수를 말한다. 식(8)과 식(9)의 식을 라플라스 변환하면 식(10)과 식(11)의 식을 얻을 수 있다.

$$X = (G + sC)^{-1} B I_p \tag{10}$$

$$V_p = L^T X \tag{11}$$

그러므로, 식(10)과 식(11)에 의해 Z -변수 행렬이 식(12)과 같이 주어진다.

$$Z(s) = L^T (G + sC)^{-1} B \tag{12}$$

식(12)을 단순화시키면 식(13)과 같이 다시 쓸 수 있다.

$$Z(s) = L^T (U_n - sA)^{-1} R \tag{13}$$

$$A = -G^{-1}C, \quad R = G^{-1}B$$

U_n 은 $n \times n$ 항등 행렬이다.

3.2 차수 축소 기법을 이용한 임피던스 계산

Arnoldi 알고리즘[7]은 식(13)의 행렬 A 를 상 Hessenberg 행렬, H_q 로 줄인다. H_q 행렬을 만들기 위해서는 직교행렬, Q 가 필요하며, 행렬 Q 는 행렬 A, R 그리고 축소 차수 q 에 의해 결정되며 다음과 같은 관계를 만족한다.

$$Q^T A Q = H_q, \quad Q^T Q = U_q \tag{14}$$

원래의 시스템 변수는 축소된 시스템 변수와 직교행렬 Q 에 의해서 다음과 같이 표현할 수 있다.

$$x = Q_{n \times q} \hat{x} \tag{15}$$

그리고 원래의 식(8), (9)의 x 를 \hat{x} 으로 교체하면 다음 식을 얻을 수 있다

$$\hat{C} \hat{x} + \hat{G} \hat{x} = \hat{B} i_p \tag{16}$$

$$V_p = \hat{L}^T \hat{x} \tag{17}$$

이 때의 $\hat{C}, \hat{G}, \hat{B}, \hat{L}$ 은 다음과 같다.

$$\begin{aligned} \hat{C} &= Q^T C Q \\ \hat{G} &= Q^T G Q \\ \hat{B} &= Q^T B \\ \hat{L} &= Q^T L \end{aligned} \tag{18}$$

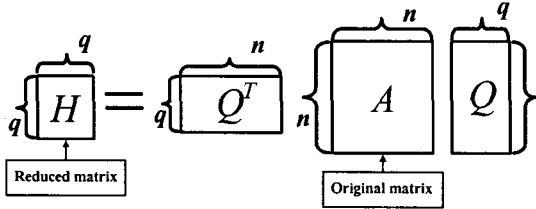


그림 3-2 Arnoldi 알고리즘을 이용한 행렬 축소
Fig. 3-2 Matrix reduction using Arnoldi algorithm.

최종적으로 원래의 Z-변수 행렬 식(12)는 식(19)와 같이 쓸 수 있다.

$$\hat{Z}(s) = \hat{L}^T (\hat{G} + s \hat{C})^{-1} \hat{B} \tag{19}$$

그리고, 식 (19)를 풀어서 원하는 Z-변수를 얻을 수 있다.

3. 시뮬레이션

본 논문에서는 크게 두 가지 경우에 대해 시뮬레이션을 실시한다. 첫 번째는 전력 배분망의 서로 다른 곳에 입력 소스를 위치시키고, 전력 배분망의 여러 곳에서 임피던스를 측정해 봄으로써, 본 논문에서 제시하는 모형과 Arnoldi 알고리즘을 이용한 임피던스 측정 방법의 정당성을 보인다. 그리고 두 번째는 임피던스 측정의 응용분야 중에 하나인, 원하는 위치와 원하는 주파수 대역에서의 임피던스의 크기를 최소화해 주기 위한 디커플링 커패시터의 최적 위치를 찾는 방법에 대해 사례를 들어 보인다. 시뮬레이션에 사용되는 전력 배분망은 4"×4" 크기이며, 기본 물리적인 값들은 삼성전자에서 사용하고 있는 PCB를 기준으로 한다. 본 시뮬레이션에서는 전력 배분망을 그림 4-1에서 보이는 것과 같이 10셀×10셀 mesh 구조로 모형화 한다.

그림 4-2와 그림 4-3은 (1,1)지점에 입력을 주고 임피던스를 측정한 결과이다. 그리고, 그림 4-4과 그림 4-5는 (6,1)지점에 입력을 주고 임피던스를 측정한 결과이다. 각 그림들은 모두 손실 전송선 모형을 HSPICE로 시뮬레이션한 것과, 본 논문에서 제시한 분포 LC 모형을, 구현한 Arnoldi 알고리즘을 통해서 시뮬레이션한 것과의 결과 비교이다. 시뮬레이션은 100MHz~1.5GHz 까지의 범위에 대해 실시하였다. 시뮬레이션 결과 측정된 임피던스의 값들은 약 1.2GHz 이하의 범위에서는 HSPICE와 Arnoldi 알고리즘에서 거의 동일한 값들로 나타난다. 현재의 PCB 회로설계의 관점에서 PCB의 최대 동작주파수가 300MHz를 넘지 않고 있으며, EMI등에서 고려하는 주파수도 1GHz를 넘지 않고 있으므로 본 논문에서 제시하는 모형화와 해석방법으로도 충분한 정확도를 보장한다.

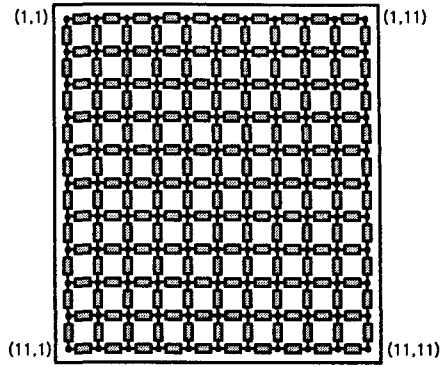


그림 4-1 10 × 10 mesh 구조
Fig. 4-1 10 × 10 mesh structure.

표 4-1 분포 LC 모형의 모형화 최대 상대 오차 범위 : 100 MHz ~ 1GHz
Table 4-1 Maximum relative error of distributed LC mode Range : 100MHz ~ 1GHz.

| | 그림 4-2 | 그림 4-3 | 그림 4-4 | 그림 4-5 |
|--------------|--------|--------|--------|--------|
| 평균 상대 오차 (%) | 1.1844 | 0.1767 | 1.6276 | 1.1457 |
| 최대 상대 오차 (%) | 8.1768 | 6.5528 | 8.5221 | 7.5090 |

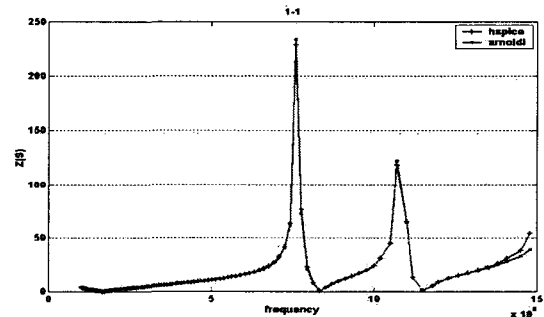


그림 4-2 소스 : (1,1) - 임피던스 측정 : (1,1)
Fig. 4-2 Source : (1,1) - Impedance computation : (1,1).

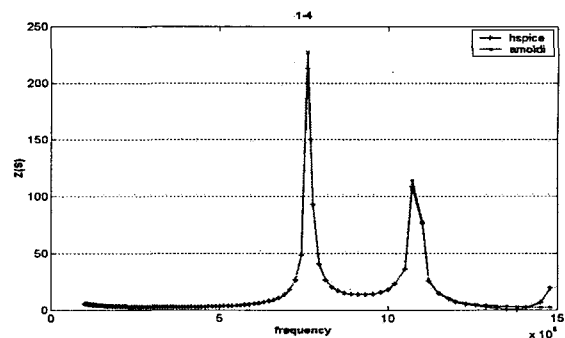


그림 4-3 소스 : (1,1) - 임피던스 측정 : (11,11)
Fig. 4-3 Source : (1,1) - Impedance computation : (11,11).

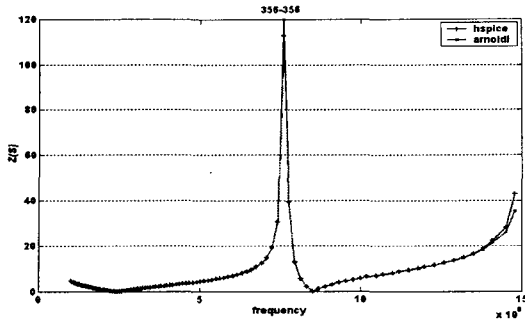


그림 4-4 소스 : (6,1) - 임피던스 측정 : (6,1)
 Fig. 4-4 Source : (6,1) - Impedance computation : (6,1).

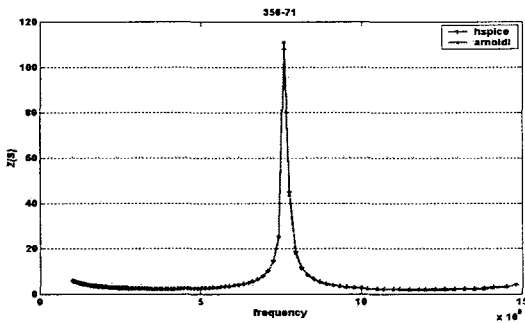


그림 4-5 소스 : (6,1) - 임피던스 측정 : (1,11)
 Fig. 4-5 Source : (6,1) - Impedance computation : (1,11).

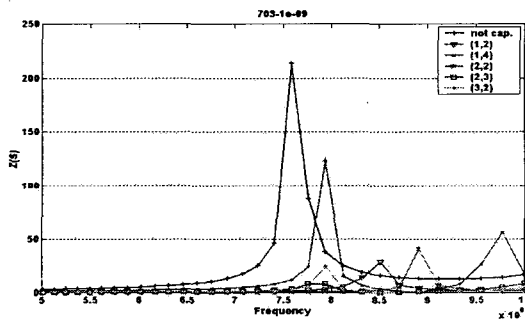


그림 4-6 커패시터(1pF)의 위치를 변화시키면서 임피던스 (10,10)를 측정
 Fig. 4-6 Impedance computation (10,10) for location of capacitor(1pF).

그림 4-6 및 4-7은 실제 디커플링 커패시터를 달아주기 위한 최적 위치를 찾는 응용의 예를 간략히 보여준다. 그림에서 확인할 수 있듯이 커패시터의 위치를 변화시켜주면서 전력 배분망의 각 지점에서의 임피던스 값을 측정해 보면 커패시터의 위치가 변할 때마다 임피던스 값도 변하는 것을 알 수 있다. 따라서 PCB의 동작주파수 내에서의 원하는 지점이 최소 임피던스 값을 갖도록 만드는 디커플링 커패시터의 위치를 알아낼 수 있다. 더 나아가서 최소 임피던스 값을 요구하는 지점이 한 곳이 아니라 여러 곳이라면 디커플링 커패시터의 위치를 변화시키고, 그 때의 원하는 지점들의 임피던스를 측정 후 그 평균값을 취하여 값이 가장 작은 위치를 디커플링 커패시터의 최적 위치로 찾아줄 수 있다.

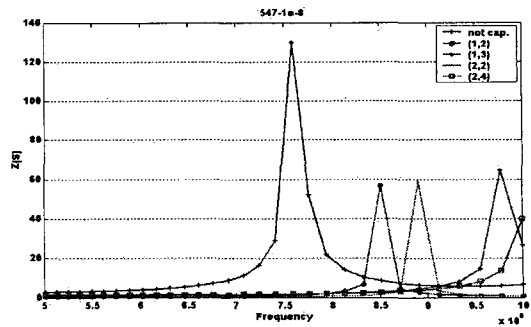


그림 4-7 커패시터(10pF) 위치를 변화시키면서 임피던스 (8,8)를 측정
 Fig. 4-7 Impedance computation(8,8) for location of capacitor (10pF).

5. 결론

디지털 시스템이 점점 소형화 경향화의 추세로 나아감에 따라서 전체적인 시스템은 저 전력을 기본으로 한다. 따라서 시스템의 공급전압이 감소하고, 낮은 공급전압으로 큰 구동전류를 발생시켜야 하는 현대의 전력 배분망은 시스템 설계의 중요한 부분을 차지한다고 하겠다. 이러한 관점에서 볼 때 전력 배분망의 설계는 매우 중요하며, 본 논문에서는 전력 배분망을 모형화하는 방법과 모형화된 회로를 해석하기 위한 차수 축소 기법을 제시하였다.

제안된 모형화 방법은 동일한 크기의 회로에 대하여 유손실 전송선 모형과의 비교를 통해 모형화의 정당성을 입증하였고, 회로해석을 위해서는 차수 축소 기법의 하나인 Arnoldi 알고리즘을 사용하였으며, 결과의 정확도는 HSPICE 시뮬레이션과의 비교 분석을 통하여 보였다.

제안된 방법은 전력 배분망의 임피던스를 거시적인 모형을 통한 해석적 방법으로 계산할 수 있음을 보이고 적용 결과는 기존의 전송선 모형과의 모형화 오차분석과 HSPICE 시뮬레이션 결과와의 오차분석에서 높은 정확도를 보였다. 따라서 설계자의 입장에서 제안한 방법을 이용함으로써 전력 배분망의 임피던스를 쉽게 계산해 낼 수 있으며, 최적의 디커플링 커패시터의 위치를 찾는 등의 여러 방향으로의 이용이 가능할 것이다.

참고 문헌

- [1] R.R. Tummala, E.J. Rymaszewski, and A.G. Klopfenstein, *Microelectronics Packaging Handbook*, 2nd ed. New York: Chapman & Hall, 1997, pt. I.
- [2] J. Svedin, "A numerically efficient finite-element formulation for the general waveguide problem without spurious modes," *IEEE Trans. Microwave Theory & Tech.*, vol.37, pp.302-307, 1966.
- [3] T. Watanabe and H. Asai, "Synthesis of time-domain models for interconnects having 3-D structures based on FDTD method," *IEEE Trans. Circuits & Syst.-II*, vol.47, no.4, p.302, April 2000.

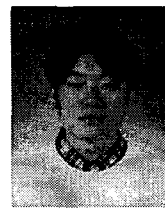
- [4] A.E. Ruehli, "Equivalent circuit models for three-dimensional multiconductor system," *IEEE Trans. Microwave Theory & Tech.*, vol.22, no.3, March 1974.
- [5] K. Lee and A. Barber, "Modeling and analysis of multichip module power supply planes," *IEEE Trans. COMT-Part B*, vol.18, no.4, pp.628-639, Nov. 1995.
- [6] H. B. Bakoglu, *Circuit, Interconnections, and Packaging for VLSI*, Addison Wesley Pub. Co., Inc., 1990.
- [7] L. M. Silverira, M. Kamon, I. Elfadel, and J. White, "A Coordinate-Transformed Arnoldi Algorithm for Generating Guarantee Stable Reduced-Order Models of RLC Circuits," In *Proc. IEEE/ACM International conf. On Computer-Aided Design*, pp. 288-294. 1996.
- [8] 김석윤, *VLSI 시스템 회로연결선의 모형화 및 해석*, IDEC 교재 개발 시리즈 10, 시그마프레스, 1999.
- [9] 백중흠, 김석윤, "VLSI 회로연결선의 효율적 해석을 위한 거시 모형," 1999년 5월, *전자공학회논문지*, 36권, C편, p12-26.
- [10] A. KAMO, T. WATANABE, and H. ASAI, "A New Methodology for Optimal Placement of Decoupling Capacitors on Printed Circuit Board," *IEICE TRAN. FUNDAMENTALS*, VOL.E84-A, NO.12 DECEMBER 2001.
- [11] J. Douglas Faires, Richard L. Burden, *Numerical Methods*, PWS Publishing Company, 1993.
- [12] A. Odabasioglu, M. Celik, "PRIMA: Passive Reduced-order Interconnect Macromodeling Algorithm," *IEEE Tran. on Computer-Aided Design of Intergrated Circuits and Systems*, vol.17, No.8, August 1998.
- [13] J. H. Kim and M. Swaminathan, "Modeling of Irregular Shaped Power Distribution Planes Using Transmission Matrix Method," *IEEE Tran. on Advanced Packaging*, vol.24, No.3, August 2001.

저 자 소 개



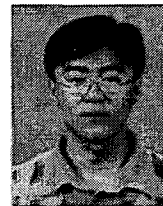
조 태 호 (趙泰鎭)

2001년 숭실대학교 전기공학과 졸업.
2003 숭실대학교 컴퓨터학(석사). 현재 아이엠 아이테크 연구원. 주 관심 분야는 설계 자동화, VLSI 회로 해석 및 설계



박 중 호 (朴重鎭)

2002년 숭실대학교 컴퓨터학부 졸업.
2002년~현재 숭실대학교 컴퓨터학과 석사과정. 주 관심 분야는 설계 자동화, VLSI 회로 해석 및 설계



백 중 흠 (白宗欽)

1996년 수원대 전자계산학과 졸업. 1998년 숭실대 컴퓨터학과(석사). 2001년 숭실대 컴퓨터학과(박사). 2001~2002 삼성 전자 연구원. 2002~현재 광운대 연구교수. 주 관심 분야는 설계 자동화, VLSI 회로 해석 및 설계



김 석 윤 (金錫潤)

1980년 서울대 공대 전기공학과 졸업.
1990년 University of Texas at Austin 전기, 컴퓨터학과(석사). 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자 통신연구소 연구원. 1993년~1995년 Motorola Inc. Senior Staff Engineer. 1995년~현재 숭실대학교 컴퓨터 학부 교수. 주 관심분야는 설계 자동화, VLSI 회로 해석 및 설계.