

계층적 SoC 테스트 접근을 위한 명령어 기반 코어 연결 모듈의 설계

論 文

52D-3-5

A Design of Instruction Based Wrapped Core Linking Module for Hierarchical SoC Test Access

李賢彬* · 朴成柱**

(Hyun-Bean Yi · Sung-Ju Park)

Abstract - For a System-on-a-Chip(SoC) comprised of multiple IP cores, various design techniques have been proposed to provide diverse test link configurations. In this paper, we introduce a new instruction based Wrapped Core Linking Module(WCLM) that enables systematic integration of IEEE 1149.1 TAP'd cores and P1500 wrapped cores with requiring least amount of area overhead compared with other state-of-art techniques. The design preserves compatibility with standards and scalability for hierarchical access.

Key Words : 경계스캔 설계, IEEE 1149.1, P1500, SoC 테스트, 코어 테스트

1. 서 론

반도체 공정기술의 급속한 발달로 칩의 집적도가 급속히 높아지면서 시스템이 칩 하나에 구현되는 SoC(System-on-a-Chip)가 가능하게 되었다. 보드는 칩이 되고, 칩은 다시 IP 코어라는 재사용 가능한 설계모듈이 되어, 프로세서 코어, 메모리 코어라는 형태로 시스템을 구성하고자 하는 사용자에게 제공된다. 따라서 이러한 설계의 재사용 성으로 인해 설계 시간의 획기적인 단축을 가져오게 되었다. 하지만 SoC 설계에 있어서 주요 병목현상은 테스트와 디버깅에서 일어나고, 따라서 SoC의 코어들에 대한 효율적인 테스트 접근은 중요한 문제점으로 부각되고 있다.

IP 코어로 구성된 SoC에 대한 테스트 접근 구조의 중요한 요소는 TAM(Test Access Mechanism)과 테스트 래퍼이다[1]. TAM은 코어 내부 테스트를 위해 테스트 입력을 위한 스캔 체인을 포함하고 있고, 래퍼는 테스트 입력을 대상 코어의 내부 테스트 또는 연결선 점검의 외부테스트를 위한 테스트 패턴으로 변환시킨다. 테스트 비용은 ATE에 사용되는 메모리와 테스트패턴의 주입시간에 의해 결정되며 이는 테스트 래퍼와 TAM이 시스템 칩에 어떻게 접목되는냐에 따라 크게 영향을 받는다. 따라서 효율적인 테스트를 위해, TAM과 테스트 래퍼의 결합[2,3]과 1149.1 TAP이 있는 코어와 P1500 래퍼가 있는 코어를 위한 연결 제어기[4-11]등의 효율적인 테스트 접근 구조가 커다란 관심이 되고 있다. 본 논문은 1149.1 TAP 과 P1500의 서로 다른 래

퍼가 있는 코어로 구성된 SoC를 위한 새로운 코어 연결 제어 기술을 제안한다.

복수개의 1149.1 TAP 코어에 테스트 접근을 하는데 있어 문제점들을 해결하기 위한 몇 가지 방법들이 제안되었다 [6-10]. 1149.1 제어신호로 P1500 코어를 계층적으로 접근하면서 발생하는 문제점을 해결하기 위해서 P1500 SIL(Serial Interface Layer)를 개선한 테스트 구조 방식도 제안되었다 [12]. 본 논문은 IEEE 1149.1 과 P1500 표준을 유지하며 계층적 테스트 접근을 할 수 있는 명령어 기반의 WCLM(Wrapped Core Linking Module)을 제안한다. 본 논문은 다음과 같이 구성되어 있다. 2장에서는 1149.1 코어를 위한 기존의 TAP 연결 기술에 대해서 살펴보고, 3장에서는 P1500 래퍼를 소개한다. 4장에서는 본 논문에서 제안하는 명령어 기반의 WCLM을 소개하며, 5장에서는 기존 방식과 설계 결과를 비교하고, 마지막 장에서는 결론을 기술한다.

2. Link Controllers for IEEE 1149.1

IEEE 1149.1 경계스캔은 보드 또는 시스템 수준에서 테스트 패턴의 인가를 쉽게 하기 위한 테스트 설계 기술이다. 1149.1 표준 TAP(Test Access Port)은 TDI, TDO, TMS, TCK와 선택적인 TRST 핀을 포함한다[4]. 그림 1은 표준 IEEE 1149.1 경계스캔 설계를 보여준다. 명령어 레지스터상의 현재 명령에 의해 경계스캔, 바이패스, 또는 사용자 정의 테스트 데이터 레지스터가 TDI-TDO 경로상에 놓이게 된다. 필수적인 명령어로는 BYPASS, SAMPLE/PRELOAD와 EXTEST가 있고, RUNBIST, IDCODE, HIGHZ, CLAMP와 같은 사용자 정의 명령어가 있다.

* 準 會 員 : 漢陽大 工學大 컴퓨터工學科 碩士課程

** 正 會 員 : 漢陽大 工學大 電子컴퓨터工學部 副教授

接受日字 : 2002年 5月 15日

最終完了 : 2002年 12月 6日

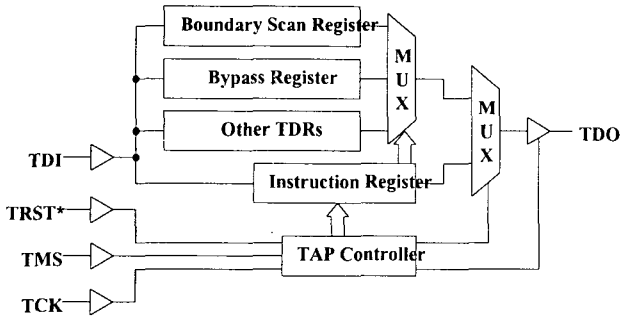


그림 1 IEEE 1149.1 경계스캔 설계 구조
Fig. 1 Architecture of IEEE 1149.1 boundary scan design

그림 2와 3은 IEEE 1149.1 경계스캔이 구현되어있는 코아와 그렇지 않은 코아로 구성된 SoC를 보여주고 있다.

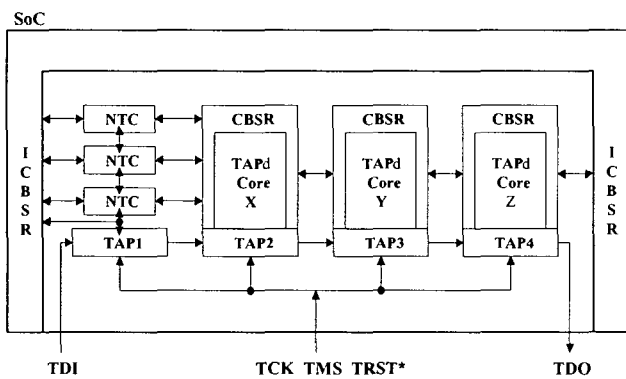


그림 2 TAP'd IP 코아의 직렬연결
Fig. 2 Simple serial connection of TAP'd IP cores

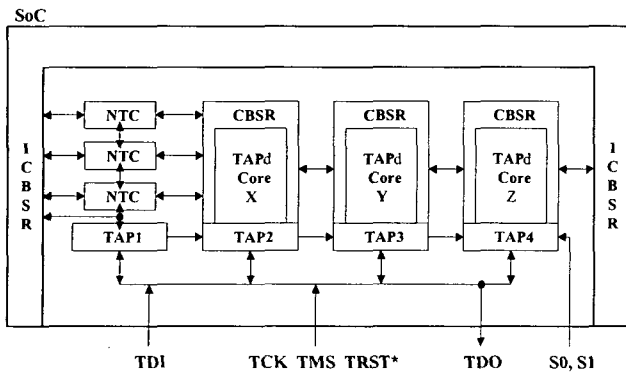


그림 3 TAP'd IP 코아 선택핀을 추가한 방식
Fig. 3 Using additional input pins to select TAP'd IP core

TAP'd Core는 TAP을 포함하고 있는 코아이고 NTC(Non TAP'd Core)는 TAP을 포함하고 있지 않은 코아를 의미한다. ICBSR(IC Boundary Scan Register)과 CBSR(Core Boundary Scan Register)은 각각 IC의 경계스캔 레지스터와 코아의 경계스캔 레지스터이다.

IEEE 1149.1 경계스캔은 보드 및 시스템 수준 테스트를 위해 제안되었지만, 최근에는 IP 코아에도 사용함으로써 SoC 테스트 및 디버그에도 널리 사용하고 있다[6-10]. 그림

2와 3을 포함하는 여러 가지 SoC 테스트 제어 기술이 제안되었다. [8]에서 기술한 바와 같이 그림 2는 첫째, 하나의 칩에는 하나의 TAP만 존재해야 하므로 1149.1 표준에 위배되며, 둘째, 스캔경로가 항상 최대가 되어 테스트 시간이 길어지게 된다는 문제가 있다. 따라서 이러한 문제를 해결하기 위해 그림 3에서는 TAP이 있는 각 코아를 선택하기 위해 S0, S1이라는 선택 핀을 추가하였다. 그러나 이 구조에서는 첫째, 동시에 두 개 이상의 코아 선택이 불가능하므로 코아 간 연결선 점검을 할 수 없고, 둘째, 보드수준 설계에서 테스트를 위한 추가적인 배선이 필요하다는 단점이 있다[9].

그림 4는 IBM에서 제안한 방식으로서 SoC의 TAP을 사용한 프로세서 코아의 디버깅이 주요 목적이다[7]. P1, P2, P3은 각각 1149.1 TAP이 있는 프로세서 코아이고, 칩 수준의 1149.1 TAP의 테스트 데이터 레지스터 위치에 직렬로 연결되어 있다. IBM 방식의 가장 큰 단점은 ICBSR과 CBSR간의 연결선 점검을 할 수 없다는 것이다. 이는 TAP이 있는 프로세서 코아를 테스트하거나 디버깅하기 위해서는 SoC TAP과의 연결이 끊어지고, 직렬로 연결된 다른 모든 코아는 바이패스 모드로 놓아야 하기 때문이다.

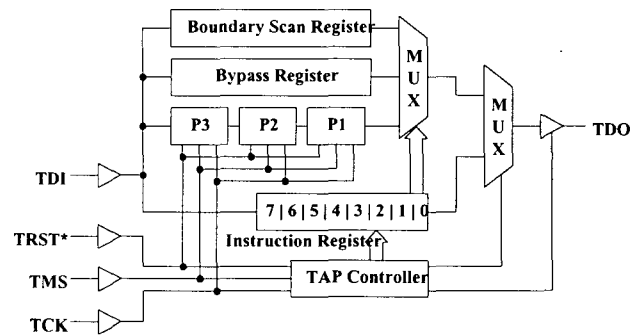


그림 4 SoC TAP의 명령어 비트를 사용한 IBM의 직렬 연결 방식
Fig. 4 IBM's serial connection by utilizing SoC instruction bits

그림 5는 TI에서 제안한 TLM(TAP Linking Module)방식을 보여준다. TLM은 TAP이 있는 코아 간과 SoC 간에 어떠한 연결도 가능하게 해 주지만 SoC와 코아의 표준 IEEE 1149.1 경계스캔 설계에 추가적인 테스트 회로를 넣기 위해 DSP, CPU등과 같은 이미 만들어진 코아의 회로를 변경해야만 한다. 즉, 코아 제조자에게 IEEE 경계스캔 회로에 추가적인 명령어와 회로를 넣을 것을 요구해야 한다는 문제점이 있다.

TI의 TLM 방식의 문제점을 제거하기 위해서 TLM과 TAP이 있는 코아 간의 상태 동기화를 위한 SCE(State Condition Expander) 모듈을 그림 6과 같이 포함 할 수 있다. 하지만 코아는 추가적인 테스트 회로를 필요로 하지 않는 반면에 SEL_TLM 이라는 핀을 SoC에 추가해야 하고, 이로 인해 계층적으로 개선된 TLM이 사용될 경우 테스트 접근시에 IEEE 1149.1 표준과 호환을 이루지 못 한다는 문제점이 있다.

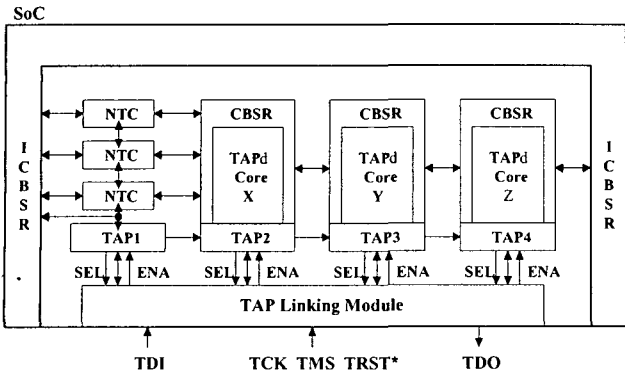


그림 5 TI에 의해 제안된 TLM(TAP Linking Module) 방식
Fig. 5 TAP Linking Module proposed by TI

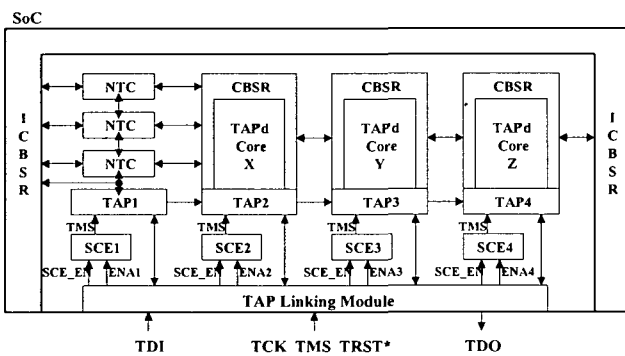


그림 6 Modified TLM을 사용한 SoC
Fig. 6 SoC using modified TLM

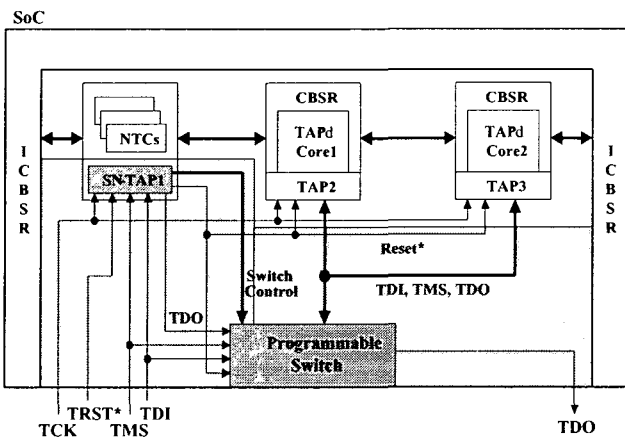


그림 7 HTAP을 사용한 SoC
Fig. 7 SoC with the HTAP

호환성과 확장성을 위해 HTAP(Hierarchical TAP) 기술이 제안되었다[9,10]. HTAP은 실제 계층의 최상위에서 SNTAP(Snoopy TAP)이라 불리는 1149.1 TAP의 변형된 구조를 사용한다. HTAP은 그림 7과 같이 크게 두 부분으로 나뉘어 있는데, 첫 번째는 SoC의 1149.1 호환 테스트 핀들을 TAP이 있는 복수개의 코어들이 공유할 수 있도록 하게 하는 스위치이고, 두 번째는 SNTAP(Snoopy TAP)이라 불리는 1149.1 TAP의 변형된 구조로써, SoC의 TAP이 없는

회로부분에 대해서 1149.1 TAP 기능을 수행하고 TAP이 있는 복수개의 코어가 SoC의 1149.1 테스트 핀을 공유하는데 중재 역할을 한다. 그러나 HTAP은 첫째, Snoopy-State 상태로 되거나 빠져 나오는 절차가 1149.1 관점에서 부자연스럽고, 둘째, SoC의 경계스캔과 코어의 경계스캔간의 연결선 점검을 할 수 없다는 단점이 있다.

이제까지는 1149.1 코어로 구성된 SoC 테스트 제어기에 대해서 살펴보았고 다음은 P1500 래퍼에 대하여 살펴본다.

3. IEEE P1500 Wrapped Cores

IEEE P1500은 코어를 테스트하기 위한 표준안으로서, 코어에 테스트 패턴을 효율적으로 인가하고 결과를 관찰할 수 있도록 한다. P1500에 의해 정의되는 코어 테스트 래퍼는 다음과 같은 특징을 갖는다[1].

- * IEEE 1149.1에서 제공되는 모드의 부분집합으로서 코어 내부 테스트, 연결선 테스트, 그리고 바이패스 모드를 지원한다.
- * 코어 테스트 래퍼(경계스캔 체인)를 코어 내부 스캔 체인에 연결하여 SoC 내부 테스트 용도로 사용한다. (다양한 TAM 지원).
- * 코어 테스트 래퍼는 SoC의 1149.1 TAP 제어기 제어신호에 의해 다양한 모드로 동작한다.

그림 8은 P1500 래퍼 레지스터, TAM 연결부, 명령어 레지스터, 및 외부에서 제공받아야 하는 각종 제어신호를 보여주고 있다. 제어신호는 Update, Capture, Shift, 및 테스트력을 포함한다.

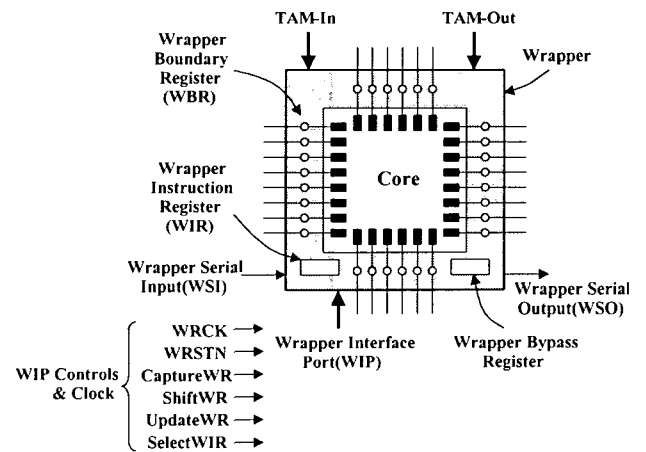


그림 8 P1500 구성도
Fig. 8 Architecture of P1500 wrapper

IEEE 1149.x에서 경계스캔 기술언어인 BSDL(Boundary Scan Description Language)과 같이 P1500에는 코어 제공자로부터 코어 사용자에게 테스트 관련 정보를 제공하기 위한 코어 테스트 기술 언어 CTL(Core Test Language)이 정의되어 있다. CTL은 테스트 방법, 테스트 모드, 테스트 패

턴, 그리고 테스트를 위한 하드웨어 정보 등 테스트 관련 정보를 포함하고 있다. IEEE 1149.1 이 구현되어 있는 코어로 구성되어 있는 SoC를 테스트하기 위한 코아 연결 기술들이 몇 가지 제안되었다[4-11]. 본 논문에서 제안하는 새로운 코아 연결 기술인 명령어 기반 WCLM은 IEEE 1149.1 뿐만 아니라 P1500 래퍼가 구현되어 있는 코어로 구성되어 있는 SoC에 최소한의 영역 오버헤드로 코아에 대한 회로 변경 요구를 하지 않고 적용할 수 있다.

4. 명령어 기반 Wrapped Core Linking Module

본 장에서는 본 논문에서 제안하는 새로운 코아 연결 모듈인 명령어 기반 WCLM에 대해 상세하게 기술한다.

4.1 명령어 기반 WCLM의 기능 및 구조

IEEE 1149.1 또는 P1500 래퍼가 있는 코아에 대해서 체계적이고 계층적인 테스트 접근을 하기 위해, 명령어 기반 WCLM은 테스트 버스와 코아 간의 조율을 한다.

그림 9는 본 논문에서 제안하는 명령어 기반 WCLM을 사용한 테스트 접근 구조의 개괄적인 모습을 보여준다. SoC의 1149.1 TAP인 TAP1은 WCLM을 제어하고, TAP2와 TAP3는 각각 코아2, 3의 1149.1 TAP이다. P1500 래퍼가 있는 코아는 WCLM 내부의 P1500 제어기에 의해서 제어된다. 복수개의 TAP들과 P1500 래퍼는 WCLM을 통해 1149.1 호환 SoC 테스트 버스에 연결된다.

LC 모듈, LCR 모듈, LCR_CTRL 모듈, P1500 제어기 모듈, 그리고 TriMUX는 본 명령어 기반 WCLM 테스트 접근 기술의 기본 구조를 이룬다. TCK 신호는 각 TAP과 WCLM에 직접 연결된다.

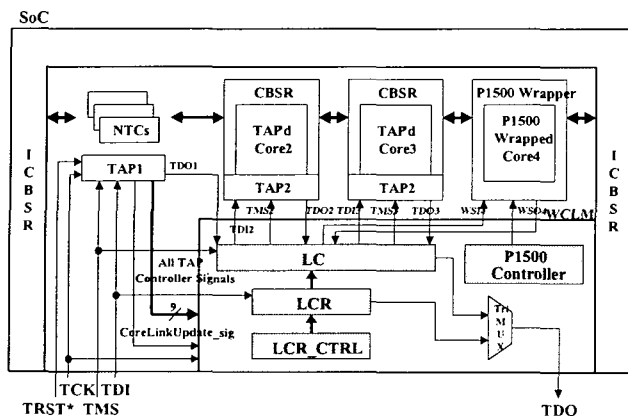


그림 9 WCLM의 개괄적인 모습
Fig. 9 Overview of WCLM

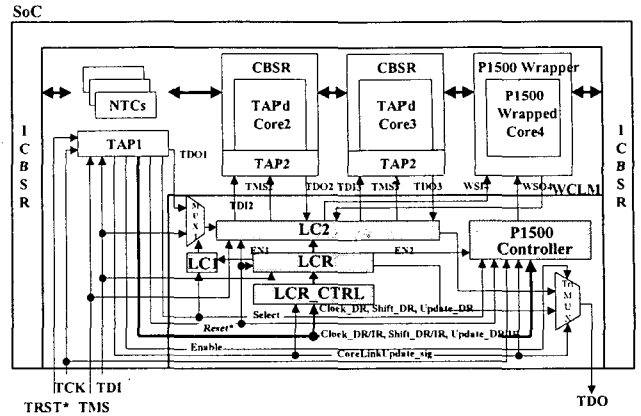


그림 10 WCLM 상세도
Fig. 10 Detailed view of WCLM

그림 10은 WCLM의 상세한 내부 구조이다. 코아의 연결 정보는 SoC TAP의 CoreLinkUpdate 명령에 의해 이루어지고 주요 모듈은 다음과 같다.

- MUX1: LC(Link Controller)의 MUX1은 LC1(Link Controller 1)에 의해 제어되어 SoC의 TDI와 TAP1의 TDO1을 멀티플렉싱한다. 만약 LCR(Link Control Register)상의 연결정보에 의해 SoC TAP인 TAP1이 활성화되어 있다면 TAP1의 TDO1은 LC2(Link Controller 2)에 연결되고, TAP1이 비 활성화되어 있다면 SoC 테스트 버스가 DR-scan 상태일 때는 SoC의 TDI를 LC2에 연결시키고 IR-scan 상태일 때는 TDO1을 LC2에 연결시킨다.
- LC1(Link Controller 1): LC의 LC1은 MUX1을 제어한다. LC1은 TAP1 제어기의 현재 상태가 DR-scan 또는 IR-scan인지 알려주는 SELECT 신호와 TAP1이 LCR 연결 정보 상에서 활성화되어 있는지 비 활성화되어 있는지 알려주는 EN1 신호를 입력으로 받는다.
- LC2(Link Controller 2): LC2는 SoC TAP의 TMS 신호를 게이팅하여 LCR상에서 선택된 코아 TAP을 활성화 또는 비활성화시킨다. 또한, LCR의 정보를 바탕으로 LC2 내부의 스위치를 사용하여 TAP과 P1500 래퍼간의 어떠한 연결도 가능하게 해 준다.
- LCR(Link Control Register): LCR_CTRL(Link Control Register Controller)로부터 제어 신호를 입력받는 LCR은 SoC의 TDI로부터 새로운 연결 정보를 입력받고, 연결 정보의 직렬 출력은 TriMUX의 입력으로 연결되고, 병렬 출력은 연결 제어를 위해 LC2의 입력으로 인가된다.
- LCR_CTRL(Link Control Register Controller): LCR_CTRL은 SoC TAP인 TAP1 제어기의 제어신호를 입력받아 CoreLinkUpdate_sig 신호에 의해 게이팅하여 LCR의 입력으로 보낸다.
- TriMUX(Tri state MUX): TriMUX는 LCR 또는 LCR2의 출력을 멀티플렉스하여 SoC의 TDO에 연결한다. 만약 ENABLE='0' 이면

TriMUX의 출력은 HighZ가 된다. ENABLE 신호는 TAP1 제어기가 DR-scan 또는 IR-scan 상태 일 때 '1'이 된다.

· P1500 Controller:

P1500 제어기는 SoC TAP 제어기의 신호들을 사용하여 P1500 래퍼를 제어한다. 그림 11은 P1500 제어기의 상세한 모습을 보여준다.

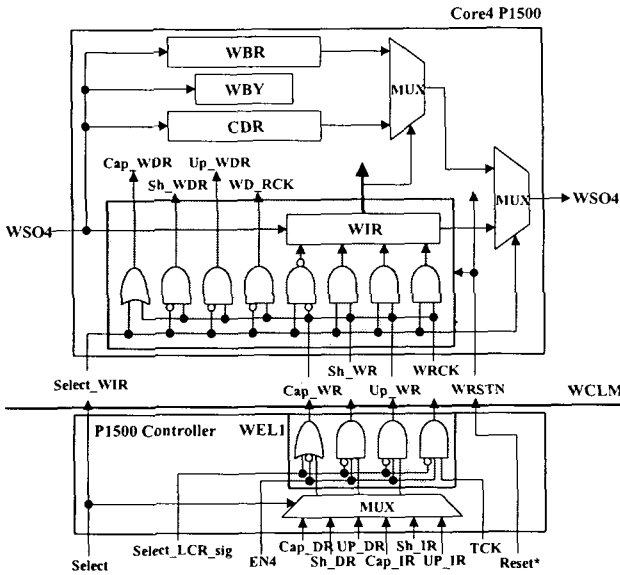


그림 11 P1500 제어기
Fig. 11 Detailed view of P1500 controller

그림 11은 P1500 제어기의 상세한 모습을 보여준다. P1500 제어기의 출력 신호는 코아4 P1500 래퍼를 제어하기 위해 WSI(Wrapper Serial Input)와 WSO(Wrapper Serial Output)를 제외한 P1500 WIP(Wrapper Interface Port)에 직접 연결된다. P1500 제어기는 각 코아의 P1500 래퍼에 대한 WEL(Wrapper Enable Logic)과 MUX로 구성되어 있다.

WEL은 SoC TAP으로부터의 제어신호들을 게이팅하여 P1500 래퍼의 WSI와 WSO를 제외한 WIP에 인가한다. 스캔 경로의 설정을 위해 WSI와 WSO는 그림 12에서와 같이 LC2에 연결되어 있다. MUX는 TAP1 제어기의 SELECT 신호에 의해 제어된다. SoC 테스트 버스의 DR-scan 상태에서는 SoC TAP인 TAP1의 DR 제어신호가 P1500 제어기의 출력에 연결되고, IR-scan 상태에서는 IR 제어신호가 연결된다.

그림 12는 Synopsys의 Design Analyzer를 이용한 WCLM의 합성 결과이며, 게이트 수도 약 350개로 테스트를 위한 면적 오버헤드도 적게 나타났다.

4.2 명령어 기반 WCLM의 동작과 타이밍

전원을 켜거나 리셋을 시키면 WCLM은 LCR의 최상위 비트만 '1'로 두고 나머지는 '0'으로 설정함으로써 오직 SoC TAP인 TAP1만을 활성화 시켜 스캔 경로상에 놓는다 SoC TAP인 TAP1은 WCLM을 제어한다. 즉, TAP1 제어는

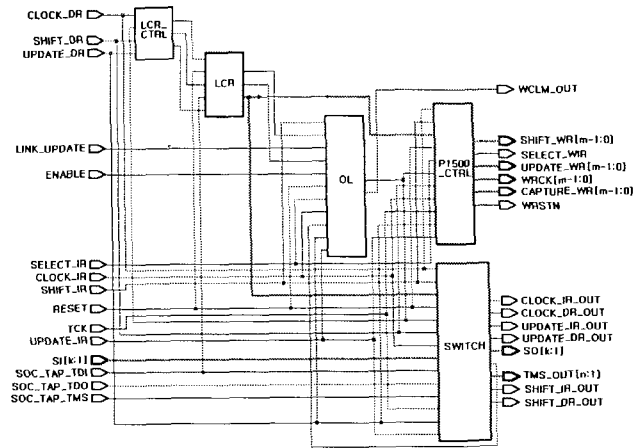


그림 12 WCLM 합성 결과
Fig. 12 Synthesis result of WCLM

TAP1이 LCR의 연결 정보 상에는 비 활성화로 되어 있을지라도 테스트 버스의 상태를 관찰하고 WCLM을 제어하기 위해 항상 활성화되어 있다. 즉, TDI-TDO 스캔 경로 상에서만 제어될 뿐이다.

명령어 기반 WCLM에서 중요 신호는 SoC TAP 명령어 레지스터에 의해 제공되어야 하는 CoreLinkUpdate 명령어에 의해 발생하는 CoreLinkUpdate_sig 신호이다. CoreLinkUpdate_sig 신호에 의해 WCLM의 LCR은 TDI-TDO 경로상에 놓이게 되고, SoC TDI 핀을 통해 어떤 TAP 또는 P1500 래퍼를 TDI-TDO 경로상에 활성화 시켜 놓을지를 결정하는 새로운 연결 정보가 LCR에 인가된다. 새로운 연결 정보가 LCR에 쉬프트되어 인가된 후 테스트 버스의 UpdateDR 상태일 때 새로운 연결정보로 연결 상태가 갱신된다.

연결 정보가 변경될 필요가 있을 때마다 WCLM의 LCR 정보를 변경시키기 위해 CoreLinkUpdate_sig 신호는 High 이어야 한다. 즉, 연결 정보 변경시에 SoC TAP 명령어 레지스터로부터 CoreLinkUpdate 명령어에 의해 CoreLinkUpdate_sig 신호는 '1' 이어야 하고, 연결정보가 갱신된 후에는 '0' 이어야 한다.

연결 정보가 갱신된 후, LC와 LCR에 의해 SoC의 TMS 핀 신호와 TAP1 제어기 신호들이 게이팅되어 TAP과 P1500 래퍼들은 활성화 또는 비 활성화된다. 비 활성화된 TAP 또는 P1500 래퍼들은 RunTest/Idle 상태에 있게되고, 활성화된 래퍼들은 SoC 테스트 버스를 따르게 된다. 따라서, 오직 활성화된 래퍼들만이 TDI-TDO 경로상에 놓이게 되고, CoreLinkUpdate 명령어에 의해 CoreLinkUpdate_sig 신호를 발생시키는 SoC TAP의 명령어레지스터는 SoC 테스트 버스의 IR-scan 시에 언제나 TDI-TDI 경로상의 처음에 오게된다. 그리고, WCLM은 각 래퍼가 있는 코아에 대해 백그라운드 BIST 동작을 지원한다.

그림 13은 활성화되어 TDI-TDO 경로상에 있던 TAP2는 비 활성화되고 비 활성화되어 있던 TAP3는 활성화되어 TDI-TDO 경로상에 놓이게 되는 과정의 타이밍 다이어그램이다.

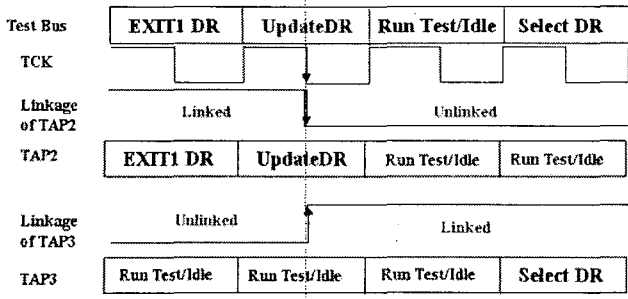


그림 13 WCLM을 사용한 연결 변경 타이밍 다이어그램
Fig. 13 Timing diagram of Link change using WCLM

ALTERA사의 EPF10K100GC503-4 FPGA를 이용하여 구현하였으며, 그림 14는 그림 10과 같은 SoC 환경에서 WCLM의 시뮬레이션 결과 파형이다. so0, so1을 통해 코아 2와 코아3의 TAP에 각각 BIST 명령을 인가하고 UpdateDR 상태일 때 코아4로 연결 상태를 갱신하여 INTEST를 수행함으로써 두 가지 테스트를 동시에 수행할 수 있음을 보여주고 있다.

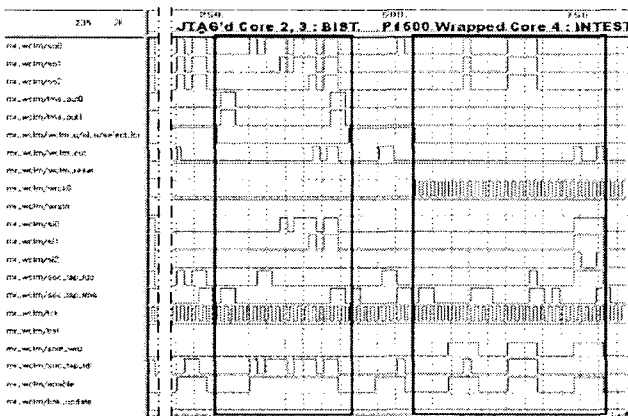


그림 14 WCLM의 FPGA 검증결과
Fig. 14 FPGA verification result of WCLM

5. 기존 방식들과 명령어 기반 WCLM의 비교 분석

TI와 IBM에서 제안한 기존 방식과 본 논문에서 제안하는 명령어 기반 WCLM 방식의 주요 차이점이 표 1,2,3에 요약되어 있다. TI의 TLM은 제공되는 IP 코아의 표준 1149.1 TAP에 SEL과 ENA라는 핀을 추가해야하며 표준 TAP의 변경이 필요하지만, 본 논문에서 제안하는 방식은 제공되는 IP 코아의 회로를 전혀 수정할 필요가 없고 기존의 SoC TAP 제어기를 그대로 사용함으로써 영역 및 전력 오버헤드를 줄일 수 있다. modified TLM은 제공되는 IP 코아에 대한 설계변경의 요구가 필요 없지만 SoC에 SEL_TLM이라는 핀이 추가된다. 따라서, 이러한 구조가 계층적으로 사용될 경우 그에 비례하여 핀이 증가한다는 단점이 있다. IBM 방식은 SoC TAP의 1149.1 경계스캔 레지스터와 IP 코아의 경계스캔 레지스터, 즉 칩과 코아간의 연결선 점검을 할 수 없다. 하지만 명령어 기반 WCLM은 SoC의 TAP과 IP 코아 TAP 간의 모든 연결 구성을 할 수 있으므로

점검 가능하다. 또한, IBM 방식은 항상 코아가 직렬로 연결되어 있어, 스캔 경로가 최대이고 백그라운드 테스트 동작을 수행시킬 수 없다는 단점이 있다. 백그라운드 테스트란 예를 들면 그림 2에서 TAP2은 계속 RunTest/Idle 상태에서 RUNBIST 명령을 수행하고, TAP3와 TAP4간에는 EXTEST를 수행시키다가 연결정보를 변경시킬 경우이다.

표 1 기존 방식과 WCLM의 비교 1

Table 1 Key differences among TI, IBM and our method

	TAP connections	TAP'd core modification	Chip TAP controller modification	Require to have TRST+ for all embedded TAPs
TI's TLM	any connection	required	required	required
modified TLM	any connection	not needed	not needed	required
IBM	serial	not needed	not needed	not required
TI's SNTAP-I1	not any connection	not needed	required	not required
TI's SNTAP-I2	not any connection	not needed	required	not required
WCLM	any connection	not needed	not needed	not required

표 2 기존 방식과 WCLM의 비교 2

Table 2 Key differences among TI, IBM and our method (Continued)

	Additional pin	Additional TAP controller	Additional TDR
TI's TLM	not needed	required	not needed
modified TLM	required	required	not needed
IBM	not needed	not needed	not needed
TI's SNTAP-I1	not needed	not needed	required
TI's SNTAP-I2	not needed	not needed	required
WCLM	not needed	not needed	not needed

표 2 기존 방식과 WCLM의 비교 3

Table 2 Key differences among TI, IBM and our method (Continued)

	P1500 support	Background operation support	Area(cell)
TI's TLM	not support	can be supported (a lot of instructions may be required)	276
modified TLM	not support	support	274
IBM	not support	not support	additional Instruction Register bits
TI's SNTAP-I1	not support	support	232
TI's SNTAP-I2	not support	support	235
WCLM	support	support	227

HTAP(Hierarchical TAP)은 코아 테스트를 위해서 SoC의 TAP 제어기를 수정하여 표준 1149.1 유한상태기의 16개 상태에 16개의 상태를 더 추가하여 총 32개의 상태를 사용한다. 이것은 코아테스트를 위한 프로토콜을 복잡하게 만든다. 하지만 본 논문에서 제안하는 방식은 코아 테스트 시에 표준 1149.1 TAP 유한상태기의 16개 상태를 그대로 사용한다

다. 또한 HTPAP은 ICBSR과 CBSR간의 연결선 점검을 할 수 없는 단점이 있다. 그리고, TLM, HTAP 과 IBM 방식은 모두 1149.1 TAP만 있는 코아 환경만을 지원하지만 명령어 기반 WCLM은 P1500 래퍼가 있는 코아 환경까지 모두 지원한다.

6. 결 론

본 논문은 IEEE 1149.1 래퍼가 있는 코아들로 구성된 SoC 테스트를 위한 기존의 테스트 제어기 기술들을 비교·분석하였고, 각 방식의 문제점을 보완하면서 IEEE 1149.1 래퍼뿐만 아니라 P1500 래퍼가 있는 IP 코아들로 구성된 SoC까지 테스트할 수 있는 새로운 테스트 제어기를 제안하였다. 간단한 연결 제어로 SoC 1149.1 경계스캔과 코아의 래퍼간에 다양한 연결을 가능하게 해 준다. IP 코아 환경에서의 효율적인 테스트 제어기는 집적도가 급격히 커지고 있는 SoC 설계환경에서 테스트 및 디버깅 시간을 단축하여 제품 경쟁력을 높이는 데 본 기술이 일조 하리라 확신한다.

감사의 글

본 연구는 한국과학재단 특정기초연구(과제번호 : 2000-1-30200-002-3)의 지원을 받아서 수행하였습니다.

참 고 문 헌

[1] Y. Zorian, E. J. Marinissen and S. Dey, "Testing Embedded-core-based System Chips", In Proceedings IEEE International Test Conference, page 130-143, 1998.

[2] Erik Jan Marinissen, Hans Dingemans, Robert Arendsen, Maurice Lousberg, Gerard Bos, Clemens Wouters, "A Structured and Scalable Mechanism for Test Access to Embedded Reusable Cores", In Proceedings IEEE International Test Conference, page 284-293, 1998.

[3] V. Iyengar, K. Chakrabarty and E. J. Marinissen, "Test Wrapper and Test Access Mechanism Co-Optimization for System-on-Chip", In Proceedings IEEE International Test Conference, page 1023-1032, 2001.

[4] IEEE Std. 1149.1a-1993.

[5] IEEE P1500 Web Site. <http://grouper.ieee.org/groups/1500/>.

[6] Lee Whetsel, "An IEEE1149.1 Based Test Access Architecture For ICs With Embedded Cores", In Proceedings IEEE International Test Conference, page 69-78, 1997.

[7] Steven F. Oakland, "Considerations for Implementing IEEE1149.1 on System-on-a-Chip Integrated Circuits", In Proceedings IEEE International Test Conference, page 628-637, 2000.

[8] Whetsel, L. "Addressable test ports an approach to testing embedded cores", In Proceedings IEEE International Test Conference, page 1055-1064, 1999.

[9] Debashis Bhattacharya, "Hierarchical Test Access Architecture for Embedded Cores in an Integrated Circuit", VLSI Test Symposium, Proceedings. 16th IEEE, page 8-14, 1998.

[10] Debashis Bhattacharya, "Instruction-Driven Wake-Up Mechanisms for Snoopy TAP Controller", VLSI Test Symposium, Proceedings. 17th IEEE, page 467-472, 1999.

[11] S. Harrison, G. Noeninckx, P. Horwood and P. Collins, "Hierarchical Boundary-Scan A Scan Chip-Set Solution", In Proceedings IEEE International Test Conference, page 480-486, 2001.

[12] B. I. Dervisoglu, "A unified DFT architecture for use with IEEE 1149.1 and VSIA/IEEE P1500 compliant test access controllers", Design Automation Conference, page 53-58, 2001.

저 자 소 개



이 현 빈(李賢彬)

1974년 7월 26일생. 2001년 한양대학교 전자컴퓨터 공학 학사, 2001년~현재 동 대학원 컴퓨터공학과 석사과정 (관심분야: SoC 테스트, Scan Design, 고속 네트워크 시스템 설계)
Tel : 031) 408-4723
Fax : 031) 501-5622
E-mail : bean@mslab.hanyang.ac.kr



박 성 주(朴成柱)

1957년 9월 26일생. 1983년 한양대학교 전자공학과 학사, 1983년~1986년 금성사 소프트웨어개발, 1992년 Univ. of Massachusetts 전기 및 컴퓨터공학과 박사, 1992년~1994년 IBM Microelectronics 연구스텝, 1995년~현재 한양대학교 전자컴퓨터공학부 부교수 (관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC 설계, 고속 신호처리 시스템 설계, 그래픽이론)
Tel : 031) 400-5199
Fax : 031) 501-5622
E-mail : parksj@mslab.hanyang.ac.kr